



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0073261
(43) 공개일자 2009년07월03일

(51) Int. Cl.

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

(21) 출원번호 10-2007-0141149

(22) 출원일자 2007년12월30일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

장수혁

대구 북구 동천동 영남2차타운 103동 902호

송홍성

경북 구미시 구평동 474-7번지 부영아파트 803동 706호

(뒷면에 계속)

(74) 대리인

특허법인로알

전체 청구항 수 : 총 9 항

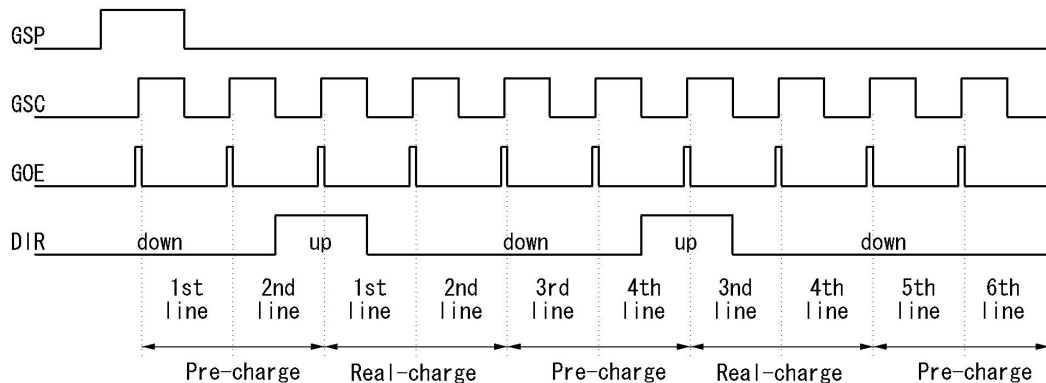
(54) 액정표시장치와 그 구동방법

(57) 요약

본 발명은 직류화 잔상과 얼룩을 방지하여 표시품질을 높이도록 한 액정표시장치에 관한 것이다.

이 액정표시장치는 다수의 데이터라인, 상기 데이터라인들과 교차되는 다수의 게이트라인, 및 다수의 액정셀들을 가지는 액정표시패널; 프리차지타임 동안 프리차지 데이터전압을 발생하고 리얼차지타임 동안 상기 액정표시패널에 표시될 리얼 데이터전압을 발생하는 데이터 구동회로; 업/다운신호에 따라 게이트펄스를 하향방향과 상향방향으로 쉬프트시키면서 상기 프리차지타임 동안 상기 프리차지 데이터전압에 동기되는 제1 게이트펄스를 상기 게이트라인들에 공급한 후에, 상기 리얼차지타임 동안 상기 제1 게이트펄스의 폴링에지로부터 1 라인 스캔타임 이상의 시간 뒤에 상기 리얼 데이터전압에 동기되는 제2 게이트펄스를 상기 게이트라인들에 공급하는 게이트 구동회로; 및 상기 업/다운신호의 논리를 1 프레임기간 내에서 1 회 이상 반전시키고 상기 데이터 구동회로와 상기 게이트 구동회로의 동작 타이밍을 제어하는 타이밍 콘트롤러를 구비한다.

대표도 - 도4



(72) 발명자

민용기

대구 북구 동천동 891번지 동화골든빌 103동 1205
호

손용기

경남 밀양시 산외면 다죽리 156번지

특허청구의 범위

청구항 1

다수의 데이터라인, 상기 데이터라인들과 교차되는 다수의 게이트라인, 및 다수의 액정셀들을 가지는 액정표시패널;

프리차지타임 동안 프리차지 데이터전압을 발생하고 리얼차지타임 동안 상기 액정표시패널에 표시될 리얼 데이터전압을 발생하는 데이터 구동회로;

업/다운신호에 따라 게이트펄스를 하향방향과 상향방향으로 쉬프트시키면서 상기 프리차지타임 동안 상기 프리차지 데이터전압에 동기되는 제1 게이트펄스를 상기 게이트라인들에 공급한 후에, 상기 리얼차지타임 동안 상기 제1 게이트펄스의 폴링에지로부터 1 라인 스캔타임 이상의 시간 뒤에 상기 리얼 데이터전압에 동기되는 제2 게이트펄스를 상기 게이트라인들에 공급하는 게이트 구동회로; 및

상기 업/다운신호의 논리를 1 프레임기간 내에서 1 회 이상 반전시키고 상기 데이터 구동회로와 상기 게이트 구동회로의 동작 타이밍을 제어하는 타이밍 콘트롤러를 구비하고,

상기 프리차지 데이터전압과 상기 리얼 데이터전의 극성은 서로 반대인 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 게이트 구동회로는 상기 업/다운신호에 응답하여 제1 프리차지타임 동안 제1 및 제2 게이트라인들에 상기 제1 게이트펄스를 순차적으로 공급한 후, 제1 리얼차지타임 동안 상기 제1 및 제2 게이트라인들에 상기 제2 게이트펄스를 순차적으로 공급한 다음, 제2 프리차지타임 동안 제3 및 제4 게이트라인들에 상기 제1 게이트펄스를 순차적으로 공급하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 타이밍 콘트롤러는,

제1 게이트펄스가 발생하는 시작 라인을 지시하는 게이트 스타트 펄스, 상기 게이트 스타트 펄스를 쉬프트시키기 위한 게이트 쉬프트 클럭신호, 및 상기 게이트 구동회로의 출력을 제어하는 게이트 출력 인에이블신호를 더 발생하고,

상기 업/다운신호의 하이논리 펄스와 상기 게이트 쉬프트 클럭신호의 1 클럭이 중첩되는 것을 특징으로 하는 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 게이트 구동회로는 상기 업/다운신호에 응답하여 제1 프리차지타임 동안 제1 내지 제4 게이트라인들에 상기 제1 게이트펄스를 순차적으로 공급한 후, 제1 리얼차지타임 동안 상기 제1 내지 제4 게이트라인들에 상기 제2 게이트펄스를 순차적으로 공급한 다음, 제2 프리차지타임 동안 제5 내지 제8 게이트라인들에 상기 제1 게이트펄스를 순차적으로 공급하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 타이밍 콘트롤러는,

제1 게이트펄스가 발생하는 시작 라인을 지시하는 게이트 스타트 펄스, 상기 게이트 스타트 펄스를 쉬프트시키기 위한 게이트 쉬프트 클럭신호, 및 상기 게이트 구동회로의 출력을 제어하는 게이트 출력 인에이블신호를 포함한 게이트 타이밍 제어신호를 발생하고,

상기 업/다운신호의 하이논리 펄스와 상기 게이트 쉬프트 클럭신호의 3 클럭이 중첩되는 것을 특징으로 하는 액

정표시장치.

청구항 6

제 1 항에 있어서,

상기 타이밍 콘트롤러는,

디지털 비디오 데이터를 입력받아 그 전송 수파수를 2 배 채배하여 상기 데이터 구동회로에 공급하고,

상기 게이트 타이밍 제어신호의 주파수를 2 배 채배하여 상기 게이트 구동회로를 제어하고, 상기 데이터 구동회로의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호를 2 배 채배하여 상기 데이터 구동회로를 제어하는 것을 특징으로 하는 액정표시장치.

청구항 7

다수의 데이터라인, 상기 데이터라인들과 교차되는 다수의 게이트라인, 및 다수의 액정셀들을 가지는 액정표시패널;

프리차지타임 동안 프리차지 데이터전압을 발생하고 리얼차지타임 동안 상기 액정표시패널에 표시될 리얼 데이터전압을 발생하는 데이터 구동회로;

업/다운신호에 따라 게이트펄스를 하향방향과 상향방향으로 쉬프트시키면서 상기 프리차지타임 동안 상기 프리차지 데이터전압에 동기되는 제1 게이트펄스를 상기 게이트라인들에 공급한 후에, 상기 리얼차지타임 동안 상기 제1 게이트펄스의 폴링에지로부터 1 라인 스캔타임 이상의 시간 뒤에 상기 리얼 데이터전압에 동기되는 제2 게이트펄스를 상기 게이트라인들에 공급하는 게이트 구동회로; 및

상기 업/다운신호의 논리를 1 프레임기간 내에서 1 회 이상 반전시키고 상기 데이터 구동회로와 상기 게이트 구동회로의 동작 타이밍을 제어하는 타이밍 콘트롤러를 구비하고,

상기 프리차지 데이터전압과 상기 리얼 데이터전의 극성은 동일한 것을 특징으로 하는 액정표시장치.

청구항 8

다수의 데이터라인, 상기 데이터라인들과 교차되는 다수의 게이트라인, 및 다수의 액정셀들을 가지는 액정표시패널을 구비하는 액정표시장치의 구동방법에 있어서,

1 프레임기간 내에서 1 회 이상 반전되는 업/다운신호를 발생하는 단계;

프리차지타임 동안 프리차지 데이터전압을 발생하고 리얼차지타임 동안 상기 액정표시패널에 표시될 리얼 데이터전압을 발생하는 단계;

상기 업/다운신호에 따라 게이트펄스를 하향방향과 상향방향으로 쉬프트시키면서 상기 프리차지타임 동안 상기 프리차지 데이터전압에 동기되는 제1 게이트펄스를 상기 게이트라인들에 공급하는 단계; 및

상기 리얼차지타임 동안 상기 제1 게이트펄스의 폴링에지로부터 1 라인 스캔타임 이상의 시간 뒤에 상기 리얼 데이터전압에 동기되는 제2 게이트펄스를 상기 게이트라인들에 공급하는 단계를 포함하고,

상기 프리차지 데이터전압과 상기 리얼 데이터전의 극성은 서로 반대인 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 9

다수의 데이터라인, 상기 데이터라인들과 교차되는 다수의 게이트라인, 및 다수의 액정셀들을 가지는 액정표시패널을 구비하는 액정표시장치의 구동방법에 있어서,

1 프레임기간 내에서 1 회 이상 반전되는 업/다운신호를 발생하는 단계;

프리차지타임 동안 프리차지 데이터전압을 발생하고 리얼차지타임 동안 상기 액정표시패널에 표시될 리얼 데이터전압을 발생하는 단계;

상기 업/다운신호에 따라 게이트펄스를 하향방향과 상향방향으로 쉬프트시키면서 상기 프리차지타임 동안 상기 프리차지 데이터전압에 동기되는 제1 게이트펄스를 상기 게이트라인들에 공급하는 단계; 및

상기 리얼차지타임 동안 상기 제1 게이트펄스의 폴링에지로부터 1 라인 스캔타임 이상의 시간 뒤에 상기 리얼 데이터전압에 동기되는 제2 게이트펄스를 상기 게이트라인들에 공급하는 단계를 포함하고,

상기 프리차지 데이터전압과 상기 리얼 데이터전의 극성은 동일한 것을 특징으로 하는 액정표시장치의 구동방법.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 직류화 잔상과 얼룩을 방지하여 표시품질을 높이도록 한 액정표시장치와 그 구동방법에 관한 것이다.

배경 기술

- <2> 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상상을 표시하고 있다. 이 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기에 응용됨은 물론, 텔레비전에도 응용되어 빠르게 음극선관을 대체하고 있다.
- <3> 액정표시장치는 직류전압이 장시간 인가되면 잔상이 나타나고, 얼룩이 나타날 수 있다. 액정층에 동일 극성의 직류전압을 장시간 인가하면, 액정층 내의 불순물 이온들은 액정의 극성을 따라 나뉘어지게 되고, 액정셀 내에서 화소전극과 공통전극에서 서로 다른 극성의 이온들이 축적된다. 액정층에 직류전압이 장시간 인가되면, 이온들의 축적양이 증가하면서 배향막이 열화되며, 그 결과 액정의 배향특성이 열화된다. 이로 인하여, 액정표시장치에 직류전압이 장시간 인가되면 얼룩이 발생한다. 얼룩의 문제점을 개선하기 위하여, 유전율이 낮은 액정 물질을 개발하거나 배향물질이나 배향방법을 개선하는 방법을 도모하고 있다. 그러나 이러한 방법은 재료 개발에 많은 시간과 비용이 필요하며, 액정의 유전율을 낮게 하면 액정의 구동특성이 나빠지는 또 다른 문제점을 초래할 수 있다. 실험적으로 밝혀진 바에 의하면, 얼룩의 발현시점은 액정층 내에서 이온화되는 불순물이 많을수록, 그리고 가속 팩터가 클수록 빨라진다. 가속팩터는 온도, 시간, 액정의 직류 구동화 등이다. 따라서, 얼룩은 온도가 높거나 동일 극성의 직류전압이 액정층에 인가되는 시간이 길수록 빨리 나타나고 그 정도도 심해진다. 얼룩은 같은 제조라인을 통해 제작된 패널들 사이에서도 불규칙한 형태로 나타나므로 새로운 재료 개발이나 공정의 개선 방법만으로 해결할 수 없고, 액정의 직류 구동화를 억제하는 구동방법이 가장 효과적이다.

발명의 내용

해결 하고자하는 과제

- <4> 따라서, 본 발명의 목적은 상기 종래 기술의 문제점들을 해결하고자 안출된 발명으로써 직류화 잔상과 얼룩을 방지하도록 한 액정표시장치와 그 구동방법을 제공하는데 있다.

과제 해결수단

- <5> 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치는 다수의 데이터라인, 상기 데이터라인들과 교차되는 다수의 게이트라인, 및 다수의 액정셀들을 가지는 액정표시패널; 프리차지타임 동안 프리차지 데이터전압을 발생하고 리얼차지타임 동안 상기 액정표시패널에 표시될 리얼 데이터전압을 발생하는 데이터 구동회로; 업/다운신호에 따라 게이트펄스를 하향방향과 상향방향으로 쉬프트시키면서 상기 프리차지타임 동안 상기 프리차지 데이터전압에 동기되는 제1 게이트펄스를 상기 게이트라인들에 공급한 후에, 상기 리얼차지타임 동안 상기 제1 게이트펄스의 폴링에지로부터 1 라인 스캔타임 이상의 시간 뒤에 상기 리얼 데이터전압에 동기되는 제2 게이트펄스를 상기 게이트라인들에 공급하는 게이트 구동회로; 및 상기 업/다운신호의 논리를 1 프레임기간 내에서 1 회 이상 반전시키고 상기 데이터 구동회로와 상기 게이트 구동회로의 동작 타이밍을 제어하는 타이밍 컨트롤러를 구비한다.
- <6> 상기 프리차지 데이터전압과 상기 리얼 데이터전의 극성은 서로 반대인 것을 특징으로 하는 액정표시장치.

- <7> 상기 프리차지 데이터전압과 상기 리얼 데이터전의 극성은 동일하다.
- <8> 본 발명의 실시예에 따른 액정표시장치의 구동방법은 1 프레임기간 내에서 1 회 이상 반전되는 업/다운신호를 발생하는 단계; 프리차지타임 동안 프리차지 데이터전압을 발생하고 리얼차지타임 동안 상기 액정표시패널에 표시될 리얼 데이터전압을 발생하는 단계; 상기 업/다운신호에 따라 게이트펄스를 하향방향과 상향방향으로 쉬프트시키면서 상기 프리차지타임 동안 상기 프리차지 데이터전압에 동기되는 제1 게이트펄스를 상기 게이트라인들에 공급하는 단계; 및 상기 리얼차지타임 동안 상기 제1 게이트펄스의 폴링에지로부터 1 라인 스캔타임 이상의 시간 뒤에 상기 리얼 데이터전압에 동기되는 제2 게이트펄스를 상기 게이트라인들에 공급하는 단계를 포함한다.

효 과

- <9> 본 발명의 실시예에 따른 액정표시장치와 그 구동방법은 업/다운신호를 이용하여 게이트펄스의 쉬프트방향을 제어하여 게이트라인들 각각에 2 회 게이트펄스를 인가하고 그 게이트펄스들 각각에 동기되는 프리차지 데이터전압과 리얼 데이터전압을 액정셀들에 충전시켜 직류화 잔상과 얼룩을 방지할 수 있다.

발명의 실시를 위한 구체적인 내용

- <10> 이하, 도 1 내지 도 11을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- <11> 도 1 및 도 2를 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(10), 타이밍 컨트롤러(11), 데이터 구동회로(12), 및 게이트 구동회로(13)를 구비한다.
- <12> 액정표시패널(10)은 두 장의 유리기관 사이에 액정층이 형성된다. 이 액정표시패널(10)의 하부 유리기관에는 m 개의 데이터라인들(D1 내지 Dm)과 n 개의 게이트라인들(G1 내지 Gn)이 교차된다. 데이터라인들(D1 내지 Dm)과 n 개의 게이트라인들(G1 내지 Gn)의 교차 구조에 의해 액정표시패널(10)에는 매트릭스 형태로 배치된 m×n 개의 액정셀들(C1c)을 포함한다. 액정셀들(C1c)은 제1 액정셀군과 제2 액정셀군을 포함한다. 액정표시패널(10)의 하부 유리기관에는 데이터라인들(D1 내지 Dm), 게이트라인들(G1 내지 Gn), 박막트랜지스터(Thin Film Transistor, TFT), TFT에 접속된 액정셀(C1c)의 화소전극(1), 및 스토리지 커패시터(Storage Capacitor, Cst) 등이 형성된다.
- <13> 액정표시패널(10)의 상부 유리기관 상에는 블랙매트릭스, 컬러필터 및 공통전극(2)이 형성된다. 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기관 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기관 상에 형성된다. 액정표시패널(10)의 상부 유리기관과 하부 유리기관 각각에는 광축이 직교하는 편광판이 부착되고 액정과 접하는 내면에 액정의 프리틸트각을 설정하기 위한 배향막이 형성된다.
- <14> 타이밍 컨트롤러(11)는 디지털 비디오 데이터의 전송 주파수를 낮추기 위하여, 입력 디지털 비디오 데이터(RGB)를 기수 화소 데이터(RGBodd)와 우수 화소 데이터(RGBeven)로 분리하고 그 데이터들(RGBodd, RGBeven)을 6 개의 데이터버스를 통해 데이터 구동회로(12)에 공급한다. 타이밍 컨트롤러(11)는 수직/수평 동기신호(Vsync, Hsync), 데이터 인에이블(Data Enable), 클럭신호(CLK) 등의 타이밍신호를 입력받아 데이터 구동회로(12)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호와, 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호들을 발생한다.
- <15> 데이터 타이밍 제어신호들은 소스 스타트 펄스(Source Start Pulse : SSP), 소스 샘플링 클럭신호(Source Sampling Clock : SSC), 소스 출력 인에이블신호(Source Output Enable : SOE), 극성제어신호(Polarity : POL)를 포함한다. 소스 스타트 펄스(SSP)는 데이터가 표시될 1 수평라인에서 시작 화소를 지시한다. 소스 샘플링 클럭신호(SSC)은 라이징(Rising) 또는 폴링(Falling) 에지에 기준하여 데이터 구동회로(12) 내에서 데이터의 래치동작을 지시한다. 소스 출력 인에이블신호(Source Output Enable : SOE)는 데이터 구동회로(12)의 출력을 지시한다. 극성제어신호(POL)는 1 라인 스캔타임 또는 2 라인 스캔타임 주기로 논리가 반전되고 매 프레임기간마다 위상이 반전된다. 이 극성제어신호(POL)는 액정표시패널(10)의 액정셀들(C1c)에 공급될 데이터전압의 극성을 지시한다.
- <16> 게이트 타이밍 제어신호들은 게이트 스타트 펄스(Gate Start Pulse : GSP), 게이트 쉬프트 클럭신호(Gate Shift Clock : GSC), 게이트 출력 인에이블신호(Gate Output Enable : GOE), 업/다운신호(UP/DOWN) 등을 포함한다. 게이트 스타트 펄스(GSP)는 한 화면이 표시되는 1 수직기간 중에서 스캔이 시작되는 시작 수평라인을 지시한다.

게이트 쉬프트 클럭신호(GSC)은 게이트 구동회로(13) 내의 쉬프트 레지스터에 입력되어 게이트 스타트 펄스(GSP)를 순차적으로 쉬프트시키기 위한 타이밍 제어신호로써 TFT의 온(ON) 기간에 대응하는 펄스폭으로 발생된다. 게이트 출력 인에이블신호(GOE)는 게이트 구동회로(13)의 출력을 지시한다. 업/다운신호(UP/DOWN)는 스캔 펄스들의 출력 순서를 지시하는 제어신호이다.

- <17> 타이밍 콘트롤러(11)는 1 프레임기간 동안 액정셀들 각각에 데이터전압이 2회씩 충전되도록 게이트 타이밍 제어 신호와 데이터 타이밍 제어신호의 주파수를 2 배 체배하고 디지털 비디오 데이터(RGB)의 전송 주파수를 입력 주파수 대비 2 배 체배하여 데이터 구동회로(12)에 전송한다.
- <18> 데이터 구동회로(12)는 다수의 데이터 드라이브 IC를 포함한다. 데이터 드라이브 IC 각각은 쉬프트 레지스터, 래치, 디지털-아날로그 변환기, 버퍼 등을 각각 포함한다. 데이터 구동회로(12)는 타이밍 콘트롤러(11)의 제어 하에 디지털 비디오 데이터(RGBodd, RGBeven)를 래치하고 그 디지털 비디오 데이터(RGBodd, RGBeven)를 아날로그 정극성/부극성 감마보상전압으로 변환하여 데이터라인들(D1 내지 Dm)에 공급한다. 데이터 구동회로(12)는 극성제어신호(POL)에 응답하여 데이터전압의 극성을 반전시킨다. 데이터 구동회로(12)는 극성제어신호(POL)가 로우논리일 때 부극성 데이터전압을 출력하는 반면, 극성제어신호(POL)가 하이논리일 때 정극성 데이터전압을 출력한다.
- <19> 게이트 구동회로(13)는 다수의 게이트 드라이브 IC(13a)를 포함하여 쉬프트 레지스터, 쉬프트 레지스터의 출력 신호를 액정셀의 TFT 구동에 적합한 스윙폭으로 변환하기 위한 레벨 쉬프터, 및 출력 버퍼 등을 포함한다. 이 게이트 구동회로(13)는 게이트펄스(또는 스캔펄스들)를 순차적으로 출력한다. 게이트 드라이브 IC(13a)는 타이밍 콘트롤러(11)로부터의 업/다운신호(UP/DOWN)에 응답하여 화면의 위에서 아래로 진행되는 하향방향으로 게이트펄스들을 순차 출력함과 아울러, 화면의 아래에서 위로 진행되는 상향방향으로 게이트펄스들을 순차 출력한다.
- <20> 종래 기술은 액정표시패널(10)이 순차방향으로 스캔되기 때문에 액정표시패널(10)의 좌측에 게이트 드라이브 IC(13a)가 부착될 때 그 게이트 드라이브 IC(13a)는 하향방향으로 게이트펄스들을 순차 출력하는 반면, 게이트 드라이브 IC(13a)이 액정표시패널(10)의 우측에 부착될 때 게이트 드라이브 IC(13a)는 출력단자의 방향이 바뀌므로 상향방향으로 게이트펄스들을 순차적으로 출력하여야 한다. 또한, 액정표시패널(10)이 대형화되면서 게이트펄스의 지연 및 전압강하를 줄이기 위하여 게이트 드라이브 IC들(13a)이 액정표시패널(10)의 좌측과 우측에 나누어 부착되고 게이트펄스를 게이트라인의 양쪽에서 동시에 인가하고 있다. 종래 기술에서는 위와 같은 목적으로 게이트 드라이브 IC(13a)의 업/다운신호(UP/DOWN)를 어느 한 전압으로 고정하고 있다. 이에 비하여, 본 발명의 실시예에 따른 액정표시장치는 업/다운신호(UP/DOWN)의 논리전압을 주기적으로 반전시켜 게이트 드라이브 IC들(13a)로 하여금 게이트펄스들의 진행방향을 하향 방향에서 상향방향으로 변화시킨다.
- <21> 도 3은 타이밍 콘트롤러(11)에서 디지털 비디오 데이터의 전송 주파수를 빠르게 하는 회로부와, 게이트 타이밍 제어신호를 발생하는 회로부 발생부를 나타낸다.
- <22> 도 3을 참조하면, 타이밍 콘트롤러(11)는 제1 내지 제4 라인 메모리(21A 내지 21D), 멀티플렉서(25), 메모리 콘트롤러(22), 업/다운신호 발생부(23), 및 게이트 타이밍 제어신호 발생부(24)를 구비한다.
- <23> 제1 내지 제4 라인 메모리(21A 내지 21D)는 입력 디지털 비디오 데이터들(RGB)을 입력받아 1 라인분씩 나누어 저장한다.
- <24> 메모리 콘트롤러(22)는 데이터 인에이블신호(DE)를 기준으로 하여 라인 메모리들(21A 내지 21D)의 입/출력 타이밍을 제어하고, 선택신호(SEL)를 발생하여 멀티플렉서(25)의 데이터 출력 속도를 제어한다. 데이터의 입력 주파수 대비 데이터의 출력 주파수를 빠르게 하기 위하여, 메모리 콘트롤러(22)는 제1 및 제2 라인 메모리(21A, 21B)에 저장된 디지털 비디오 데이터들을 1 수평기간 동안 순차적으로 출력시키기 위하여 멀티플렉서(25)를 제어함과 동시에, 제3 및 제4 라인 메모리(21C, 21D)에 디지털 비디오 데이터들을 저장시킨다. 또한, 제3 및 제4 라인 메모리(21C, 21D)에 저장된 디지털 비디오 데이터들을 1 수평기간 동안 순차적으로 출력시키기 위하여 멀티플렉서(25)를 제어함과 동시에, 제1 및 제2 라인 메모리(21A, 21B)에 디지털 비디오 데이터들을 저장시킨다.
- <25> 업/다운신호 발생부(23)는 데이터 인에이블신호(DE)를 카운트하여 현재 게이트펄스의 출력위치를 판단하고, 미리 저장된 방향 전환정보를 참조하여 게이트펄스의 진행방향 전환시점에 업/다운신호(UP/DOWN)의 논리를 반전시킨다.
- <26> 게이트 타이밍 제어신호(24)는 데이터 인에이블신호(DE)를 카운트하여 게이트 스타트 펄스(GSP), 게이트 쉬프트

클럭신호(GSC), 게이트 출력 인에이블신호(GOE) 등의 출력 주파수를 기존 대비 2 배 채배한다.

<27> 또한, 타이밍 콘트롤러(11)는 도시하지 않았지만 데이터 타이밍 제어신호를 2 배 채배하는 회로를 포함한다.

<28> 도 4는 본 발명의 제1 실시예에 따른 게이트 타이밍 제어신호들을 나타낸다.

<29> 도 4를 참조하면, 타이밍 콘트롤러(11)는 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭신호(GSC), 게이트 출력 인에이블신호(GOE), 및 업/다운신호(UP/DOWN)를 발생한다. 게이트 스타트 펄스(GSP)는 스캔타임이 시작할 때 1 프레임기간마다 1 회 발생된다. 게이트 스타트 펄스(GSP)는 스캔라인 즉, 게이트라인 수 만큼 발생된다. 게이트 출력 인에이블신호(GOE)는 게이트 쉬프트 클럭신호(GSC)의 라이징 에지에 동기되어 발생한다. 업/다운신호(UP/DOWN)는 게이트 쉬프트 클럭신호(GSC)의 제2 펄스의 폴링에지에서 로우논리로부터 하이논리로 반전된 이후, 게이트 쉬프트 클럭신호(GSC)의 4 펄스 주기로 로우논리로부터 하이논리로 반전된다.

<30> 게이트 구동회로(13)는 게이트 쉬프트 클럭신호(GSC)의 매 펄스마다 게이트펄스를 쉬프트시켜 게이트펄스를 게이트라인들(G1 내지 Gn)에 순차적으로 공급한다. 게이트 구동회로(13)는 업/다운신호(UP/DOWN)가 로우논리일 때 화면의 위에서 아래로 진행되는 하향 방향을 따라 게이트펄스를 쉬프트시키는 반면, 업/다운신호(UP/DOWN)가 하이논리일 때 화면의 아래에서 위로 진행되는 상향방향을 따라 게이트펄스를 쉬프트시킨다. 여기서, 게이트 구동회로(13)는 게이트 쉬프트 클럭신호(GSC)의 펄스 수에 대응하는 횟수만큼 게이트펄스를 쉬프트시킨다. 따라서, 도 4와 같이 업/다운신호(UP/DOWN)가 발생되면 게이트 구동회로(13)는 도 5 및 도 7과 같이 하향방향을 따라 제1 및 제2 게이트라인(G1, G2)에 게이트펄스를 순차적으로 공급한 후, 상향방향을 따라 1 회 게이트펄스를 쉬프트시켜 제1 게이트라인(G1)에 게이트펄스를 공급한 다음, 하향방향을 따라 제2 내지 제4 게이트라인들(G2 내지 G4)에 순차적으로 게이트펄스를 공급한다. 이어서, 게이트 구동회로(13)는 상향방향을 따라 1 회 게이트펄스를 쉬프트시켜 제3 게이트라인(G3)에 게이트펄스를 공급한 다음, 하향방향을 따라 제4 내지 제6 게이트라인들(G4 내지 G6)에 순차적으로 게이트펄스를 공급한다. 따라서, 게이트라인들(G1 내지 Gn) 각각에는 게이트펄스가 2회씩 공급된다.

<31> 게이트라인에 먼저 공급되는 제1 게이트펄스는 프리차지전압을 액정셀에 충전시키고 그 이후에 발생하는 제2 게이트펄스를 표시하고자 하는 데이터의 전압을 액정셀에 충전시킨다. 프리차지전압이 액정셀들에 공급되는 프리차지타임(Pre-charge time)과 표시하고자 하는 데이터의 전압이 액정셀들에 공급되는 리얼차지타임(Real-charge time)은 2 라인 스캔타임 주기로 교번한다. 업/다운신호(UP/DOWN)의 하이논리 펄스는 프리차지타임과 리얼차지타임의 경계에서 발생되어 게이트펄스의 쉬프트방향을 역전시킨다.

<32> 타이밍 콘트롤러(11)로부터 발생하는 극성제어신호(POL)가 도 5와 같이 4 라인 스캔타임 동안 로우논리(1 라인 스캔타임)→ 하이논리(2 라인 스캔타임)→ 로우논리(1 라인 스캔타임)를 반복하는 형태로 논리가 반전된다면, 액정셀들 각각은 표시하고자 하는 데이터전압의 극성과는 반대극성의 데이터전압을 프리차지전압으로써 충전한 후에 표시하고자 하는 데이터전압을 충전한다.

<33> 타이밍 콘트롤러(11)로부터 발생하는 극성제어신호(POL)가 도 7과 같이 1 라인 스캔타임 주기로 논리가 반전된다면, 액정셀들 각각은 표시하고자 하는 데이터전압의 극성과 동일한 극성의 데이터전압을 프리차지전압으로써 충전한 후에 표시하고자 하는 데이터전압을 충전한다.

<34> 도 9는 본 발명의 제2 실시예에 따른 게이트 타이밍 제어신호들을 나타낸다.

<35> 도 9를 참조하면, 타이밍 콘트롤러(11)는 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭신호(GSC), 게이트 출력 인에이블신호(GOE), 및 업/다운신호(UP/DOWN)를 발생한다. 게이트 스타트 펄스(GSP)는 4 라인 스캔타임 동안 동일한 주기로 4회 연속 발생한 후에 1 라인 스캔타임 동안 제5 내지 제7 펄스가 연속으로 발생된 다음, 8 라인 스캔 타임 동안 제8 내지 제15 펄스가 동일한 주기로 발생된다. 업/다운신호(UP/DOWN)는 게이트 쉬프트 클럭신호(GSC)의 제4 펄스의 폴링에지에서 로우논리로부터 하이논리로 반전된 이후, 게이트 쉬프트 클럭신호(GSC)의 8 펄스 주기로 로우논리로부터 하이논리로 반전된다.

<36> 게이트 구동회로(13)는 업/다운신호(UP/DOWN)가 로우논리일 때 하향 방향을 따라 게이트펄스를 쉬프트시키는 반면, 업/다운신호(UP/DOWN)가 하이논리일 때 상향방향을 따라 게이트펄스를 쉬프트시킨다. 여기서, 게이트 구동회로(13)는 게이트 쉬프트 클럭신호(GSC)의 펄스 수에 대응하는 횟수만큼 게이트펄스를 쉬프트시킨다. 따라서, 도 9와 같이 업/다운신호(UP/DOWN)가 발생되면 게이트 구동회로(13)는 도 10 및 도 11과 같이 프리차지타임 동안 하향방향을 따라 제1 내지 제4 게이트라인(G1, G2)에 게이트펄스를 순차적으로 공급한 후, 상향방향을 따라 게이트펄스를 3회 쉬프트시켜 리얼차지타임 동안 제1 게이트라인(G1)으로부터 제4 게이트라인(G4)까지 하향방향을 따라 게이트펄스를 다시 순차적으로 공급한다. 이어서, 게이트 구동회로(13)는 프리차지타임 동안 제5 게이트

트라인(G5)으로부터 제8 게이트라인(G8)까지 하향방향을 따라 게이트펄스를 순차적으로 공급한 다음, 상향방향을 따라 게이트펄스를 3회 쉬프트시켜 리얼차지타임 동안 제5 게이트라인(G5)으로부터 제8 게이트라인(G8)까지 하향방향을 따라 게이트펄스를 다시 순차적으로 공급한다. 게이트라인들(G1 내지 Gn) 각각에는 제1 게이트펄스가 공급된 후 4 라인 스캔타임 뒤에 제2 게이트펄스가 공급된다.

<37> 타이밍 콘트롤러(11)로부터 발생하는 극성제어신호(POL)가 도 10과 같이 5 라인 스캔타임 동안 로우논리(1 라인 스캔타임)→하이논리(1 라인 스캔타임)→로우논리(1 라인 스캔타임)→하이논리(2 라인 스캔타임)를 반복하는 형태로 논리가 반전된다면, 액정셀들 각각은 도 6과 같이 표시하고자 하는 데이터전압의 극성과는 반대극성의 데이터전압을 프리차지전압으로써 충전한 후에 표시하고자 하는 데이터전압을 충전한다.

<38> 타이밍 콘트롤러(11)로부터 발생하는 극성제어신호(POL)가 도 11과 같이 1 라인 스캔타임 주기로 논리가 반전된다면, 액정셀들 각각은 도 8과 같이 표시하고자 하는 데이터전압의 극성과 동일한 극성의 데이터전압을 프리차지전압으로써 충전한 후에 표시하고자 하는 데이터전압을 충전한다.

<39> 데이터 구동회로(12)는 타이밍 콘트롤러(11)로부터 입력되는 디지털 비디오 데이터를 정극성/부극성 아날로그 데이터전압으로 변환하여 그 데이터전압을 프리차지타임 동안 제1 게이트펄스에 동기시켜 데이터라인들(D1 내지 Dm)에 공급한다. 즉, 데이터 구동회로(12)는 전술한 실시예들에서 프리차지타임 동안 데이터전압과 다른 별도의 프리차지전압을 발생하지 않는다.

<40> 전술한 실시예들에서 프리차지타임은 n (n 은 2 이상의 정수) 개의 라인들 단위로 프리차지된다고 할 때

$$\frac{n}{2} SH$$

이다. 여기서, H 는 1 수평기간이다. 예를 들면, 도 5 및 도 7의 실시예와 같이 2 라인 단위로 프리차지된다면 2 라인을 프리차지하는데 필요한 시간은 1 수평기간이다. 그리고 도 10 및 도 11의 실시예와 같이 4 라인 단위로 프리차지된다면 4 라인을 프리차지하는데 필요한 시간은 2 수평기간이다.

<41> 따라서, 본 발명의 실시예들에 따른 액정표시장치와 그 구동방법은 도 6과 같이 매 프레임마다 액정셀 각각에 충전되는 데이터전압의 극성을 한 차례 반전시켜 액정셀의 직류 구동화를 억제하여 직류 잔상과 얼룩을 줄일 수 있다. 또한, 본 발명의 실시예들에 따른 액정표시장치와 그 구동방법은 도 8과 같이 매 프레임마다 액정셀에 동일한 극성의 전압을 1 라인 스캔타임 이상의 시간차를 두고 연속 충전하므로 데이터전압을 빠르게 충전할 수 있고, 직류전압이 장시간 지속적으로 인가되는 종래 기술에 비하여 액정셀의 직류 구동화를 억제하여 직류 잔상과 얼룩을 줄일 수 있다.

<42> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

<43> 도 1은 본 발명의 실시예에 따른 액정표시장치를 보여 주는 블록도.

<44> 도 2는 도 1에 도시된 게이트 구동회로의 게이트 드라이브 IC들을 보여 주는 도면.

<45> 도 3은 도 1에 도시된 타이밍 콘트롤러를 상세히 보여 주는 블록도이다.

<46> 도 4는 본 발명의 제1 실시예에 따른 게이트 타이밍 제어신호를 보여 주는 파형도.

<47> 도 5는 도 4와 같은 게이트 타이밍 제어신호에 의해 게이트 구동회로가 구동될 때 데이터전압들의 제1 실시예를 보여 주는 파형도.

<48> 도 6은 도 5와 같은 데이터전압들이 액정셀에 충전될 때 액정셀에 충전되는 전압의 극성을 보여 주는 도면.

<49> 도 7는 도 4와 같은 게이트 타이밍 제어신호에 의해 게이트 구동회로가 구동될 때 데이터전압들의 제2 실시예를 보여 주는 파형도.

<50> 도 8은 도 7과 같은 데이터전압들이 액정셀에 충전될 때 액정셀에 충전되는 전압의 극성을 보여 주는 도면.

<51> 도 9는 본 발명의 제2 실시예에 따른 게이트 타이밍 제어신호를 보여 주는 파형도.

<52> 도 10은 도 9와 같은 게이트 타이밍 제어신호에 의해 게이트 구동회로가 구동될 때 데이터전압들의 제2 실시예

를 보여 주는 파형도.

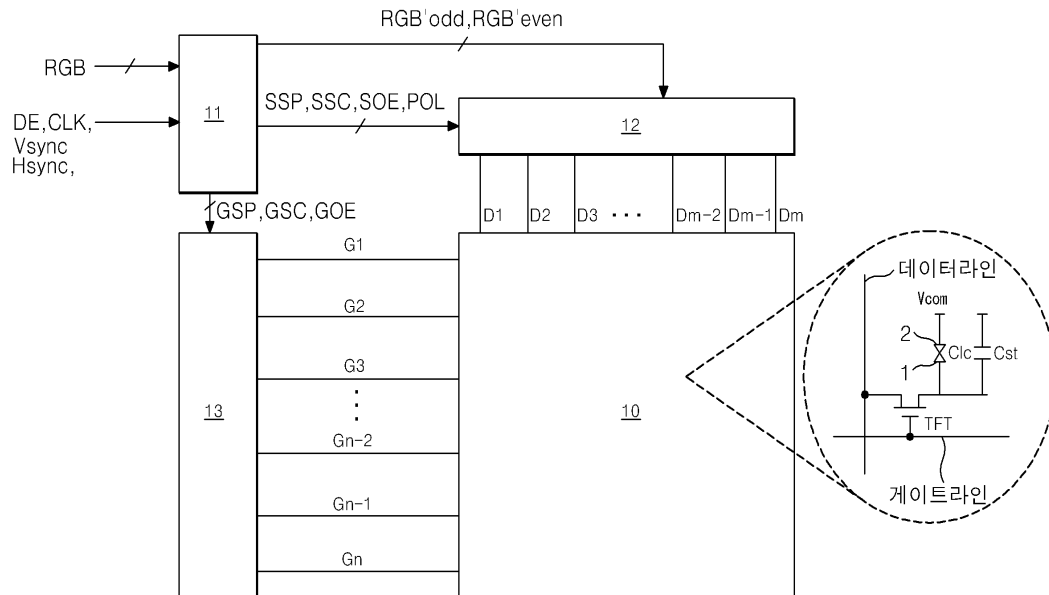
<53> 도 11은 도 9와 같은 게이트 타이밍 제어신호에 의해 게이트 구동회로가 구동될 때 데이터전압들의 제2 실시예를 보여 주는 파형도.

<54> <도면의 주요 부분에 대한 부호의 설명>

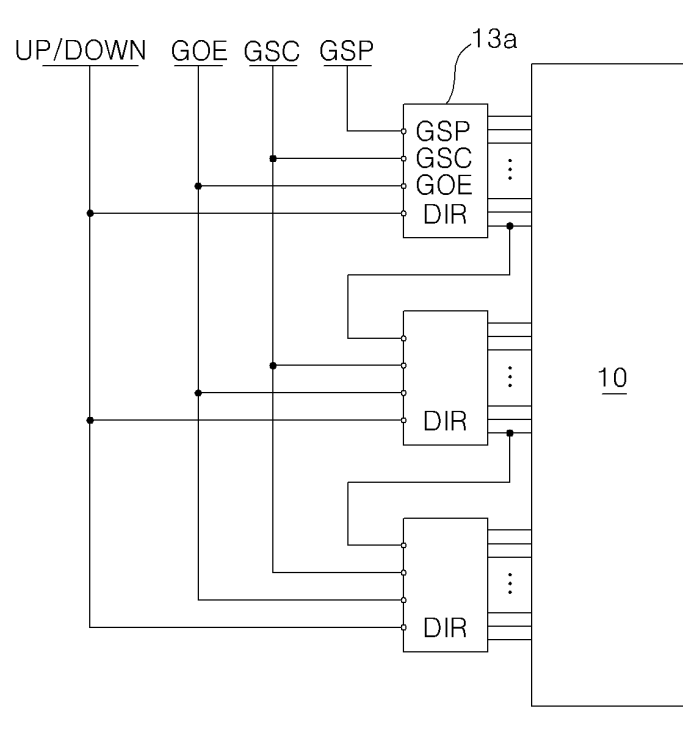
- | | |
|-----------------------|-----------------------|
| <55> 10 : 액정표시패널 | 11 : 타이밍 컨트롤러 |
| <56> 12 : 데이터 구동회로 | 13 : 게이트 구동회로 |
| <57> 21A 내지 21D : 메모리 | 22 : 메모리 컨트롤러 |
| <58> 23 : 업/다운신호 발생부 | 24 : 게이트 타이밍 제어신호 발생부 |
| <59> 25 : 멀티플렉서 | |

도면

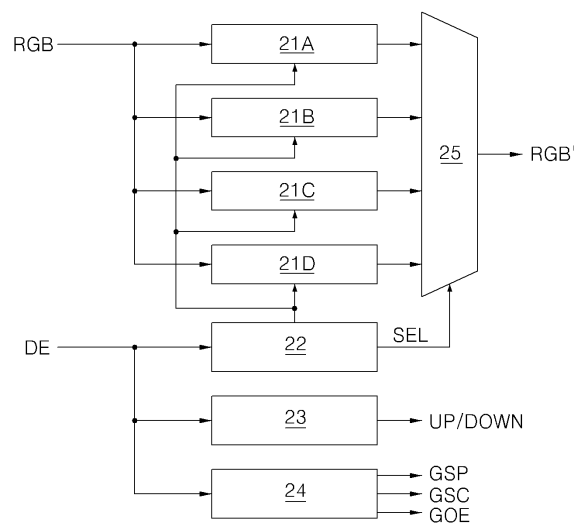
도면1



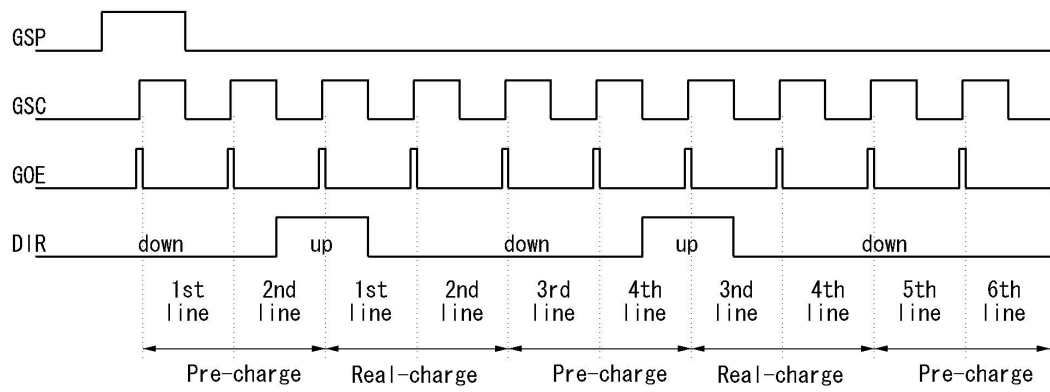
도면2



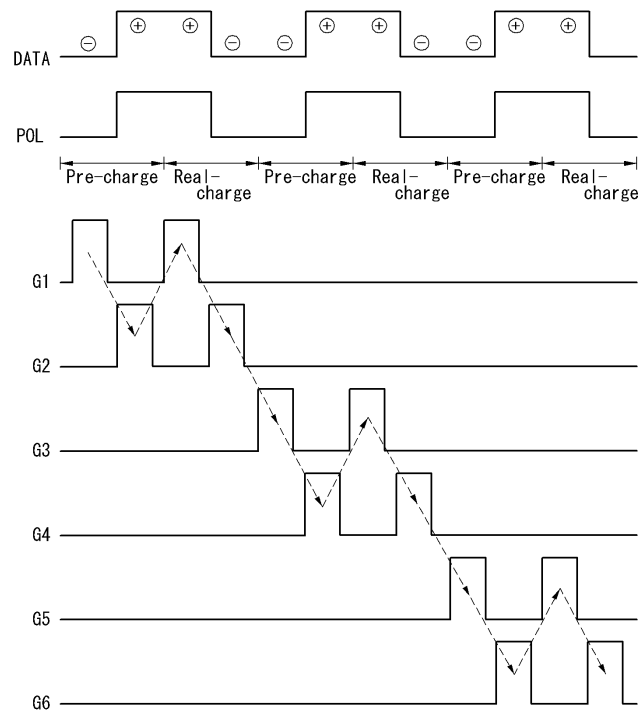
도면3



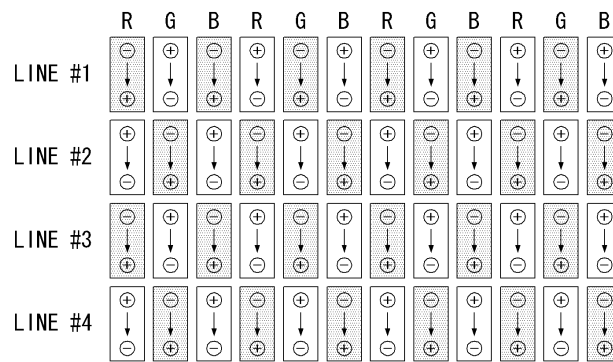
도면4



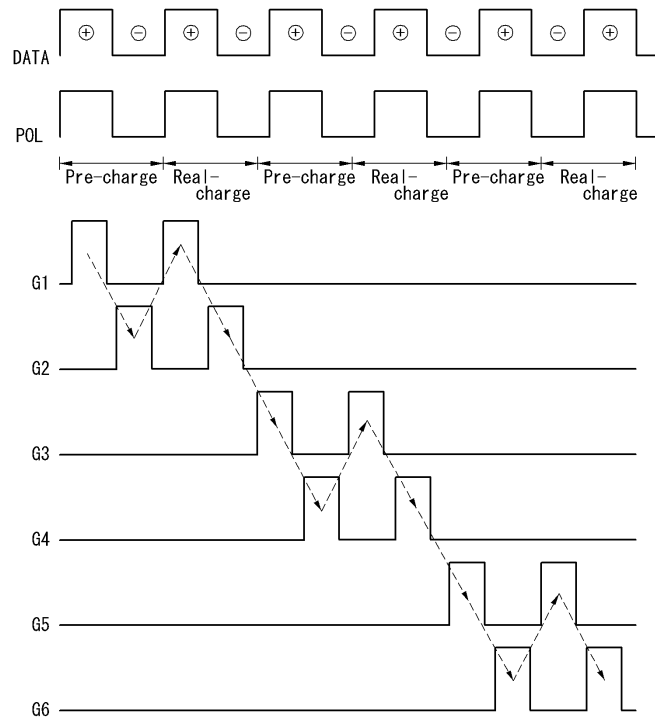
도면5



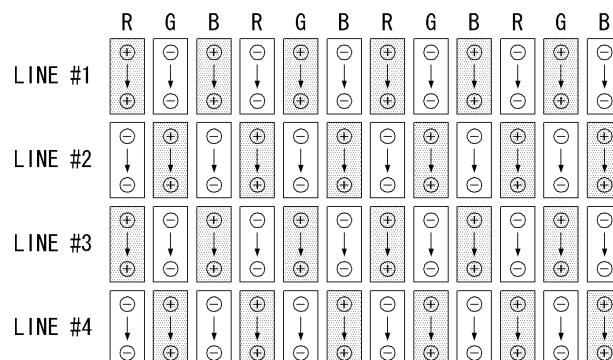
도면6



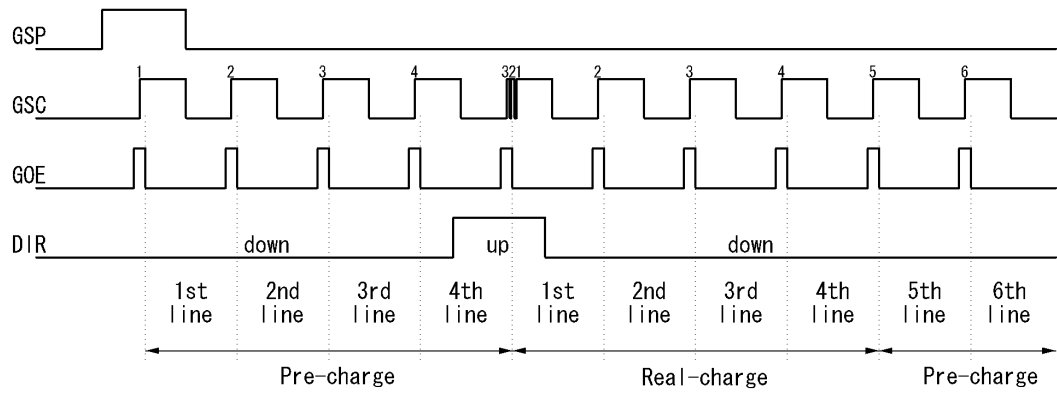
도면7



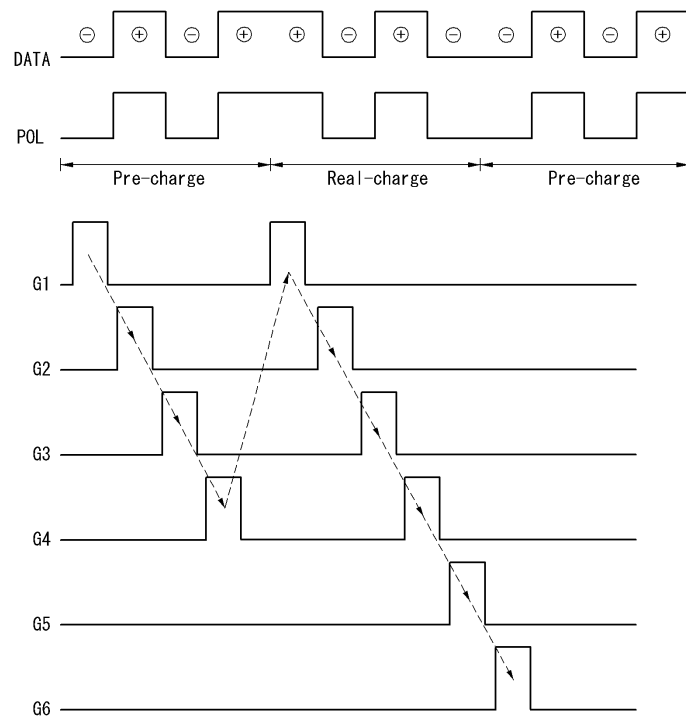
도면8



도면9



도면10



专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	KR1020090073261A	公开(公告)日	2009-07-03
申请号	KR1020070141149	申请日	2007-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JANG SU HYUK 장수혁 SONG HONG SUNG 송홍성 MIN WOONG KI 민웅기 SON YONG GI 손용기		
发明人	장수혁 송홍성 민웅기 손용기		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3614 G09G3/2096 G09G3/3648 G09G3/3688 G09G2310/0251 G09G2310/08 G09G2360/18		
其他公开文献	KR101236518B1		
外部链接	Espacenet		

摘要(译)

液晶显示装置技术领域本发明涉及一种能够防止残像余辉和不均匀性以提高显示质量的液晶显示装置。液晶显示装置包括：液晶显示面板，具有多条数据线；多条栅极线，与数据线交叉；以及多个液晶单元；一种数据驱动电路，用于在预充电时间期间产生预充电数据电压，并产生在实际充电时间期间在液晶显示板上显示的实际数据电压；根据向上/向下信号，同时在向下的方向上移动的栅极脉冲和向上的方向被供给到栅极线的脉冲的第一栅极与在预充电时间预充电的数据电压进行同步之后，其中在所述实机时间栅极驱动电路，用于在从第一栅极脉冲的下降沿开始一行扫描时间或更长时间之后，将与实际数据电压同步的第二栅极脉冲提供给栅极线；以及定时控制器，用于在一个帧周期内反转上/下信号的逻辑一次或多次，并控制数据驱动电路和栅极驱动电路的操作时序。

