



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0064531
(43) 공개일자 2008년07월09일

(51) Int. Cl.

G02F 1/136 (2006.01) G02F 1/1343 (2006.01)

(21) 출원번호 10-2007-0001536

(22) 출원일자 2007년01월05일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김정일

서울 서초구 방배2동 436-16 코코빌 202호

백승수

서울 관악구 남현동 602-55 302호

(뒷면에 계속)

(74) 대리인

조희원

전체 청구항 수 : 총 21 항

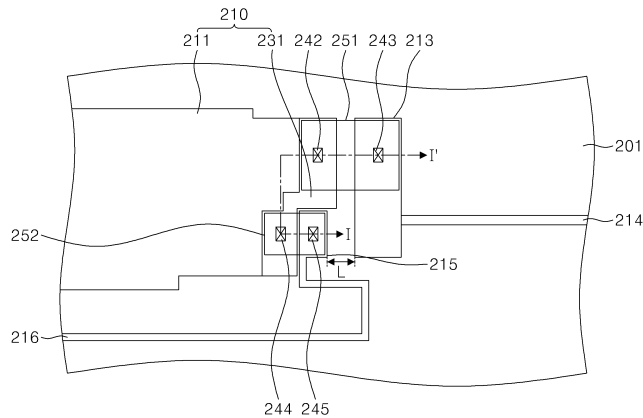
(54) 게이트 구동회로 및 이를 포함하는 액정 표시 장치, 박막트랜지스터 기판의 제조 방법

(57) 요약

본 발명은 정전기에 의한 손상을 방지할 수 있는 게이트 구동회로 및 이를 포함하는 액정 표시 장치, 박막 트랜지스터 기판의 제조 방법에 관한 것이다.

본 발명은 종속적으로 연결되는 복수의 스테이지로 이루지며, 스테이지는 게이트 라인의 일측 끝단에 형성된 게이트 패드, 게이트 라인을 구동하기 위한 게이트 구동 신호를 출력하는 풀업 트랜지스터, 풀업 트랜지스터의 게이트 전극과 연결된 제1 전극과 제2 전극과 유전체를 사이에 두고 형성되며 풀업 트랜지스터의 드레인 전극과 연결된 제2 전극을 포함하는 커패시터, 게이트 패드와 제2 전극을 연결하는 제1 연결 전극, 풀업 트랜지스터와 연결되어 게이트 구동 신호의 전압 레벨을 유지시키는 홀딩 트랜지스터, 풀업 트랜지스터 및 커패시터와 연결되어 게이트 구동 신호를 통해 홀딩 트랜지스터를 제어하는 스위치 트랜지스터, 및 제2 전극과 스위치 트랜지스터의 게이트 전극을 연결하는 제2 연결 전극을 포함하는 게이트 구동회로를 제공한다.

대표도 - 도4



(72) 발명자

이창수

경기 의정부시 호원동 우성3차 303-902

이민철

서울 동작구 노량진동 325번지 신동아 리버파크
703-1713

특허청구의 범위

청구항 1

종속적으로 연결되는 복수의 스테이지로 이루지며, 상기 스테이지는

게이트 라인의 일측 끝단에 형성된 게이트 패드;

상기 게이트 라인을 구동하기 위한 게이트 구동 신호를 출력하는 풀업 트랜지스터;

상기 풀업 트랜지스터의 게이트 전극과 연결된 제1 전극과 상기 제1 전극과 유전체를 사이에 두고 형성되며 상기 풀업 트랜지스터의 드레인 전극과 연결된 제2 전극을 포함하는 커패시터;

상기 게이트 패드와 상기 제2 전극을 연결하는 제1 연결 전극;

상기 풀업 트랜지스터와 연결되어 상기 게이트 구동 신호의 전압 레벨을 유지시키는 홀딩 트랜지스터;

상기 풀업 트랜지스터 및 상기 커패시터와 연결되어 상기 게이트 구동 신호를 통해 상기 홀딩 트랜지스터를 제어하는 스위치 트랜지스터; 및

상기 제2 전극과 상기 스위치 트랜지스터의 게이트 전극을 연결하는 제2 연결 전극을 포함하는 게이트 구동회로.

청구항 2

제1 항에 있어서,

상기 신호 공급 라인을 통하여 상기 스위치 트랜지스터의 게이트 전극과 연결되고 상기 게이트 패드와 소정 거리만큼 분리되는 컨택부가 더 구비되며, 상기 컨택부는 상기 제2 연결 전극을 통하여 상기 제2 전극과 연결되는 것을 특징으로 하는 게이트 구동회로.

청구항 3

제2 항에 있어서,

상기 유전체는 상기 게이트 라인을 절연시키는 절연막으로 형성되는 것을 특징으로 하는 게이트 구동회로.

청구항 4

제3 항에 있어서,

상기 유전체는 액티브층을 더 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 5

제3 항에 있어서,

상기 컨택부는 상기 게이트 패드로부터 적어도 상기 게이트 라인의 폭 이상으로 이격되어 형성되는 것을 특징으로 하는 게이트 구동회로.

청구항 6

제5 항에 있어서,

상기 컨택부는 상기 게이트 패드로부터 4 μ m 이상의 거리로 이격되어 형성되는 것을 특징으로 하는 게이트 구동회로.

청구항 7

제5 항에 있어서,

상기 컨택부는 상기 제1 전극과 상기 게이트 패드의 사이에 형성되는 것을 특징으로 하는 게이트 구동회로.

청구항 8

제5 항에 있어서,

상기 게이트 패드는 상기 제1 전극으로부터 적어도 상기 게이트 라인의 폭 이상으로 이격되어 형성되는 것을 특징으로 하는 게이트 구동회로.

청구항 9

다수의 게이트 라인 및 데이터 라인으로 형성되어 화상을 표시하는 액정 표시 패널;

상기 데이터 라인을 구동하기 위한 데이터 구동회로; 및

상기 게이트 라인을 구동하기 위해 복수의 스테이지로 형성된 게이트 구동회로;를 포함하며,

상기 스테이지는

게이트 라인의 일측 끝단에 형성된 게이트 패드와, 상기 게이트 라인을 구동하기 위한 게이트 구동 신호를 출력하는 풀업 트랜지스터와, 상기 풀업 트랜지스터의 게이트 전극과 연결된 제1 전극과 상기 제1 전극과 유전체를 사이에 두고 형성되며 상기 풀업 트랜지스터의 드레인 전극과 연결된 제2 전극을 포함하는 커패시터와, 상기 게이트 패드와 상기 제2 전극을 연결하는 제1 연결 전극과, 상기 풀업 트랜지스터와 연결되어 상기 게이트 구동 신호의 전압 레벨을 유지시키는 홀딩 트랜지스터와, 상기 풀업 트랜지스터 및 상기 커패시터와 연결되어 상기 게이트 구동 신호를 통해 상기 홀딩 트랜지스터를 제어하는 스위치 트랜지스터와, 상기 제2 전극과 상기 스위치 트랜지스터의 게이트 전극을 연결하는 제2 연결 전극을 포함하는 액정 표시 장치.

청구항 10

제9 항에 있어서,

외부로부터 공급받은 전원 전압을 이용하여 상기 데이터 및 게이트 구동회로를 구동시킬 구동 전압을 공급하는 전원공급부;

상기 게이트 및 데이터 라인을 제어하는 게이트 및 데이터 제어 신호를 생성하는 타이밍 컨트롤러;

상기 타이밍 컨트롤러로부터 게이트 및 데이터 제어 신호와, 상기 전원공급부로부터 게이트 구동 전압을 공급받아 상기 게이트 구동회로를 구동시킬 신호를 생성하는 레벨 쉬프터;를 더 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 11

제9 항에 있어서,

신호 공급 라인을 통하여 상기 스위치 트랜지스터의 게이트 전극과 연결되고 상기 게이트 패드와 소정 거리만큼 분리되는 컨택부가 더 구비되며, 상기 컨택부는 상기 제2 연결 전극과 연결되는 것을 특징으로 하는 액정 표시 장치.

청구항 12

제11 항에 있어서,

상기 유전체는 상기 게이트 라인을 절연시키는 절연막으로 형성되는 것을 특징으로 하는 액정 표시 장치.

청구항 13

제12 항에 있어서,

상기 유전체는 액티브층을 더 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 14

제12 항에 있어서,

상기 컨택부는 상기 게이트 패드로부터 적어도 상기 게이트 라인의 폭 이상으로 이격되어 형성되는 것을 특징으로 하는 액정 표시 장치.

청구항 15

제14 항에 있어서,

상기 컨택부는 상기 게이트 패드로부터 4 μ m 이상의 거리로 이격되어 형성되는 것을 특징으로 하는 액정 표시 장치.

청구항 16

제14 항에 있어서,

상기 컨택부는 상기 제1 전극과 상기 게이트 패드의 사이에 형성되는 것을 특징으로 하는 액정 표시 장치.

청구항 17

제14 항에 있어서,

상기 게이트 패드는 상기 제1 전극으로부터 적어도 상기 게이트 라인의 폭 이상으로 이격되어 형성되는 것을 특징으로 하는 액정 표시 장치.

청구항 18

제9 항에 있어서,

상기 게이트 구동회로는 적어도 상기 게이트 라인의 일측단에 형성되는 것을 특징으로 하는 액정 표시 장치.

청구항 19

기판 상에 게이트 라인, 게이트 패드, 제1 전극, 컨택부, 신호 공급 라인 및 게이트 전극을 포함하는 게이트 금속 패턴을 형성하는 단계;

상기 게이트 금속층의 상부에 절연막을 형성하는 단계;

상기 절연막의 상부에 액티브층 및 오믹 접촉층을 포함하는 반도체층을 형성하는 단계;

상기 반도체층의 상부에 제2 전극과 소스 및 드레인 전극을 포함하는 데이터 금속 패턴을 형성하는 단계;

상기 데이터 금속층의 상부에 보호막을 형성하고, 상기 제2 전극, 상기 게이트 패드 및 컨택부, 상기 드레인 전극이 노출되도록 컨택홀을 형성하는 단계; 및

상기 보호막의 상부에 상기 컨택홀을 통해 노출된 상기 제2 전극, 상기 게이트 패드 및 컨택부, 상기 드레인 전극과 접속되는 연결 전극 및 화소 전극을 형성하는 단계;를 포함하는 박막 트랜지스터 기판의 제조 방법.

청구항 20

제19 항에 있어서,

상기 게이트 금속 패턴을 형성하는 단계는

상기 컨택부가 상기 게이트 패드로부터 적어도 상기 게이트 라인의 폭 이상으로 이격되도록 형성하는 것을 특징으로 하는 박막 트랜지스터 기판의 제조 방법.

청구항 21

제19 항에 있어서,

상기 데이터 금속 패턴을 형성하는 단계는

상기 제1 전극 및 절연막의 상층에 상기 제2 전극을 형성하여 커패시터를 형성하는 것을 특징으로 하는 박막 트랜지스터 기판의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <24> 본 발명은 정전기에 의한 손상을 방지할 수 있는 게이트 구동회로 및 이를 포함하는 액정 표시 장치, 박막 트랜지스터 기관의 제조 방법에 관한 것이다.
- <25> 일반적으로 액정 표시 장치는 화상을 표시하기 위한 액정 표시 패널을 구비한다. 액정 표시 패널은 영상을 표시하는 표시 영역 및 표시 영역에 인접하는 주변 영역으로 이루어진다. 표시 영역에는 다수의 게이트 라인, 다수의 데이터 라인 및 다수의 화소가 구비된다. 화소 각각은 박막 트랜지스터 및 액정 커패시터로 이루어진다. 한편, 주변 영역에는 게이트 라인들에 게이트 구동 신호를 출력하는 게이트 구동회로 및 데이터 라인들에 데이터 구동 신호를 출력하는 데이터 구동회로가 구비된다.
- <26> 게이트 구동회로는 박막 트랜지스터와 동일 공정을 통해 동시에 액정 표시 패널의 주변 영역에 형성된다. 게이트 구동회로는 게이트 라인에 게이트 구동 신호를 출력하는 풀업 트랜지스터와, 풀업 트랜지스터를 턴온시키기 위한 펄스를 부트 스트랩시키는 커패시터와, 풀업 트랜지스터의 출력 단자와 연결되어 게이트 구동 신호의 전압 레벨을 유지시키는 홀딩 트랜지스터와, 풀업 트랜지스터로부터 게이트 구동 신호를 통해 턴오프되어 홀딩 트랜지스터를 턴-온 시키는 스위치 트랜지스터를 포함한다. 이와 같은, 게이트 구동회로는 풀업 트랜지스터의 출력 단자와 게이트 라인을 통해 액정 표시 패널의 화소 영역에 연결된다.
- <27> 한편, 액정 표시 패널의 제조 공정에서 게이트 라인 및 게이트 구동회로의 게이트 전극은 동시에 형성되며, 이들은 게이트 금속 패터닝을 형성한다. 이러한, 게이트 금속 패터닝이 형성된 후 화소 영역에서 발생된 정전기가 게이트 라인을 통해 게이트 라인의 일측단에 형성된 게이트 패드에 유입된다. 이를 통해, 정전기는 게이트 패드에 연결된 게이트 구동회로의 스위치 트랜지스터에 유입된다. 이때, 스위치 트랜지스터에 유입되는 정전기는 게이트 구동회로의 금속 패터닝이 밀집된 부분에서 손상을 유발한다.

발명이 이루고자 하는 기술적 과제

- <28> 따라서, 본 발명이 이루고자 하는 기술적 과제는 액정 표시 패널의 표시 영역으로부터 유입되는 정전기에 의해 손상되는 것을 방지하는 게이트 구동회로 및 이를 포함하는 액정 표시 장치, 박막 트랜지스터 기관의 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

- <29> 상술한 기술적 과제를 달성하기 위하여, 본 발명은 종속적으로 연결되는 복수의 스테이지로 이루지며, 상기 스테이지는 게이트 라인의 일측 끝단에 형성된 게이트 패드; 상기 게이트 라인을 구동하기 위한 게이트 구동 신호를 출력하는 풀업 트랜지스터; 상기 풀업 트랜지스터의 게이트 전극과 연결된 제1 전극과 상기 제1 전극과 유전체를 사이에 두고 형성되며 상기 풀업 트랜지스터의 드레인 전극과 연결된 제2 전극을 포함하는 커패시터; 상기 게이트 패드와 상기 제2 전극을 연결하는 제1 연결 전극; 상기 풀업 트랜지스터와 연결되어 상기 게이트 구동 신호의 전압 레벨을 유지시키는 홀딩 트랜지스터; 상기 풀업 트랜지스터 및 상기 커패시터와 연결되어 상기 게이트 구동 신호를 통해 상기 홀딩 트랜지스터를 제어하는 스위치 트랜지스터; 및 상기 제2 전극과 상기 스위치 트랜지스터의 게이트 전극을 연결하는 제2 연결 전극을 포함하는 게이트 구동회로를 제공한다.
- <30> 여기서, 상기 신호 공급 라인을 통하여 상기 스위치 트랜지스터의 게이트 전극과 연결되고 상기 게이트 패드와 소정 거리만큼 분리되는 컨택부가 더 구비되며, 상기 컨택부는 상기 제2 연결 전극을 통하여 상기 제2 전극과 연결되는 것을 특징으로 한다.
- <31> 그리고, 상기 유전체는 상기 게이트 라인을 절연시키는 절연막으로 형성되는 것을 특징으로 한다.
- <32> 또한, 상기 유전체는 액티브층을 더 포함하는 것을 특징으로 한다.
- <33> 여기서, 상기 컨택부는 상기 게이트 패드로부터 적어도 상기 게이트 라인의 폭 이상으로 이격되어 형성되는 것을 특징으로 한다.
- <34> 이때, 상기 컨택부는 상기 게이트 패드로부터 4 μ m 이상의 거리로 이격되어 형성되는 것을 특징으로 한다.
- <35> 또한, 상기 컨택부는 상기 제1 전극과 상기 게이트 패드의 사이에 형성되는 것을 특징으로 한다.

- <36> 그리고, 상기 게이트 패드는 상기 제1 전극으로부터 적어도 상기 게이트 라인의 폭 이상으로 이격되어 형성되는 한다.
- <37> 상술한 기술적 과제를 달성하기 위하여, 본 발명은 다수의 게이트 라인 및 데이터 라인으로 형성되어 화상을 표시하는 액정 표시 패널; 상기 데이터 라인을 구동하기 위한 데이터 구동회로; 및 상기 게이트 라인을 구동하기 위해 복수의 스테이지로 형성된 게이트 구동회로;를 포함하며, 상기 스테이지는 게이트 라인의 일측 끝단에 형성된 게이트 패드와, 상기 게이트 라인을 구동하기 위한 게이트 구동 신호를 출력하는 풀업 트랜지스터와, 상기 풀업 트랜지스터의 게이트 전극과 연결된 제1 전극과 상기 제1 전극과 유전체를 사이에 두고 형성되며 상기 풀업 트랜지스터의 드레인 전극과 연결된 제2 전극을 포함하는 커패시터와, 상기 게이트 패드와 상기 제2 전극을 연결하는 제1 연결 전극과, 상기 풀업 트랜지스터와 연결되어 상기 게이트 구동 신호의 전압 레벨을 유지시키는 홀딩 트랜지스터와, 상기 풀업 트랜지스터 및 상기 커패시터와 연결되어 상기 게이트 구동 신호를 통해 상기 홀딩 트랜지스터를 제어하는 스위치 트랜지스터와, 상기 제2 전극과 상기 스위치 트랜지스터의 게이트 전극을 연결하는 제2 연결 전극을 포함하는 액정 표시 장치를 제공한다.
- <38> 액정 표시 장치는 외부로부터 공급받은 전원 전압을 이용하여 상기 데이터 및 게이트 구동회로를 구동시킬 구동 전압을 공급하는 전원공급부; 상기 게이트 및 데이터 라인을 제어하는 게이트 및 데이터 제어 신호를 생성하는 타이밍 컨트롤러; 상기 타이밍 컨트롤러로부터 게이트 및 데이터 제어 신호와, 상기 전원공급부로부터 게이트 구동 전압을 공급받아 상기 게이트 구동회로를 구동시킬 신호를 생성하는 레벨 쉬프터;를 더 포함한다.
- <39> 그리고, 신호 공급 라인을 통하여 상기 스위치 트랜지스터의 게이트 전극과 연결되고 상기 게이트 패드와 소정 거리만큼 분리되는 컨택부가 더 구비되며, 상기 컨택부는 상기 제2 연결 전극과 연결되는 것을 특징으로 한다.
- <40> 또한, 상기 유전체는 상기 게이트 라인을 절연시키는 절연막으로 형성되는 것을 특징으로 한다.
- <41> 이때, 상기 유전체는 액티브층을 더 포함하는 것을 특징으로 한다.
- <42> 구체적으로, 상기 컨택부는 상기 게이트 패드로부터 적어도 상기 게이트 라인의 폭 이상으로 이격되어 형성되는 것을 특징으로 한다.
- <43> 특히, 상기 컨택부는 상기 게이트 패드로부터 4 μ m 이상의 거리로 이격되어 형성되는 것을 특징으로 한다.
- <44> 또한, 상기 컨택부는 상기 제1 전극과 상기 게이트 패드의 사이에 형성되는 것을 특징으로 한다.
- <45> 그리고, 상기 게이트 패드는 상기 제1 전극으로부터 적어도 상기 게이트 라인의 폭 이상으로 이격되어 형성되는 것을 특징으로 한다.
- <46> 한편, 상기 게이트 구동회로는 적어도 상기 게이트 라인의 일측단에 형성되는 것을 특징으로 한다.
- <47> 상술한 기술적 과제를 달성하기 위하여, 본 발명은 기판 상에 게이트 라인, 게이트 패드, 제1 전극, 컨택부, 신호 공급 라인 및 게이트 전극을 포함하는 게이트 금속 패턴을 형성하는 단계; 상기 게이트 금속층의 상부에 절연막을 형성하는 단계; 상기 절연막의 상부에 액티브층 및 오믹 접촉층을 포함하는 반도체층을 형성하는 단계; 상기 반도체층의 상부에 제2 전극과 소스 및 드레인 전극을 포함하는 데이터 금속 패턴을 형성하는 단계; 상기 데이터 금속층의 상부에 보호막을 형성하고, 상기 제2 전극, 상기 게이트 패드 및 컨택부, 상기 드레인 전극이 노출되도록 컨택홀을 형성하는 단계; 및 상기 보호막의 상부에 상기 컨택홀을 통해 노출된 상기 제2 전극, 상기 게이트 패드 및 컨택부, 상기 드레인 전극과 접속되는 연결 전극 및 화소 전극을 형성하는 단계;를 포함하는 박막 트랜지스터 기판의 제조 방법을 제공한다.
- <48> 여기서, 상기 게이트 금속 패턴을 형성하는 단계는 상기 컨택부가 상기 게이트 패드로부터 적어도 상기 게이트 라인의 폭 이상으로 이격되도록 형성하는 것을 특징으로 한다.
- <49> 그리고, 상기 데이터 금속 패턴을 형성하는 단계는 상기 제1 전극 및 절연막의 상측에 상기 제2 전극을 형성하여 커패시터를 형성하는 것을 특징으로 한다.
- <50> 상술한 기술적 과제와 다른 기술적 과제 및 기술적 특징들은 후술하는 본 발명의 실시 예에 따라 첨부한 도면 및 설명에 의하여 명확해질 것이다.
- <51> 이하에서는, 도 1 내지 도 8p를 참조하여 본 발명의 바람직한 실시 예에 대하여 상세하게 설명한다. 도면에서는 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다.
- <52> 도 1은 본 발명의 실시 예에 따른 액정 표시 장치를 설명하기 위해 도시한 구성 블록도이다.

- <53> 도 1에 도시된 바와 같이, 액정 표시 장치는 액정 표시 패널(110), 데이터 구동회로(120), 게이트 구동회로(130,140), 레벨 쉬프터(150,160), 타이밍 컨트롤러(170), 전원공급부(180)를 포함한다.
- <54> 액정 표시 패널(110)은 서로 합착되는 박막 트랜지스터 기관(112) 및 컬러필터 기관(114)을 포함한다. 그리고, 액정 표시 패널(110)은 박막 트랜지스터 기관(112) 및 컬러필터 기관(114) 사이에 형성되는 전계에 의해 구동되어 광 투과량을 조절하는 액정(도시하지 않음)을 포함한다.
- <55> 컬러필터 기관(114)은 유리와 같은 투명한 절연 기관상에 매트릭스 형태로 형성된 블랙 매트릭스와, 블랙 매트릭스에 의해 구획된 영역에 형성된 적, 녹, 청색 컬러필터 및 액정에 공통 전압을 인가하는 공통 전극을 포함한다.
- <56> 박막 트랜지스터 기관(112)은 표시 영역(DA)과 제1 및 제2 주변 영역(PA1,PA2)을 포함한다. 표시 영역(DA)은 게이트 라인(GL1,...,GLn), 데이터 라인(DL1,...,DLm), 게이트 라인(GL1,...,GLn) 및 데이터 라인(DL1,...,DLm)의 교차 구조에 의해 정의되는 화소 영역이 매트릭스 형태로 형성된다. 제1 주변 영역(PA1)은 게이트 라인(GL1,...,GLn)을 구동하는 게이트 구동회로(130,140)가 형성된다. 제2 주변 영역(PA2)은 데이터 라인(DL1,...,DLm)을 구동하는 데이터 구동회로(120)가 실장된다. 여기서, 제1 주변 영역(PA1)은 게이트 라인(GL1,...,GLn)의 일단부에 인접하는 영역이고, 제2 주변 영역(PA2)은 데이터 라인(DL1,...,DLm)의 일단부에 인접하는 영역이다.
- <57> 화소 영역은 게이트 라인(GL1,...,GLn) 및 데이터 라인(DL1,...,DLm)에 연결되는 박막 트랜지스터(TFT), 박막 트랜지스터(TFT)에 연결되는 액정 커패시터(C1c) 및 스토리지 커패시터(Cst)를 포함한다. 박막 트랜지스터(TFT)의 게이트 및 소스 전극은 게이트 라인(GL1,...,GLn) 및 데이터 라인(DL1,...,DLm)에 각각 연결되고, 드레인 전극은 액정 커패시터(C1c)와 스토리지 커패시터(Cst)에 연결된다.
- <58> 액정 커패시터(C1c)는 박막 트랜지스터 기관(112)에 형성된 화소 전극(도시하지 않음), 컬러필터 기관(114) 상에 형성된 공통 전극(도시하지 않음) 및 화소 전극과 공통 전극의 사이에 개재된 액정층에 의해서 형성된다. 또한, 스토리지 커패시터(Cst)는 화소 전극, 박막 트랜지스터 기관(112) 상에 형성되어 화소 전극과 마주하는 스토리지 전극 라인(도시하지 않음) 및 화소 전극과 스토리지 전극 라인과의 사이에 개재된 절연층(도시하지 않음)에 의해서 형성된다.
- <59> 게이트 구동회로(130,140)는 액정 표시 패널(110)의 제1 주변 영역(PA1)에서 적어도 게이트 라인(GL1,...,GLn)의 일측단에 집적되어 형성된다. 여기서는, 게이트 구동회로(130,140)가 게이트 라인(GL1,...,GLn)의 양측단에 집적되어 제1 및 제2 게이트 구동회로(130,140)로 형성된다. 더 상세하게는, 제1 및 제2 게이트 구동회로(130,140)는 표시 영역(DA)에 형성된 박막 트랜지스터(TFT)와 동일한 공정을 통해 박막 트랜지스터(TFT)와 동시에 제1 주변 영역(PA1)에 형성된다. 그리고, 제1 및 제2 게이트 구동회로(130,140)는 그 출력이 게이트 라인(GL1,...,GLn)의 각각에 연결된다. 제1 및 제2 게이트 구동회로(130,140)는 게이트 라인(GL1,...,GLn)의 양단에서 게이트 구동 신호를 순차적으로 공급하여 게이트 라인(GL1,...,GLn)을 구동시킨다.
- <60> 데이터 구동회로(120)는 타이밍 컨트롤러(170)로부터 데이터 제어 신호 및 데이터를 수신하고, 데이터에 해당하는 아날로그 구동 전압을 선택하여 계조 표시 전압으로 데이터 라인(DL1,...,DLm)에 공급한다. 데이터 구동회로(120)는 집적화된 칩으로 구현되며, 박막 트랜지스터 기관(112)의 제2 주변 영역(PA2)에서 실장된다. 그리고, 데이터 구동회로(120)는 제2 주변 영역(PA2)에 연결되는 연성 회로 기관(Flexible Printed Circuit Board: FPCB)(102)을 통하여 타이밍 컨트롤러(170)와 전원공급부(180)에 연결된다. 여기서, 데이터 구동회로(120)는 박막 트랜지스터 기관(112)의 제2 주변 영역(PA2)에 실장되는 것으로 한정되는 것은 아니며, 테이프 캐리어 패키지(Tape Carrier Package: TCP) 방식으로 실장될 수도 있다.
- <61> 레벨 쉬프터(150,160)는 타이밍 컨트롤러(170)로부터 게이트 제어 신호를 공급받고, 전원공급부(180)로부터 구동 전압을 공급받아, 제1 및 제2 게이트 구동회로(130,140)를 구동하는 신호를 생성하여 이를 제1 및 제2 게이트 구동회로(130,140)에 공급한다. 여기서, 레벨 쉬프터(150,160)는 제1 및 제2 게이트 구동회로(130,140)에 각각 구동 신호를 공급하는 제1 및 제2 레벨 쉬프터(150,160)로 형성된다.
- <62> 타이밍 컨트롤러(170)는 외부로부터 데이터 및 입력 제어 신호를 입력받아 게이트 제어 신호 및 데이터 제어 신호를 생성하여 제1 및 제2 레벨 쉬프터(150,160) 및 데이터 구동회로(120)로 공급한다. 여기서, 데이터는 RGB 영상신호이고, 입력 제어 신호는 수직 동기 신호(VSYNC), 수평 동기 신호(HSYNC), 메인 클럭(MCLK) 및 데이터 인에이블 신호(DE)를 포함한다.

- <63> 전원공급부(180)는 외부로부터 공급받은 전원 전압을 이용하여 아날로그 구동 전압(AVDD), 공통 전압(VCOM), 게이트 구동 전압을 생성한다. 전원공급부(180)는 아날로그 구동 전압(AVDD)을 데이터 구동회로(120)에 공급하고, 공통 전압(VCOM)을 액정 표시 패널(110)의 공통 전극에 공급하고, 게이트 구동 전압을 레벨 쉬프터(150,160)로 공급한다.
- <64> 타이밍 컨트롤러(170), 제1 및 제2 레벨 쉬프터(150,160) 및 전원공급부(180)는 인쇄 회로 기판(104)에 실장된다. 인쇄 회로 기판(104)은 연성 회로 기판(102)을 통하여 박막 트랜지스터 기판(112)의 제2 주변 영역(PA2)에 연결된다. 액정 표시 패널(110)에 형성된 게이트 구동 회로(130,140)는 데이터 구동회로(120)를 통하거나, 혹은 연성 회로 기판(102)을 통해 직접 타이밍 컨트롤러(170) 및 전원공급부(180)에 연결될 수 있다.
- <65> 도 2는 도 1에 도시된 제1 및 제2 게이트 구동회로를 설명하기 위해 도시한 구성 블록도이다.
- <66> 도 2에 도시된 바와 같이, 제1 및 제2 게이트 구동회로는 게이트 라인(GL1, ..., GLn)을 양단에서 구동할 수 있도록 표시 영역(DA)의 양측단에 인접하여 배치된다. 제1 및 제2 게이트 구동회로(130,140)는 게이트 라인(GL1, ..., GLn)을 기준으로 서로 대칭된 구조를 가진다.
- <67> 제1 및 제2 게이트 구동회로는 데이터 구동회로(120)로부터 각종 신호를 제공받아 전달하는 배선부(134) 및 각종 신호에 응답하여 게이트 구동 신호를 순차적으로 출력하는 회로부(132)를 포함한다.
- <68> 회로부(132)는 서로 종속적으로 연결된 복수의 스테이지(STG1, ..., STGn+1)를 포함하는 쉬프터 레지스터로 구성된다. 회로부(132)에서 서로 종속적으로 연결된 제1 내지 제n+1 스테이지(STG1 ~ STGn+1) 각각은 제1 내지 제n 게이트 라인(GL1 ~ GLn)에 전기적으로 연결되어 게이트 구동 신호를 순차적으로 출력한다. 제n+1 스테이지(STGn+1)는 더미 스테이지이다. 여기서, n은 짝수이다.
- <69> 복수의 스테이지(STG1 ~ STGn+1) 각각은 제1 및 제2 클럭단자(CK1, CK2), 입력 단자(IN), 제어 단자(CT), 출력 단자(OUT), 리셋 단자(RE), 캐리 단자(CR), 접지 전압 단자(VSS)를 포함한다.
- <70> 복수의 스테이지(STG1, ..., STGn+1) 중 홀수 번째 스테이지(STG1, STG3, ..., STGn+1)는 제1 클럭 단자(CK1)에 게이트 클럭 펄스(CKV)이 제공되고 제2 클럭 단자(CK2)에 게이트 클럭바 펄스(CKVB)가 제공된다. 복수의 스테이지(STG1, ..., STGn) 중 짝수 번째 스테이지(STG2, STG4, ..., STGn)는 제1 클럭 단자(CK1)에 게이트 클럭바 펄스(CKVB)이 제공되고 제2 클럭 단자(CK2)에 게이트 클럭 펄스(CKV)가 제공된다.
- <71> 복수의 스테이지(STG1, ..., STGn+1)의 입력 단자(IN)는 이전 스테이지의 캐리 단자(CR)에 연결되어 이전 스테이지의 캐리 신호가 공급되고, 제어 단자(CT)는 다음 스테이지의 출력 단자(OUT)에 연결되어 다음 스테이지의 출력 신호가 공급된다. 첫 번째 스테이지(STG1)는 이전 스테이지가 존재하지 않으므로 입력 단자(IN)에 개시 펄스(STVP)가 공급된다. 캐리 단자(CR)로부터 출력되는 캐리 신호는 다음 스테이지를 구동시키는 역할을 수행한다.
- <72> 제n 스테이지(STGn)의 제어 단자(CT)에 캐리 신호를 공급하는 더미 스테이지(STGn+1)의 제어 단자(CT)에는 개시 펄스(STVP)가 공급되는 것이 바람직하다. 복수의 스테이지(STG1, ..., STGn+1)의 접지 전압 단자(VSS)에는 접지 전압(VOFF)이 공급되고, 리셋 단자(RE)에는 n+1 스테이지(STGn+1)의 출력 신호가 공급된다.
- <73> 또한 복수의 스테이지(STG1, ..., STGn+1) 중 홀수 번째 스테이지(STG1, STG3, ..., STGn+1)의 출력 단자(OUT)는 게이트 클럭 펄스(CKV)를 게이트 구동 신호로 출력하고, 캐리 단자(CR)는 게이트 클럭 펄스(CKV)를 캐리 신호로 출력한다. 복수의 스테이지(STG1, ..., STGn) 중 짝수 번째 스테이지(STG2, STG4, ..., STGn)의 출력 단자(OUT)는 게이트 클럭바 펄스(CKVB)를 게이트 구동 신호로 출력하고, 캐리 단자(CR)는 게이트 클럭바 펄스(CKVB)를 캐리 신호로 출력한다. 즉, 제1 게이트 구동 회로(130)는 홀수 번째 스테이지(STG1, STG3, ..., STGn+1)가 게이트 클럭 펄스(CKV)에 동기되어 게이트 구동 신호를 출력하고, 짝수 번째 스테이지(STG2, STG4, ..., STGn)가 게이트 클럭바 펄스(CKVB)에 동기되어 게이트 구동 신호를 출력하는 구조를 가진다.
- <74> 제1 게이트 구동회로(130)의 복수의 스테이지(STG1, ..., STGn)의 출력 단자(OUT)는 표시 영역(DA)에 형성된 게이트 라인(GL1, ..., GLn)에 각각 대응하여 연결되며 게이트 구동 신호를 게이트 라인(GL1, ..., GLn)에 순차적으로 공급하여 게이트 라인(GL1, ..., GLn)을 순차적으로 구동한다.
- <75> 배선부(134)는 회로부(132)에 인접하여 형성된다. 배선부(134)는 서로 평행하게 연장되는 개시 펄스 배선(SL1), 게이트 클럭 펄스 배선(SL2), 게이트 클럭바 펄스 배선(SL3), 접지 전압 배선(SL4) 및 리셋 배선(SL5)을 포함한다.
- <76> 개시 펄스 배선(SL1)은 제1 레벨 쉬프터(150)로부터 개시 펄스(STVP)를 전달받아 제1 스테이지(STG1)의 입력 단

자와 $n+1$ 스테이지(STG $n+1$)의 제어 단자(CT)로 입력한다.

- <77> 게이트 클럭 펄스 배선(SL2)은 제1 레벨 쉬프트(150)로부터 게이트 클럭 펄스(CKV)를 전달받아 홀수 번째 스테이지(STG1, STG3, ..., STG $n+1$)의 제1 클럭 단자(CK1)로 제공하고, 짝수 번째 스테이지(STG2, STG4, ..., STG n)의 제2 클럭 단자(CK2)로 제공한다.
- <78> 게이트 클럭바 펄스 배선(SL3)은 제1 레벨 쉬프트(150)로부터 게이트 클럭바 펄스(CKVB)를 전달받아 홀수 번째 스테이지(STG1, STG3, ..., STG $n+1$)의 제2 클럭 단자(CK2)로 제공하고, 짝수 번째 스테이지(STG2, STG4, ..., STG n)의 제1 클럭 단자(CK1)로 제공한다.
- <79> 접지 전압 배선(SL4)은 전원 공급부(180)로부터 게이트 오프 전압(VOFF)을 전달받아 제1 내지 제 $n+1$ 스테이지(STG1, ..., STG $n+1$)의 접지 전압 단자(VSS)로 공급한다.
- <80> 리셋 배선(SL5)은 제 $n+1$ 스테이지(STG $n+1$)의 출력 단자(OUT)의 출력 신호를 복수의 스테이지(STG1, ..., STG $n+1$)의 리셋 단자(RE)에 리셋 신호(REsig)로 제공한다.
- <81> 제2 게이트 구동회로(140)는 게이트 라인(GL1, ..., GL n)을 기준으로 제1 게이트 구동회로(130)와 대칭되어 형성된다. 따라서, 제2 게이트 구동회로(140)는 제1 게이트 구동회로(130)와 동일한 구성을 유추할 수 있으므로, 제2 게이트 구동회로(140)의 상세한 설명은 생략하도록 한다.
- <82> 한편, 게이트 구동회로(130, 140)는 본 발명에 따라 제1 및 제2 게이트 구동회로(130, 140)로 형성되는 것에 한정되지 아니하며, 제1 게이트 구동회로(130)만으로 형성될 수도 있다. 여기서, 게이트 구동회로(130)는 게이트 라인(GL1, ..., GL n)을 일단에서 구동할 수 있도록 표시 영역(DA)의 일측단에 인접하여 배치된다. 이때, 게이트 구동회로(130)는 상술한 제1 게이트 구동회로(130)의 구성과 동일하게 형성되므로 상세한 설명을 생략하도록 한다.
- <83> 또한, 게이트 구동회로(130, 140)는 게이트 라인(GL1, ..., GL n)을 일측단에 제1 게이트 구동회로(130)의 홀수 번째 스테이지(STG1, STG3, ..., STG $n+1$)가 형성되고, 타측단에 제2 게이트 구동회로(140)의 짝수 번째 스테이지(STG2, STG4, ..., STG n)가 형성되며, 홀수 번째 스테이지(STG1, STG3, ..., STG $n+1$)와 짝수 번째 스테이지(STG2, STG4, ..., STG n)가 교번하여 구동될 수 있다. 제2 게이트 구동회로(140)는 짝수 번째 스테이지(STG2, STG4, ..., STG n) 중 첫번째 스테이지에 개시 펄스(STVP)가 입력되는 대신 제1 게이트 구동회로(130)의 제1 스테이지(STG1)의 출력 단자(OUT)로부터 출력되는 게이트 클럭 펄스(CKV)가 제2 스테이지(STG2)의 입력 단자(IN)와 제 n 스테이지(STG n)의 제어 단자(CT)에 입력된다. 여기서, 게이트 구동회로(130, 140)의 홀수 번째 스테이지(STG1, STG3, ..., STG $n+1$) 및 짝수 번째 스테이지(STG2, STG4, ..., STG n)의 회로 동작은 상술한 제1 게이트 구동회로(130)와 동일하므로 상세한 설명은 생략하기로 한다.
- <84> 도 3은 도 2에 도시된 제1 스테이지를 설명하기 위해 도시한 회로도이다.
- <85> 여기서, 제1 스테이지는 제2 내지 제 $n+1$ 스테이지와 동일한 구성으로 형성되므로, 제1 스테이지에 대한 설명으로 제2 내지 제 $n+1$ 스테이지의 구성에 대한 설명을 대신한다.
- <86> 도 3에 도시된 바와 같이, 제1 스테이지는 풀업부(132a), 풀다운부(132b), 구동부(132c), 홀딩부(132d), 스위치부(132e) 및 캐리부(132f)를 포함한다.
- <87> 풀업부(132a)는 제1 클럭 단자(CK1)를 통해 공급되는 게이트 클럭 펄스(CKV)를 풀업시켜 출력 단자(OUT)를 통해 게이트 구동 신호로 출력한다. 풀업부(132a)는 게이트 전극이 제1 노드(N1)에 연결되고, 소스 전극이 제1 클럭 단자(CK1)에 연결되며, 드레인 전극이 출력 단자(OUT)에 연결되는 제1 트랜지스터(NT1)를 포함한다. 이와 같은, 제1 트랜지스터(NT1)는 게이트 클럭 펄스(CKV)를 풀업시키므로 풀업 트랜지스터로 나타낼 수 있다. 그리고, 제1 트랜지스터(NT1)는 출력 단자(OUT)를 통해 화소 영역의 게이트 라인에 게이트 구동 신호를 공급한다.
- <88> 풀다운부(132b)는 제2 스테이지로부터의 캐리 신호에 응답하여 풀업된 게이트 구동 신호를 접지 전압 단자(VSS)를 통해 제공된 게이트 오프 전압(VOFF)으로 풀다운시킨다. 풀다운부(132b)는 게이트 전극이 제어 단자(CT)에 연결되고, 드레인 전극이 출력 단자(OUT)에 연결되며, 소스 전극이 접지 전압 단자(VSS)에 연결된 제2 트랜지스터(NT2)를 포함한다.
- <89> 구동부(132c)는 입력 단자(IN)를 통해 공급되는 개시 펄스(STVP)에 응답하여 풀업부(132a)를 턴온시키고, 제2 스테이지의 캐리 신호에 응답하여 턴오프시킨다. 이를 위해, 구동부(132c)는 버퍼부, 충전부 및 방전부를 포함한다.

- <90> 버퍼부는 게이트 전극 및 소스 전극이 입력 단자(IN)에 공통으로 연결되고, 소스 전극이 제1 노드(N1)에 연결된 제3 트랜지스터(NT3)를 포함한다. 충전부는 제1 전극이 제1 노드(N1)에 연결되고, 제2 전극이 제2 노드(N2)에 연결된 제1 커패시터(C1)를 포함한다. 방전부는 게이트 전극이 제어 단자(CT)에 연결되고, 소스 전극이 제1 노드(N1)에 연결되며, 드레인 전극이 접지 전압 단자(VSS)에 연결되는 제4 트랜지스터(NT4)를 포함한다.
- <91> 입력 단자(IN)에 개시 펄스(STVP)가 입력되면 이에 응답하여 제3 트랜지스터(NT3)가 턴온되고, 개시 펄스(STVP)가 제1 커패시터(C1)에 충전된다. 제1 커패시터(C1)에 제1 트랜지스터(NT1)의 문턱 전압 이상의 전하가 충전되면, 제1 트랜지스터(NT1)가 턴온되어 제1 클럭 단자(CK1)로 공급되는 게이트 클럭 펄스(CKV)를 출력 단자(OUT)로 출력한다. 이때, 제1 노드(N1)의 전위는 제2 노드(N2)의 갑작스런 전위의 변화에 따라 제1 커패시터(C1)의 커플링(Coupling)에 의해 제2 노드(N2)의 전위 변화량만큼 부트 스트랩(Boot Strap)된다. 따라서, 제1 트랜지스터(NT1)는 소스 전극에 인가된 제1 게이트 클럭 펄스(CKV)를 출력 단자(OUT)로 출력할 수 있게 된다. 여기서, 개시 펄스(STVP)는 첫번째 게이트 구동 신호를 생성하기 위해 제1 트랜지스터(NT1)를 예비로 충전하는 신호로 사용된다. 그리고, 제어 단자(CT)를 통해 입력되는 제2 스테이지의 캐리 신호에 응답하여 제4 트랜지스터(NT4)가 턴온되면 제1 커패시터(C1)에 충전된 전하는 접지 전압 단자(VSS)를 통해 제공되는 게이트 오프 전압(VOFF) 레벨로 방전된다. 그리고, 출력 단자(OUT)로 출력된 게이트 클럭 펄스(CKV)는 게이트 라인에 공급되는 게이트 구동 신호가 된다.
- <92> 홀딩부(132d)는 게이트 구동 신호를 게이트 오프 전압(VOFF) 레벨 상태로 홀딩시키는 제5 및 제6 트랜지스터(NT5,NT6)를 포함한다. 제5 트랜지스터(NT5)는 게이트 전극이 제3 노드(N3)에 연결되고, 소스 전극이 제2 노드(N2)에 연결되며, 드레인 전극이 접지 전압 단자(VSS)에 연결된다. 제6 트랜지스터(NT6)는 게이트 전극이 제2 클럭 단자(CK2)에 연결되고, 소스 전극이 제2 노드(N2)에 연결되며, 드레인 전극이 접지 전압 단자(VSS)에 연결된다.
- <93> 스위치부(132e)는 제7, 제8, 제9 및 제10 트랜지스터(NT7,NT8,NT9,NT10)와 제2 및 제3 커패시터(C2,C3)를 포함하여 홀딩부(132d)의 구동을 제어한다. 제7 트랜지스터(NT7)는 게이트 전극과 드레인 전극이 제1 클럭 단자(CK1)에 연결되고, 소스 전극이 제3 커패시터(C3)를 통해 제3 노드(N3)에 연결된다. 제8 트랜지스터(NT8)는 소스 전극이 제1 클럭 단자(CK1)에 연결되고, 게이트 전극이 제2 커패시터(C2)를 통해 소스 전극과 연결되며, 드레인 전극은 제3 노드(N3)에 연결되며, 제3 커패시터(C3)를 통해 게이트 전극에 연결된다. 제9 트랜지스터(NT9)는 드레인 전극이 제7 트랜지스터(NT7)의 소스 전극에 연결되며, 게이트 전극은 제2 노드(N2)에 연결되고, 소스 전극은 접지 전압 단자(VSS)에 연결된다. 제10 트랜지스터(NT10)는 소스 전극이 제3 노드(N3)에 연결되고, 게이트 전극은 제2 노드(N2)에 연결되며, 드레인 전극은 접지 전압 단자(VSS)에 연결된다.
- <94> 출력 단자(OUT)로 하이 상태의 게이트 클럭 펄스(CKV)가 게이트 구동 신호로 출력되면, 제2 노드(N2)의 전위는 하이 상태로 상승한다. 제2 노드(N2)의 전위가 하이 상태로 상승되면 제9 및 제10 트랜지스터(NT9,NT10)는 턴온 상태로 전환된다. 이때, 제1 클럭 단자(CK1)로 공급되는 게이트 클럭 펄스(CKV)에 의해서 제7 및 제8 트랜지스터(NT7,NT8)가 턴온된 상태로 전환되더라도 제7 및 제8 트랜지스터(NT7,NT8)로부터 출력된 신호는 제9 및 제10 트랜지스터(NT9,NT10)를 통해 접지 전압(VOFF) 상태로 방전된다. 따라서, 하이 상태의 게이트 구동 신호가 출력되는 동안 제3 노드(N3)의 전위는 로우 상태로 유지되므로, 제5 트랜지스터(NT5)는 턴오프 상태를 유지한다. 그리고, 제어 단자(CT)를 통해 입력된 제2 스테이지의 캐리 신호에 응답하여 게이트 구동 신호가 접지 전압 단자(VSS)를 통해 방전되며, 제2 노드(N2)의 전위는 로우 상태로 점차 하강한다. 따라서, 제9 및 제10 트랜지스터(NT9,NT10)는 턴오프 상태로 전환되고, 제7 및 제8 트랜지스터(NT7,NT8)로부터 출력된 신호에 의해서 제3 노드(N3)의 전위는 하이 상태로 상승한다. 제3 노드(N3)의 전위가 상승됨에 따라 제5 트랜지스터(NT5)가 턴온되고, 제2 노드(N2)의 전위는 제5 트랜지스터(NT5)를 통해 접지 전압(VOFF) 상태로 방전된다.
- <95> 이런 상태에서 제2 클럭 단자(CK2)로 제공되는 게이트 클럭바 펄스(CKVB)에 의해서 제6 트랜지스터(NT6)가 턴온되면, 제2 노드(N2)의 전위는 접지 전압 단자(VSS)를 통해 효과적으로 방전된다.
- <96> 홀딩부(132d)의 제5 및 제6 트랜지스터(NT5,NT6)는 제2 노드(N2)의 전위를 접지 전압(VOFF) 상태로 홀딩시킨다. 이를 통해, 제5 트랜지스터(NT5)는 홀딩 트랜지스터로 나타낼 수 있다.
- <97> 스위치부(132e)는 제5 트랜지스터(NT5)가 턴온되는 시점을 결정한다. 여기서, 스위치부(132e)의 제10 트랜지스터(NT10)는 스위치 트랜지스터로 나타낼 수 있다.
- <98> 캐리부(132f)는 드레인 전극이 제1 클럭 단자(CK1)에 연결되고 게이트 전극이 제1 노드(N1)에 연결되며, 소스 전극이 캐리 단자(CR)에 연결된 제11 트랜지스터(NT11)를 포함한다. 제11 트랜지스터(NT11)는 제1 노드(N1)의

전위가 상승됨에 따라 턴온되어 드레인 전극으로 입력된 게이트 클럭 펄스(CKV)를 캐리 단자(CR)로 출력한다.

- <99> 제1 스테이지는 리플 방지부(132g)와 리셋부(132h)를 더 포함한다. 리플 방지부(132g)는 이미 접지 전압(VOFF) 상태로 유지된 게이트 구동 신호가 입력 단자(IN)를 통해 입력되는 노이즈에 의해 리플되는 것을 방지한다. 이를 위해, 리플 방지부(132g)는 제12 트랜지스터(NT12)와 제13 트랜지스터(NT13)를 포함한다. 제12 트랜지스터(NT12)는 소스 전극이 입력 단자(IN)에 연결되고, 게이트 전극이 제2 클럭 단자(CK2)에 연결되며 드레인 전극은 제1 노드(N1)에 연결된다. 제13 트랜지스터(NT13)는 드레인 전극이 제1 노드(N1)에 연결되고, 게이트 전극이 제1 클럭 단자(CK1)에 연결되며, 소스 전극이 제2 노드(N2)에 연결된다.
- <100> 리셋부(132h)는 소스 전극이 제1 노드(N1)를 통해 풀업부(132a)에 연결되고, 게이트 전극이 리셋 단자(RE)에 연결되며, 드레인 전극이 접지 전압 단자(VSS)에 연결된 제14 트랜지스터(NT14)를 포함한다. 제14 트랜지스터(NT14)는 리셋 단자(RE)를 통해 입력된 제n+1 스테이지(STGn+1)의 출력 신호인 리셋 신호에 응답하여 입력 단자(IN)를 통해 입력된 노이즈를 접지 전압(VOFF) 상태로 방전시킨다. 리셋부(132h)는 복수의 스테이지(STG1, ..., STGn)의 제14 트랜지스터(NT14)가 턴온되게 함으로써, 복수의 스테이지(STG1, ..., STGn)의 제1 노드(N1)를 접지 전압(VOFF)의 상태로 리셋시킨다. 이후 회로부(132)의 복수의 스테이지(STG1, ..., STGn+1)는 초기화된 상태에서 다시 동작을 시작할 수 있다.
- <101> 한편, 풀업부(132a)의 제1 트랜지스터(NT1)와, 스위치부(132e)의 제10 트랜지스터(NT10)는 제2 노드(N2)를 통해 연결된다. 여기서, 게이트 라인과 연결된 출력 단자(OUT)를 통해 화소 영역에서 발생된 정전기가 유입되면, 제2 노드(N2)를 거쳐 제1 트랜지스터(NT1) 및 제10 트랜지스터(NT10)에도 정전기가 유입된다. 이때, 제1 트랜지스터(NT1) 및 제10 트랜지스터(NT10)에 정전기가 유입되면서 회로에 손상을 유발한다. 따라서, 제1 트랜지스터(NT1)와 제2 노드(N2)가 게이트 레벨에서 직접 연결되지 않도록 형성하여 정전기의 유입을 방지하여야 한다.
- <102> 이하에서는 본 발명에 따라 정전기 유입을 방지하기 위한 제1 스테이지의 예시 구조를 도 4 및 도 5를 참조하여 설명한다.
- <103> 도 4는 도 3에 도시된 제1 스테이지에 대한 예시 구조를 설명하기 위해 도시한 평면도이고, 도 5a 및 도 5b는 도 4에 도시된 I-I'선을 따라 절단된 단면을 도시한 예시 단면도이다. 여기서, 도 4는 본 발명에 따른 제1 스테이지의 일부 구성 요소만 도시하였다.
- <104> 도 4에 도시된 바와 같이, 제1 스테이지는 제1 전극(211) 및 제2 전극(231)을 포함하는 커패시터(210), 게이트 라인(214)의 일측 끝단에 형성되어 제1 연결 전극(251)을 통해 제2 전극(231)에 연결되는 게이트 패드(213), 신호 공급 라인(216)을 통해 스위치 트랜지스터와 연결되고, 제2 연결 전극(252)을 통해 제2 전극(231)에 연결되는 컨택부(215)를 포함한다. 여기서, 커패시터(210)는 도 3에 도시된 제1 커패시터(C1)에 대응된다.
- <105> 커패시터(210)는 제1 전극(211)과, 유전체 역할을 하는 절연막(220) 및 제2 전극(231)이 차례대로 적층되어 형성된다. 커패시터(210)는 풀업 트랜지스터로부터 출력되는 게이트 구동 신호를 공급받아 게이트 라인(214)에 공급하기 위해 게이트 패드(213)와 연결된다. 그리고, 커패시터(210)는 스위치 트랜지스터와 연결된 컨택부(215)와 연결된다.
- <106> 커패시터(210)는 도 5b에 도시된 바와 같이 절연막(220)의 상부에 액티브층(221)이 더 형성될 수 있다. 여기서, 액티브층(221)은 절연막(220)과 함께 유전체 역할을 한다. 그리고, 액티브층(221)은 제1 전극(211)과 제2 전극(231)의 사이에서 이물질에 의한 쇼트 등의 불량을 방지한다.
- <107> 게이트 패드(213)는 화소 영역으로부터 연장된 게이트 라인(214)의 일측 끝단에 형성된다. 여기서, 게이트 패드(213)는 커패시터(210)의 제1 전극(211)과 적어도 게이트 라인(214)의 폭 이상으로 이격되어 형성된다. 그리고, 게이트 패드(213)는 제1 연결 전극(251)을 통해 커패시터(210)의 제2 전극(231)에 연결된다. 이를 통해, 게이트 패드(213)는 게이트 구동 신호를 게이트 라인(214)으로 공급한다.
- <108> 컨택부(215)는 커패시터(210)와 게이트 패드(213)의 사이에 형성된다. 그리고, 컨택부(215)는 신호 배선 라인(216)을 통해 스위치 트랜지스터에 연결된다. 여기서, 컨택부(215)는 게이트 패드(213)로부터 거리 L만큼 이격되어 형성된다. 이때, L은 적어도 게이트 라인(214)의 폭 이상으로 형성되는 것이 바람직하다.
- <109> 제1 연결 전극(251)은 제1 및 제2 컨택홀(242, 243)을 통해 커패시터(210) 및 게이트 패드(213)와 연결된다. 그리고, 제2 연결 전극(252)은 제3 및 제4 컨택홀(244, 245)을 통해 커패시터(210) 및 컨택부(215)와 연결된다. 이를 통해, 게이트 패드(213) 및 컨택부(215)는 동일 평면 상에서 도전성 재질을 통해 연결되지 않고, 커패시터(210)와 제1 및 제2 연결 전극(251, 252)을 이용하여 전기적으로 연결된다.

- <110> 한편, 컨택부(215)의 이격 거리 L은 도 6을 참조하여 상세하게 설명한다.
- <111> 도 6는 도 4에 도시된 제1 스테이지의 게이트 금속 패턴의 예시 구조를 도시한 평면도이다.
- <112> 도 6에 도시된 바와 같이, 컨택부(215)는 게이트 패드(213)로부터 거리 L만큼 이격되어 형성된다. 예를 들어, 컨택부(215)는 화소 영역에서 발생되어 게이트 라인(214)을 통해 게이트 패드(213)에 유입된 정전기가 컨택부(215)에 유입되지 않도록 4 μ m 이상의 거리를 두고 형성되는 것이 바람직하다. 여기서, 4 μ m가 게이트 라인(214)의 폭으로 한정되는 것은 아니고, 커패시터(210)와 게이트 패드(213) 간의 거리를 참고하여 컨택부(215)가 게이트 패드(213)로부터 이격될 수 있는 거리의 예를 나타낸 것이다. 이와 같이, 컨택부(215)는 게이트 레벨에서 커패시터(210) 및 게이트 패드(213)와 연결되지 않으므로 정전기가 유입되는 것을 방지한다.
- <113> 한편, 신호 공급 라인(216)은 컨택부(215)와 스위치 트랜지스터의 게이트 전극에 연결된다.
- <114> 이하에서는, 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 제조 방법에 대해 도 7a 내지 도 8p를 참조하여 설명하도록 한다.
- <115> 도 7a는 본 발명의 실시 예에 따른 박막 트랜지스터 기관을 도시한 예시 평면도이고, 도 7b는 도 7a에 도시된 I-I'선을 따라 형성된 단면을 도시한 예시 단면도이며, 도 7c는 도 7a에 도시된 II-II'선을 따라 형성된 단면을 도시한 예시 단면도이다.
- <116> 도 7a 내지 도 7c를 참조하면, 박막 트랜지스터 기관의 제조 방법은 기관(201) 상에 게이트 라인(214), 게이트 패드(213), 제1 전극(211), 컨택부(215), 신호 공급 라인(216) 및 게이트 전극(217)을 포함하는 게이트 금속 패턴을 형성하는 단계, 게이트 금속 패턴의 상부에 절연막(220)을 형성하는 단계, 절연막(220)의 상부에 액티브층(221) 및 오믹 접촉층(223)을 포함하는 반도체층을 형성하는 단계, 반도체층의 상부에 제2 전극(231)과 소스 및 드레인 전극(233,234)을 포함하는 데이터 금속 패턴을 형성하는 단계, 데이터 금속 패턴의 상부에 보호막(241)을 형성하고, 제2 전극, 게이트 패드(213) 및 컨택부(215), 드레인 전극(234)이 노출되도록 컨택홀(242,243,244,245,246)을 형성하는 단계 및 보호막(241)의 상부에 컨택홀(242,243,244,245,246)을 통해 노출된 제2 전극(231), 게이트 패드(213) 및 컨택부(215), 드레인 전극(234)과 접속되는 연결 전극(251,252) 및 화소 전극(255)을 형성하는 단계를 포함한다.
- <117> 박막 트랜지스터 기관의 제조 방법은 도 8a 내지 도 8p를 통해 더 상세하게 설명한다.
- <118> 도 8a 내지 도 8p는 본 발명에 따른 박막 트랜지스터 기관의 제조 방법을 설명하기 위해 도시한 평면도 및 단면도이다.
- <119> 우선 도 8a 내지 8c에 도시된 바와 같이, 기관(201) 상에 게이트 라인(214), 게이트 패드(213), 제1 전극(211), 컨택부(215), 신호 공급 라인(216) 및 게이트 전극(217)을 포함하는 게이트 금속층을 형성하는 단계를 진행한다.
- <120> 구체적으로, 기관(201) 상에 게이트 구동회로를 구성하는 게이트 라인(214), 제1 전극(211), 게이트 패드(213), 컨택부(215) 및 신호 공급 라인(216)을 포함하는 게이트 금속 패턴을 형성한다. 이때, 게이트 금속 패턴은 스퍼터링 등의 증착 방법을 통해 게이트 금속층을 형성한 후 포토리소그래피 공정과 식각 공정으로 패터닝하여 형성한다. 여기서, 기관(201)은 일반적으로 유리 또는 플라스틱과 같은 투명한 절연 기관을 사용한다.
- <121> 이와 동시에, 화소 영역에 게이트 라인(214)과, 화소 박막 트랜지스터를 구성하는 게이트 전극(217)을 포함하는 게이트 금속 패턴을 형성한다.
- <122> 게이트 라인(214)은 화소 영역에서부터 게이트 구동회로 영역까지 연장하여 형성하고, 게이트 라인(214)의 끝단에 게이트 패드(213)를 형성한다. 그리고, 제1 전극(211)은 게이트 패드(213)의 일측에 소정 간격 이격시켜 형성한다. 컨택부(215)는 게이트 패드(213) 및 제1 전극(211) 사이에 형성한다. 그리고, 신호 공급 라인(216)은 일측 끝단을 컨택부(215)와 연결하고, 타측 끝단을 스위치 트랜지스터의 게이트 전극과 연결한다. 또한, 게이트 전극(217)은 게이트 라인(214)과 연결되며, 게이트 라인(214)으로부터 일측으로 돌출되게 형성한다.
- <123> 게이트 금속 패턴을 형성하는 단계에서는 공정 환경에 따른 전기적 요인으로 인해 화소 영역의 게이트 라인(214)에서 정전기가 발생할 수 있다. 이 경우, 정전기는 게이트 라인(214)을 통해 게이트 라인(214)의 일측단에 형성된 게이트 패드(213)까지 이동한다.
- <124> 이때, 컨택부(215)는 게이트 패드(213)로부터 거리 L만큼 이격시켜 형성한다. 여기서, 거리 L은 게이트 패드(213)로 이동된 정전기가 컨택부(215)로 유입되지 않도록 적어도 게이트 라인(214)의 폭 이상으로 정의되는 것

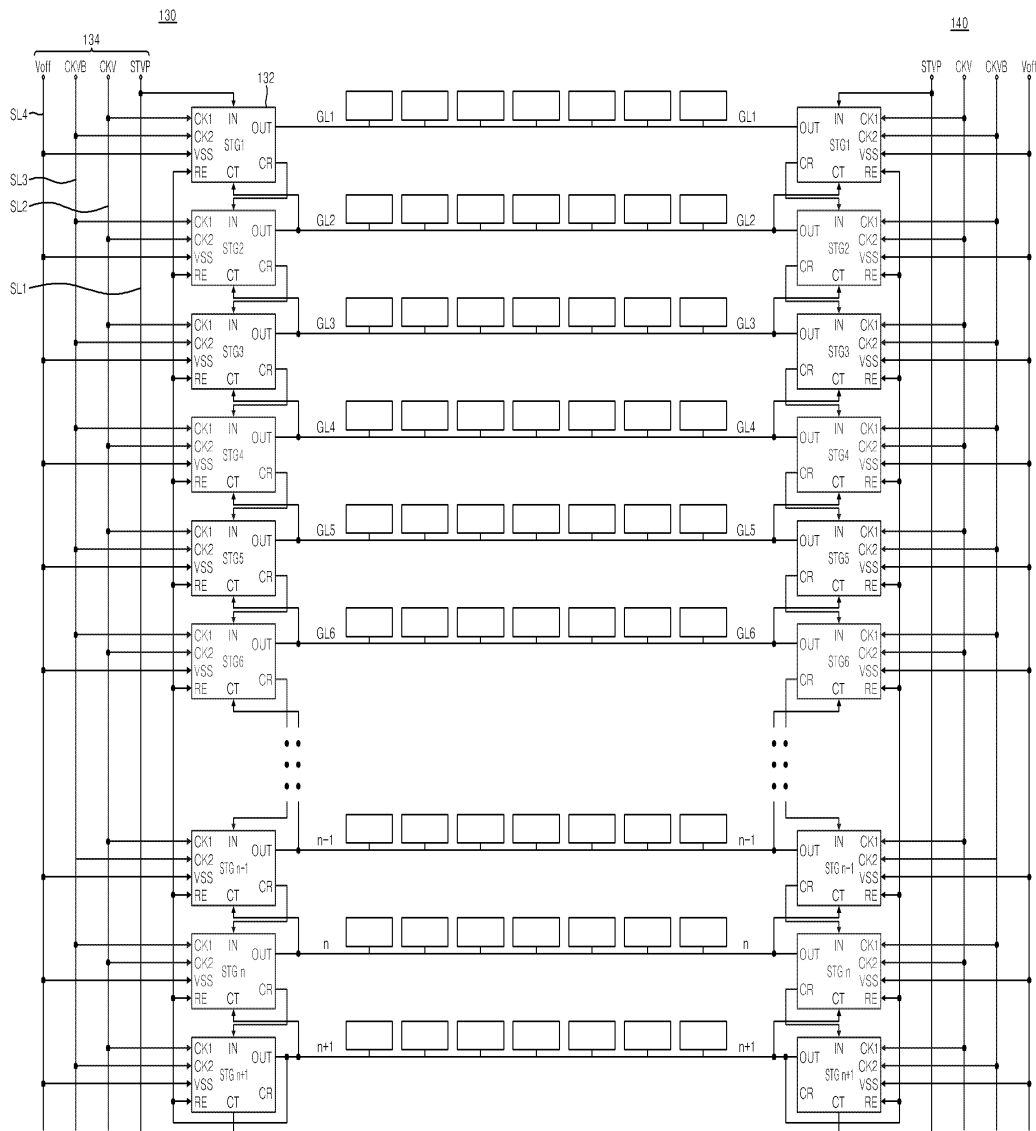
이 바람직하다. 예를 들어, 컨택부(215)는 게이트 패드(213)로부터 4 μ m 이상의 거리로 이격시켜 형성한다.

- <125> 한편, 게이트 패드(213)와 제1 전극(211)도 서로 인접한 간격이 적어도 게이트 라인(214)의 폭보다 크도록 이격시켜 형성하는 것이 바람직하다.
- <126> 다음으로, 도 8d 및 도 8e에 도시된 바와 같이 게이트 금속 패턴이 형성된 기판(201) 상에 화학 기상 증착법(Plasma Enhanced Chemical Vapor Deposition: PECVD) 등의 방법으로 절연막(220)을 형성하는 단계를 진행한다. 여기서, 절연막(220)은 산화 실리콘(SiO_x), 질화 실리콘(SiN_x) 등과 같은 절연 물질을 기판(201)의 전면에 증착하여 형성한다. 이를 통해, 절연막(220)은 기판(201) 상에 형성된 게이트 금속 패턴을 덮어버려 게이트 금속 패턴을 절연시키는 역할을 한다.
- <127> 그리고, 절연막(220)이 형성된 기판(201)에 도 8f 및 도 8g에 도시된 바와 같이 액티브층(221) 및 오믹 접촉층(223)을 포함하는 반도체층을 형성하는 단계를 진행한다. 이때, 게이트 구동회로를 구성하는 액티브층(221)은 제1 전극(211)과 중첩되게 형성한다.
- <128> 여기서, 액티브층(221)과 오믹 접촉층(223)은 비정질 실리콘과 도핑된 비정질 실리콘으로 각각 증착한 뒤 식각하여 형성한다.
- <129> 다음으로, 도 8h 내지 8j에 도시된 바와 같이 반도체층이 형성된 기판(201) 상에 제2 전극(231), 데이터 라인(232), 소스 전극(233) 및 드레인 전극(234)을 포함하는 데이터 금속 패턴을 형성하는 단계를 진행한다.
- <130> 구체적으로, 데이터 금속 패턴은 반도체층이 형성된 기판(201) 상에 스퍼터링 등의 증착 방법으로 금속층을 형성한 후 포토리소그래피 공정과 식각 공정을 통해 패터닝하여 형성한다. 여기서, 제2 전극(231)은 제1 전극(211)과 중첩되게 패터닝하여 형성한다. 이를 통해, 절연막(220)을 사이에 두고 제1 및 제2 전극(211,231)이 형성된 커패시터(210)를 형성한다.
- <131> 이와 동시에, 화소 영역에서 오믹 접촉층(223)의 상부에 소스 전극(233)과 드레인 전극(234)을 형성하여 화소 박막 트랜지스터를 형성한다.
- <132> 다음으로, 도 8k 및 8m에 도시된 바와 같이 데이터 금속 패턴이 형성된 기판(201) 상에 보호막(241) 및 제1 내지 제5 컨택홀(242,243,244,245,246)을 형성하는 단계를 진행한다.
- <133> 보호막(241)은 기판(201) 상에 PECVD, 스피ن 코팅 등의 증착 방법을 통해 형성한다. 그리고, 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 보호막(241)을 관통하는 제1, 제3, 제5 컨택홀(242,244,246)과, 보호막(241) 및 절연막(220)을 관통하는 제2 및 제4 컨택홀(243,245)을 형성한다. 이때, 제1 내지 제5 컨택홀(242,243,244,245,246)은 제2 전극(231), 게이트 패드(213), 컨택부(215) 및 드레인 전극(234)의 일부분을 노출시킨다.
- <134> 여기서, 보호막(241)은 절연을 위해 SiN_x 또는 SiO_x등과 같은 무기절연물질로 형성하거나, 아크릴, 폴리이미드 또는 BCB 등과 같은 유기절연물질로 형성한다.
- <135> 다음으로, 도 8n 및 8p에 도시된 바와 같이 보호막(241)의 상부에 게이트 구동회로를 구성하는 제1 및 제2 연결 전극(251,252)과, 화소 영역의 화소 전극(255)을 형성하는 단계를 진행한다.
- <136> 구체적으로, 제1 및 제2 연결 전극(251,252)과 화소 전극(255)은 보호막(241)의 상부에 스퍼터링 등의 방법을 통해 투명 도전성 물질로 형성한다. 이를 위해, 제1 및 제2 연결 전극(251,252)과 화소 전극(255)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), TO(Tin Oxide) 등과 같은 투명한 도전 물질이 이용된다. 그리고, 제1 및 제2 연결 전극(251,252)과 화소 전극(255)은 마스크를 이용해 포토리소그래피 및 식각 공정으로 패터닝하여 형성한다.
- <137> 제1 및 제2 연결 전극(251,252)은 제1 내지 제4 컨택홀(242,243,244,245)을 통해 제2 전극(231)과 게이트 패드(213) 및 컨택부(215)와 접속한다. 그리고, 화소 전극(255)은 제5 컨택홀(246)을 통해 드레인 전극(234)과 접속한다.

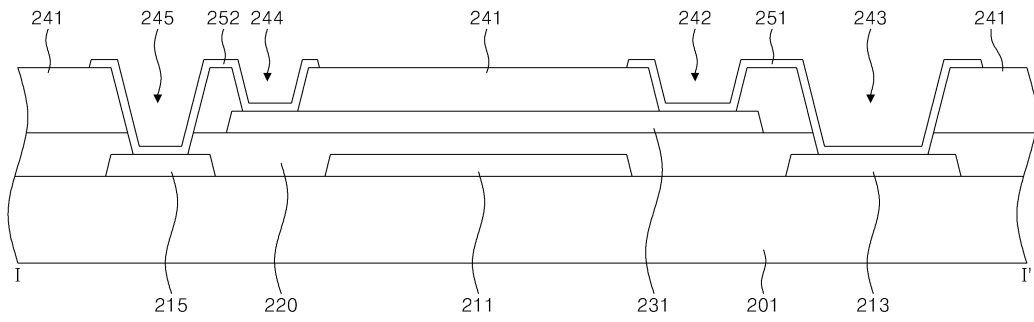
발명의 효과

- <138> 상술한 바와 같이, 본 발명에 따른 게이트 구동회로 및 이를 포함하는 액정 표시 장치는 커패시터의 제2 전극과 연결 전극으로 연결되는 게이트 패드 및 컨택부를 형성하여 화소 영역에서 발생된 정전기가 게이트 구동회로로 유입되는 것을 방지한다. 이를 통해, 정전기에 의해 게이트 구동회로가 손상되는 것을 방지하고, 액정 표시 장

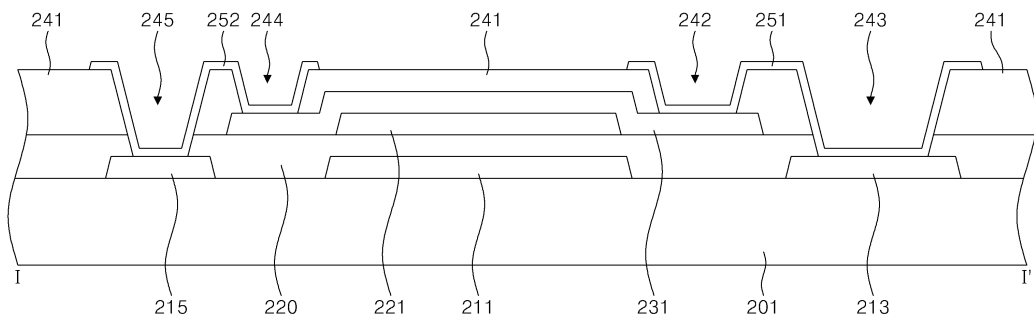
도면2



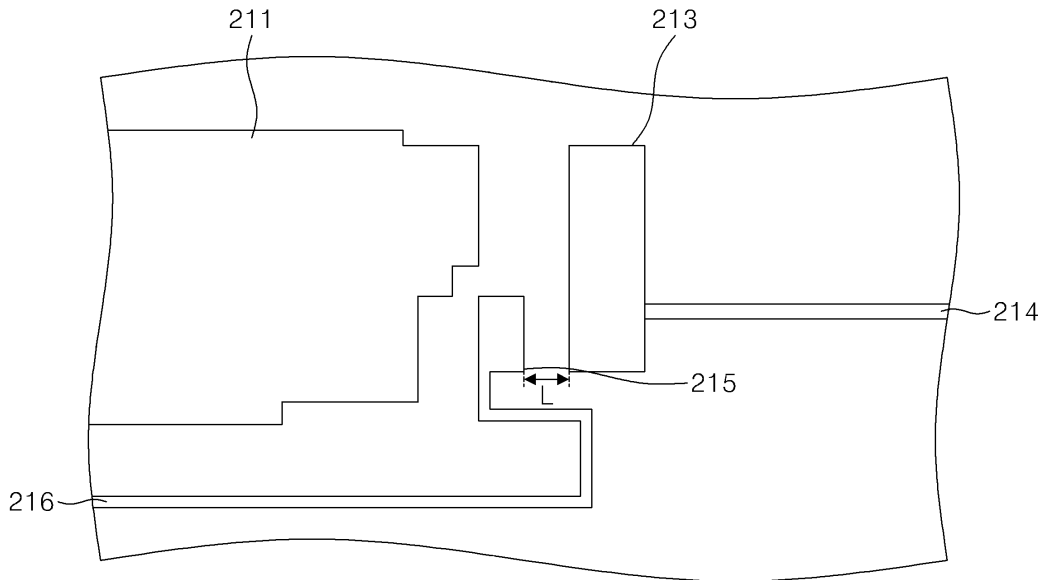
도면5a



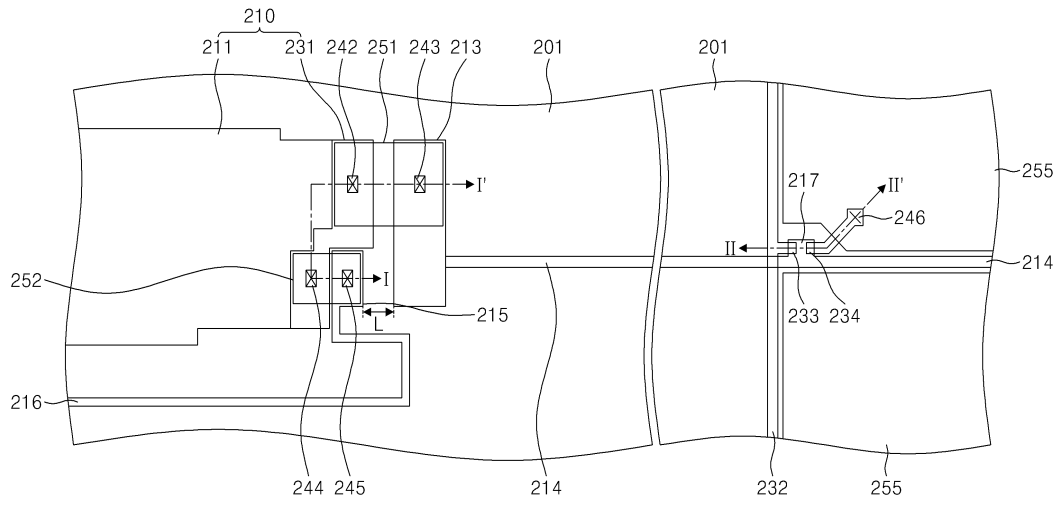
도면5b



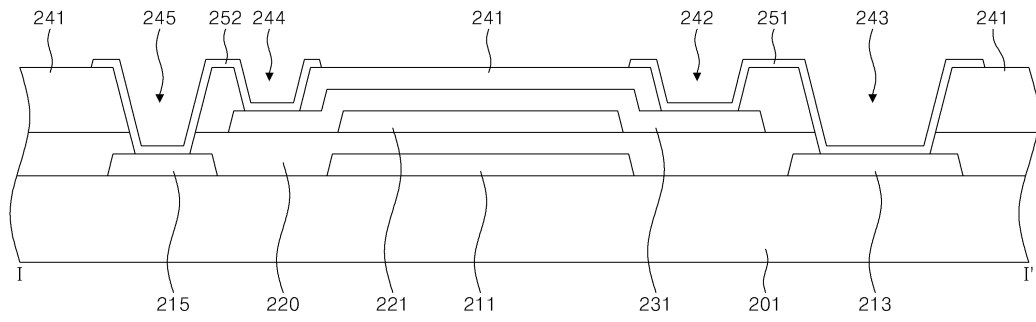
도면6



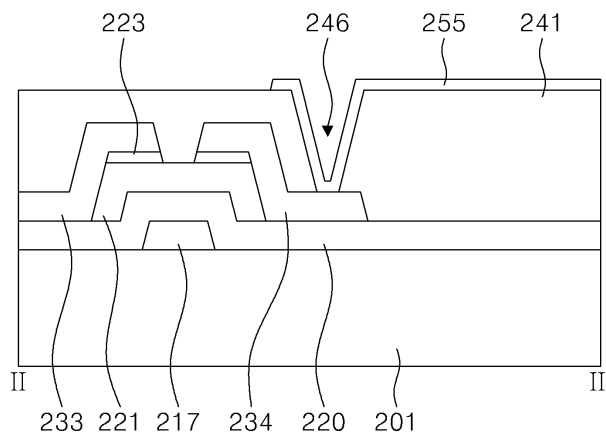
도면7a



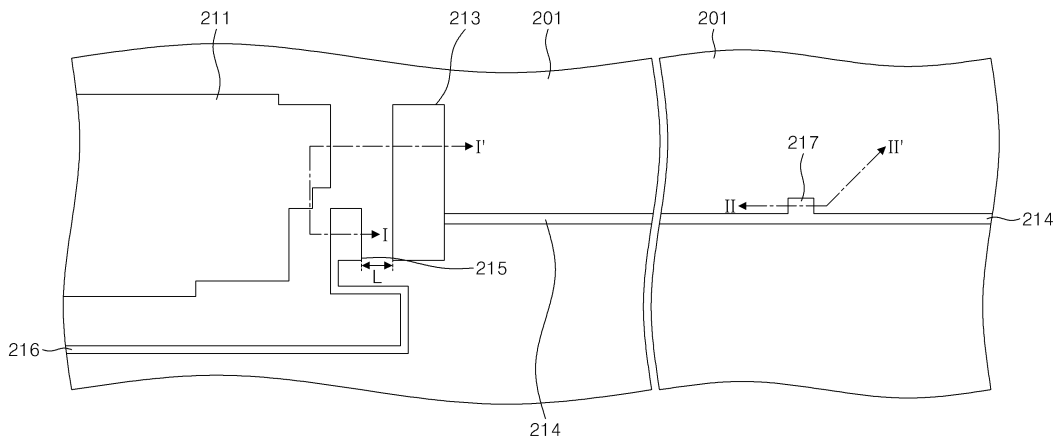
도면7b



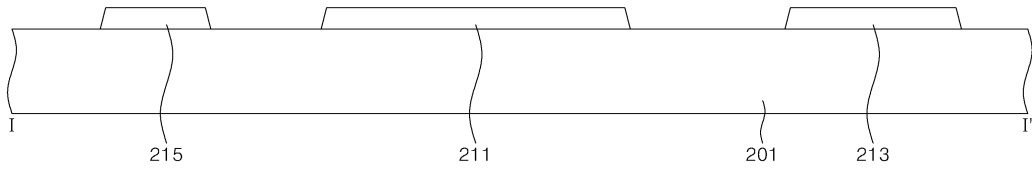
도면7c



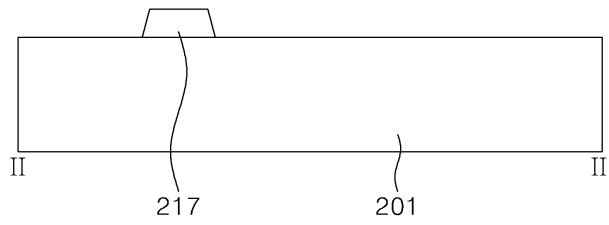
도면8a



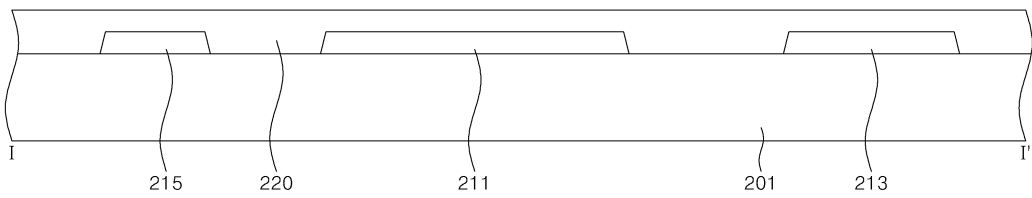
도면8b



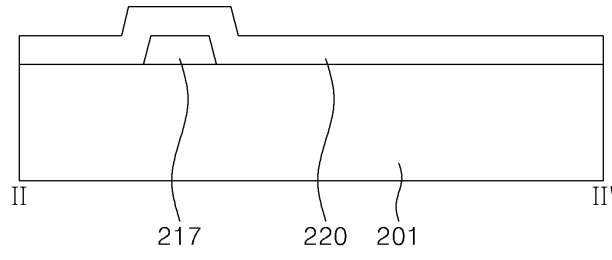
도면8c



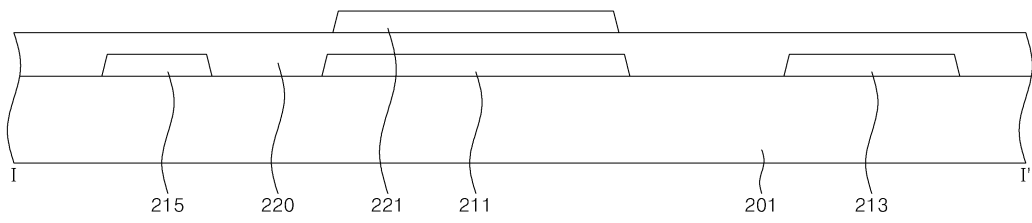
도면8d



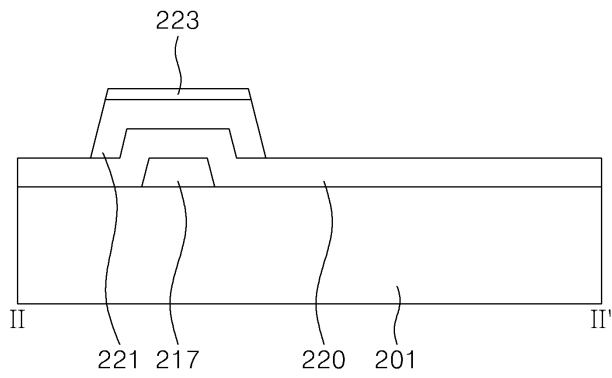
도면8e



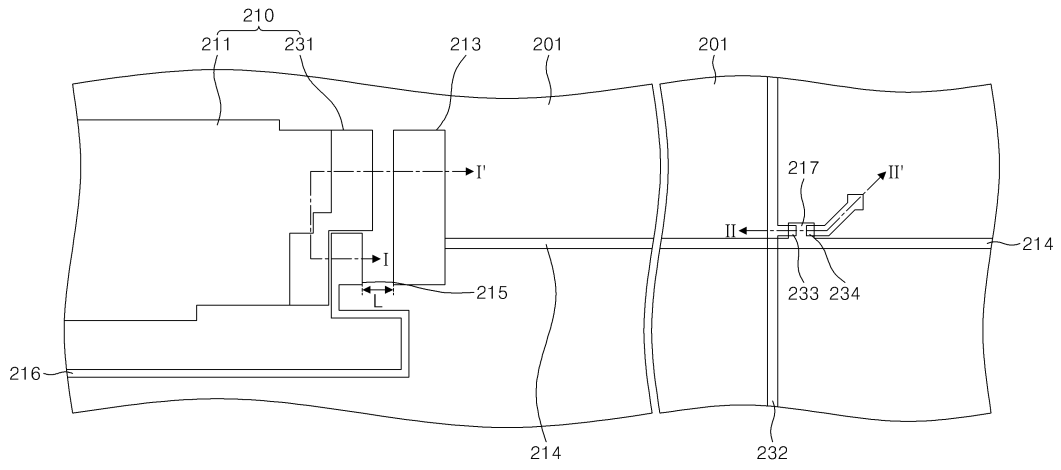
도면8f



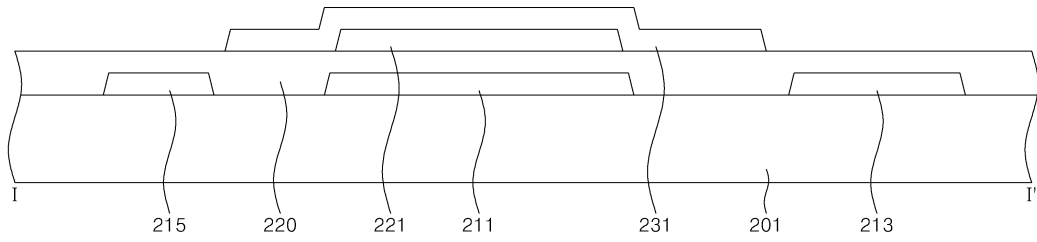
도면8g



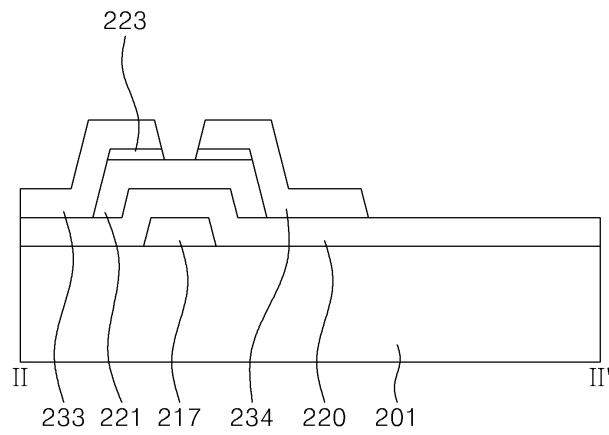
도면8h



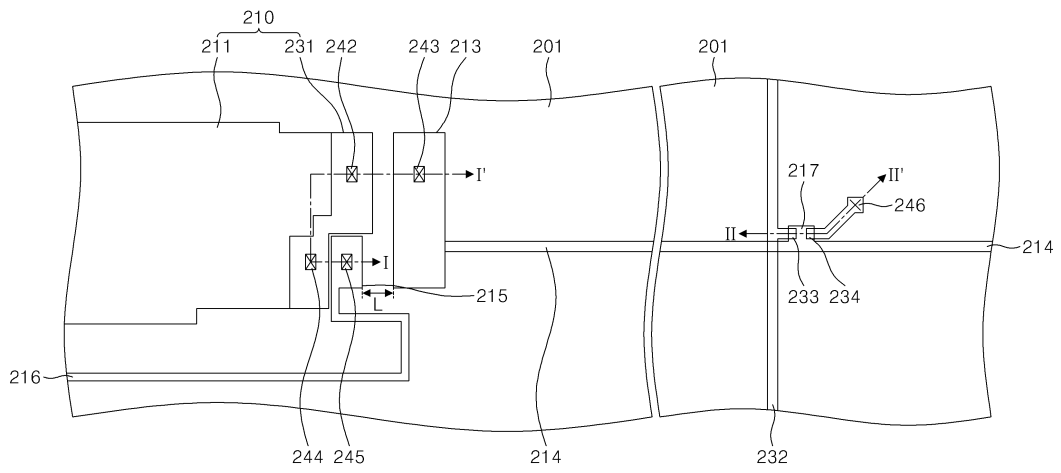
도면8i



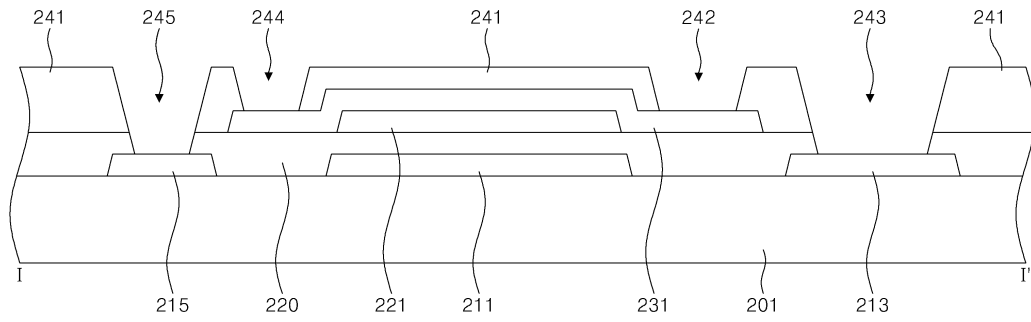
도면8j



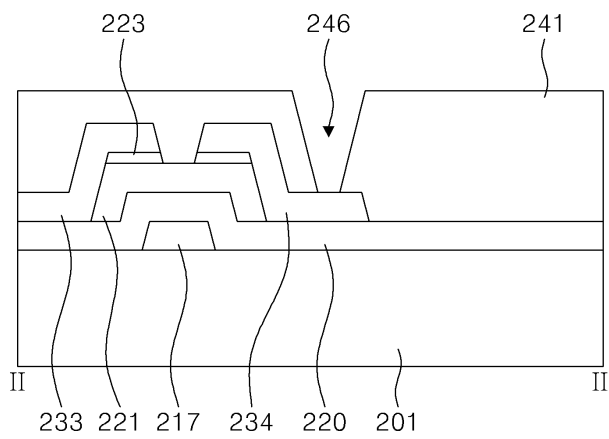
도면8k



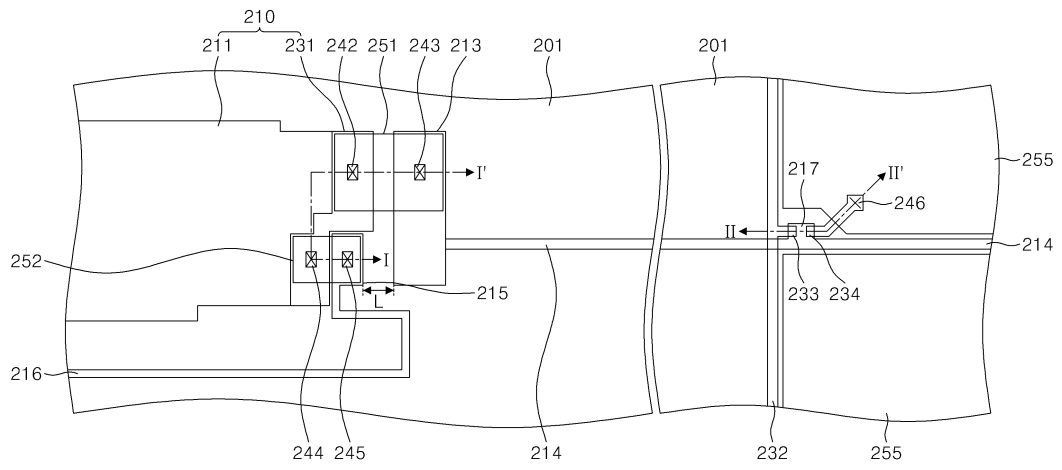
도면8l



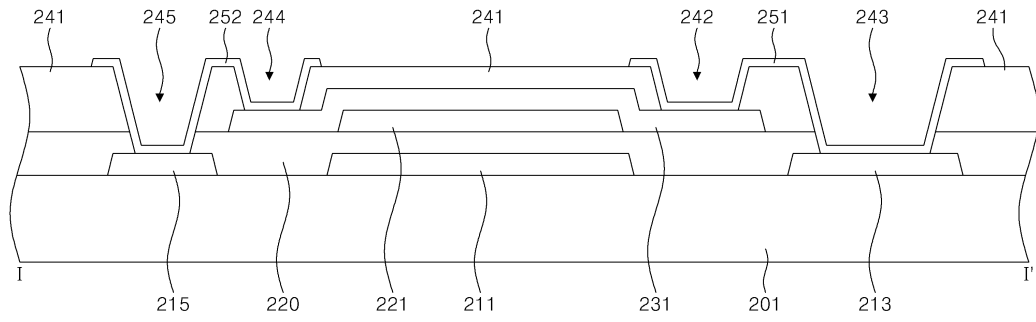
도면8m



도면8n



도면8o



도면8p

