



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0064055
(43) 공개일자 2008년07월08일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2007-0000782

(22) 출원일자 2007년01월03일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

유승후

경기 성남시 분당구 수내동 로얄팰리스하우스빌
B-1202

강성민

경기 수원시 영통구 영통동 벽적골9단지아파트
903-2005

(뒷면에 계속)

(74) 대리인

특허법인가산

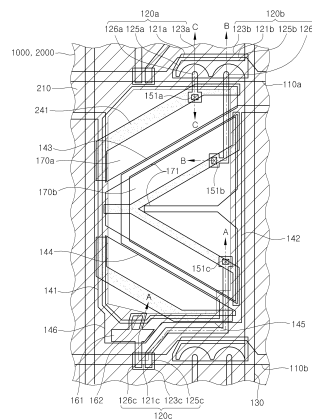
전체 청구항 수 : 총 23 항

(54) 박막 트랜지스터 기판 및 이를 포함하는 표시 장치

(57) 요약

잔상 및 시인성을 개선할 수 있는 박막 트랜지스터기판 및 액정 표시 장치를 제공한다. 제 1 화소 커패시터의 제 1 화소 전극의 전하량을 상승시키는 차지업 커패시터와, 제 2 화소 커패시터의 제 2 화소 전극의 전하량을 하강시키는 차지다운 커패시터를 구비하고, 상기 차지업 커패시터의 연장 전극부를 고리 형태로 제작하여 제조 공정의 정렬 오차로 인해 유발되는 제 1 화소 전극과 연장 전극부간의 중첩 면적의 편차의 크기를 줄일 수 있다.

대표도 - 도1



(72) 발명자

도희욱

경기 수원시 팔달구 매교동 179-99 수연아트빌 30
2호

김훈

경기 안산시 상록구 사동 대우 푸르지오 7차
701-1604

문현철

경기 수원시 영통구 망포동 늘푸른벽산아파트
107-702

유혜란

경기 용인시 기흥구 농서동 삼성전자(주)기흥공장
라일락동1124호

특허청구의 범위

청구항 1

복수의 게이트 라인과, 상기 복수의 게이트 라인과 교차하는 복수의 데이터 라인;

상기 게이트 라인과 상기 데이터 라인에 의해 정의된 단위 화소 영역에 마련된 제 1 및 제 2 화소 전극;

상기 제 1 및 제 2 화소 전극과 그 일부가 중첩하는 유지 전극부;

상기 유지 전극부와 적어도 그 일부가 중첩되는 중첩 전극부;

상기 제 1 화소 전극과 중첩되는 적어도 하나의 전극 중첩 영역과, 상기 전극 중첩 영역과 상기 중첩 전극부 간을 연결하는 적어도 하나의 전극 연결 영역을 포함하는 연장 전극부;

소스 단자가 상기 데이터 라인에 접속되고, 드레인 단자가 각기 상기 제 1 및 제 2 화소 전극에 접속된 제 1 및 제 2 박막 트랜지스터; 및

소스 단자가 제 2 화소 전극에 접속되고, 드레인 단자가 상기 중첩 전극부에 접속된 제 3 박막 트랜지스터를 포함하는 박막 트랜지스터 기판.

청구항 2

청구항 1에 있어서,

상기 연장 전극부의 상기 전극 연결 영역은 띠 형상으로 제작된 박막 트랜지스터 기판.

청구항 3

청구항 1에 있어서,

상기 전극 중첩 영역은 띠 형상 또는 판 형상으로 제작된 박막 트랜지스터 기판.

청구항 4

청구항 1에 있어서,

상기 연장 전극부의 상기 전극 연결 영역 및 상기 전극 중첩 영역은 단일 띠 형상으로 제작되고, 상기 띠의 양 단부가 상기 중첩 전극부에 접속되거나, 상기 띠의 일 단부가 상기 중첩 전극부에 접속된 박막 트랜지스터 기판.

청구항 5

청구항 1에 있어서,

상기 유지 전극부는 단위 화소 영역의 일측 가장자리에 판 형상으로 연장된 유지 전극 중첩부를 포함하고,

상기 중첩 전극부는 상기 유지 전극 중첩부와 중첩되는 박막 트랜지스터 기판.

청구항 6

청구항 1에 있어서,

상기 연장 전극부와 중첩되는 상기 제 1 화소 전극 내에 마련된 절개 영역을 더 포함하는 박막 트랜지스터 기판.

청구항 7

청구항 1에 있어서,

상기 게이트 라인은 상기 단위 화소 영역 상측에 마련된 상부 게이트 라인과, 상기 단위 화소 영역 하측에 마련된 하부 게이트 라인을 포함하고,

상기 제 1 및 제 2 박막 트랜지스터 각각의 게이트 단자는 상기 상부 게이트 라인에 접속되고,

상기 제 3 박막 트랜지스터의 게이트 단자는 상기 하부 게이트 라인에 접속된 박막 트랜지스터 기판.

청구항 8

복수의 게이트 라인과, 상기 복수의 게이트 라인과 교차하는 복수의 데이터 라인;

상기 게이트 라인과 상기 데이터 라인에 의해 정의된 단위 화소 영역에 마련된 제 1 및 제 2 화소 전극;

상기 제 1 및 제 2 화소 전극과 그 일부가 중첩하는 유지 전극부;

상기 유지 전극부와 적어도 그 일부가 중첩되는 중첩 전극부;

상기 중첩 전극에 접속되고, 상기 제 1 화소 전극과 그 일부가 중첩되는 연장 전극부;

소스 단자가 상기 데이터 라인에 접속되고, 드레인 단자가 각기 상기 제 1 및 제 2 화소 전극에 접속된 제 1 및 제 2 박막 트랜지스터;

소스 단자가 제 2 화소 전극에 접속되고, 드레인 단자가 상기 중첩 전극부에 접속된 제 3 박막 트랜지스터; 및

상기 연장 전극부와 중첩되는 상기 제 1 화소 전극 영역의 일부에 마련된 적어도 하나의 절개 영역을 포함하는 박막 트랜지스터 기판.

청구항 9

청구항 8에 있어서,

상기 연장 전극부는 상기 제 1 화소 전극과 중첩되는 적어도 하나의 전극 중첩 영역과, 상기 전기 중첩 영역과 상기 중첩 전극부 간을 연결하는 띠 형상의 적어도 하나의 전극 연결 영역을 포함하는 박막 트랜지스터 기판.

청구항 10

청구항 8에 있어서,

상기 전극 중첩 영역은 띠 형상 또는 판 형상으로 제작된 박막 트랜지스터 기판.

청구항 11

청구항 8에 있어서,

상기 연장 전극부는 띠 형상으로 제작되고, 상기 띠의 양 단부가 상기 중첩 전극부에 접속되거나, 상기 띠의 일 단부가 상기 중첩 전극부에 접속된 박막 트랜지스터 기판.

청구항 12

청구항 8에 있어서,

상기 게이트 라인은 상기 단위 화소 영역 상측에 마련된 상부 게이트 라인과, 상기 단위 화소 영역 하측에 마련된 하부 게이트 라인을 포함하고,

상기 제 1 및 제 2 박막 트랜지스터 각각의 게이트 단자는 상기 상부 게이트 라인에 접속되고,

상기 제 3 박막 트랜지스터의 게이트 단자는 상기 하부 게이트 라인에 접속된 박막 트랜지스터 기판.

청구항 13

각기 메인 커패시터와 서브 커패시터를 구비하는 메인 화소와 서브 화소;

상기 서브 커패시터의 전하를 다운시키는 차지다운 커패시터;

게이트 턴온 신호에 따라 상기 서브 커패시터와 상기 차지다운 커패시터를 병렬 연결시키는 연결 박막 트랜지스터; 및

상기 메인 커패시터의 전하를 상승시키는 차지업 커패시터를 포함하되,

상기 차지업 커패시터는 상기 서브 커패시터와 상기 차지다운 커패시터 간의 연결 노드에 접속된 제 1 전극과, 상기 메인 커패시터에 접속된 제 2 전극을 구비하고, 상기 제 1 전극은 상기 제 2 전극과 중첩되는 중첩 영역과

상기 연결 노드에 연결되는 연결 영역을 포함하는 표시 장치.

청구항 14

청구항 13에 있어서,

상기 연결 영역은 띠 형상으로 제작된 표시 장치.

청구항 15

청구항 13에 있어서,

상기 중첩 영역은 띠 형상 또는 판 형상으로 제작된 표시 장치.

청구항 16

청구항 13에 있어서,

상기 제 1 전극과 중첩되는 상기 제 2 전극에 절개 영역이 마련된 표시 장치.

청구항 17

게이트 턴온 전압이 순차적으로 제공되는 복수의 게이트 라인;

계조 신호가 공급되는 복수의 데이터 라인;

제 1 화소 전극과 공통 전극을 구비하는 제 1 화소 커패시터;

제 2 화소 전극과 상기 공통 전극을 구비하는 제 2 화소 커패시터;

일 게이트 라인 신호에 따라 구동하여 상기 데이터 라인의 계조 신호를 상기 제 1 및 제 2 화소 전극에 각기 제공하는 제 1 및 제 2 박막 트랜지스터;

유지 전극부와 중첩 전극부를 구비하는 차지다운 커패시터;

상기 중첩 전극부에 접속된 연장 전극부와 제 1 화소 전극을 구비하는 차지업 커패시터; 및

타 게이트 라인 신호에 따라 구동하여 상기 제 2 화소 전극의 신호를 상기 중첩 전극부에 제공하는 제 3 박막 트랜지스터를 구비하고,

상기 연장 전극부는 상기 제 1 화소 전극과 중첩되는 적어도 하나의 전극 중첩 영역과, 상기 전극 중첩 영역과 상기 중첩 전극부 간을 연결하는 적어도 하나의 전극 연결 영역을 포함하는 표시 장치.

청구항 18

청구항 17에 있어서,

상기 연장 전극부의 상기 전극 연결 영역은 띠 형상으로 제작된 표시 장치.

청구항 19

청구항 17에 있어서,

상기 전극 중첩 영역은 띠 형상 또는 판 형상으로 제작된 표시 장치.

청구항 20

청구항 17에 있어서,

상기 유지 전극부와 상기 제 1 화소 전극을 구비하는 제 1 유지 커패시터와,

상기 유지 전극부와 상기 제 2 화소 전극을 구비하는 제 2 유지 커패시터를 더 포함하는 표시 장치.

청구항 21

청구항 17에 있어서,

상기 연장 전극부와 중첩되는 상기 제 1 화소 전극 내에 마련된 절개 영역을 더 포함하는 표시 장치.

청구항 22

기관 상에 상부 및 하부 게이트 라인과, 유지 전극부와, 상기 상부 게이트 라인에 접속된 제 1 및 제 2 게이트 단자와, 상기 하부 게이트 라인에 접속된 제 3 게이트 단자를 형성하는 단계;

기관 상에 게이트 절연막을 형성하는 단계;

상기 제 1 및 제 2 게이트 전극 상측에 제 1 및 제 2 활성층을 형성하고, 상기 제 3 게이트 단자 상측에 제 3 활성층을 형성하는 단계;

상기 기관 상에 상기 상부 및 하부 게이트 라인과 교차하는 데이터 라인과, 상기 유지 전극부와 적어도 그 일부가 중첩된 중첩 전극부와, 상기 중첩 전극부에서 접속된 띠 형상의 연장 전극부를 형성하고, 상기 제 1 활성층 상에 제 1 드레인 단자와 상기 데이터 라인에 접속된 제 1 소스 단자를 형성하고, 상기 제 2 활성층 상에 제 2 드레인 단자와 상기 데이터 라인에 접속된 제 2 소스 단자를 형성하고, 상기 제 3 활성층 상에 제 3 소스 단자와 상기 중첩 전극부에 접속된 제 3 드레인 단자를 형성하는 단계;

전체 구조상에 보호막을 형성하는 단계;

상기 보호막의 일부를 제거하여 상기 제 1 및 제 2 드레인 단자의 일부를 노출하는 제 1 및 제 2 화소 콘택홀과, 상기 제 3 소스 단자의 일부를 노출하는 제 3 화소 콘택홀을 형성하는 단계; 및

상기 보호막 상에 상기 제 1 화소 콘택홀을 통해 상기 제 1 드레인 단자와 접속되고, 상기 연장 전극부와 그 일부가 중첩되는 제 1 화소 전극과, 상기 제 2 및 제 3 화소 콘택홀을 통해 상기 제 2 드레인 단자와 제 3 소스 단자에 접속된 제 2 화소 전극을 형성하는 단계를 포함하는 박막 트랜지스터 기관의 제조 방법.

청구항 23

청구항 22에 있어서,

상기 연장 전극부와 중첩되는 상기 제 1 화소 전극 영역의 일부에 제거하여 적어도 하나의 절개 영역을 형성하는 단계를 포함하는 박막 트랜지스터 기관의 제조 방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <15> 본 발명은 박막 트랜지스터 기관 및 이를 포함하는 표시 장치에 관한 것으로, 복수의 서브 화소들간의 전하 공유를 이용하여 잔상 및 시인성을 개선할 수 있는 액정 표시 장치에 관한 것이다.
- <16> 액정 표시 장치(Liquid Crystal Display Device; LCD)는 종래의 표시 장치인 CRT(Cathode Ray Tube)와 비교하여 소형, 경량화 및 대화면화의 장점을 갖고 있어, 이의 개발이 활발히 이루어지고 있다.
- <17> 액정 표시 장치는 박막 트랜지스터와 화소 커패시터를 포함하는 복수의 단위 화소를 이용하여 화상을 표시한다.
- <18> 화소 커패시터는 화소 전극과 공통 전극 그리고, 화소 전극과 공통 전극 사이에 마련된 액정을 구비한다. 액정 표시 장치는 외부 전하를 박막 트랜지스터를 통해 화소 전극에 제공하여, 화소 전극과 공통 전극 사이의 전계를 변화시킨다. 상기 전계의 변화를 통해 액정 분자들의 움직임이 변화하게 되고, 이를 통해 액정 분자를 투과하는 광량이 변화되어 화상을 표시하게 된다. 이러한 액정 표시 장치는 액정의 고유 특성으로 인해 시인성(visibility)이 낮고, 잔상이 발생하는 문제가 있다.
- <19> 최근에는 이러한 문제를 해결하기 위해 액정 표시 장치의 단위 화소를 두개의 서브 화소로 분리구성하고, 각 서브 화소에 차등된 전하가 인가되도록 하여 이러한 시인성 및 잔상을 개선하고자 하는 연구가 활발히 진행중이다.

발명이 이루고자 하는 기술적 과제

- <20> 따라서, 본 발명은 상기의 문제점을 해결하기 위하여 도출된 것으로서, 복수의 서브 화소로 분리된 단위 화소 내에 차지업 커패시터와 차지다운 커패시터를 마련하고, 차지업 및 차지다운 커패시터를 통해 서브 화소들에 자칭되는 전하량을 다르게 하여 시인성 및 잔상을 개선할 수 있고, 차지업 커패시터와 차지다운 커패시터의 제작 시 공정 편차에 의해 차지업 커패시터와 차지 다운 커패시터의 커패시턴스 변화를 최소화할 수 있는 박막 트랜지스터 기관 및 이를 포함하는 표시 장치를 제공하는 것을 그 목적으로 한다.

발명의 구성 및 작용

- <21> 본 발명에 따른 복수의 게이트 라인과, 상기 복수의 게이트 라인과 교차하는 복수의 데이터 라인과, 상기 게이트 라인과 상기 데이터 라인에 의해 정의된 단위 화소 영역에 마련된 제 1 및 제 2 화소 전극과, 상기 제 1 및 제 2 화소 전극과 그 일부가 중첩하는 유지 전극부와, 상기 유지 전극부와 적어도 그 일부가 중첩되는 중첩 전극부와, 상기 제 1 화소 전극과 중첩되는 적어도 하나의 전극 중첩 영역과, 상기 전극 중첩 영역과 상기 중첩 전극부 간을 연결하는 적어도 하나의 전극 연결 영역을 포함하는 연장 전극부와, 소스 단자가 상기 데이터 라인에 접속되고, 드레인 단자가 각기 상기 제 1 및 제 2 화소 전극에 접속된 제 1 및 제 2 박막 트랜지스터 및 소스 단자가 제 2 화소 전극에 접속되고, 드레인 단자가 상기 중첩 전극부에 접속된 제 3 박막 트랜지스터를 포함하는 박막 트랜지스터 기관을 제공한다.
- <22> 상기 연장 전극부의 상기 전극 연결 영역은 띠 형상으로 제작되는 것이 바람직하다. 상기 전극 중첩 영역은 띠 형상 또는 판 형상으로 제작되는 것이 바람직하다.
- <23> 상기 연장 전극부의 상기 전극 연결 영역 및 상기 전극 중첩 영역은 단일 띠 형상으로 제작되고, 상기 띠의 양 단부가 상기 중첩 전극부에 접속되거나, 상기 띠의 일 단부가 상기 중첩 전극부에 접속되는 것이 효과적이다.
- <24> 상기 유지 전극부는 단위 화소 영역의 일측 가장자리에 판 형상으로 연장된 유지 전극 중첩부를 포함하고, 상기 중첩 전극부는 상기 유지 전극 중첩부와 중첩되는 것이 바람직하다.
- <25> 상기 연장 전극부와 중첩되는 상기 제 1 화소 전극 내에 마련된 절개 영역을 더 포함하는 것이 가능하다.
- <26> 상기 게이트 라인은 상기 단위 화소 영역 상측에 마련된 상부 게이트 라인과, 상기 단위 화소 영역 하측에 마련된 하부 게이트 라인을 포함하고, 상기 제 1 및 제 2 박막 트랜지스터 각각의 게이트 단자는 상기 상부 게이트 라인에 접속되고, 상기 제 3 박막 트랜지스터의 게이트 단자는 상기 하부 게이트 라인에 접속되는 것이 바람직하다.
- <27> 또한, 본 발명에 따른 복수의 게이트 라인과, 상기 복수의 게이트 라인과 교차하는 복수의 데이터 라인과, 상기 게이트 라인과 상기 데이터 라인에 의해 정의된 단위 화소 영역에 마련된 제 1 및 제 2 화소 전극과, 상기 제 1 및 제 2 화소 전극과 그 일부가 중첩하는 유지 전극부와, 상기 유지 전극부와 적어도 그 일부가 중첩되는 중첩 전극부와, 상기 중첩 전극에 접속되고, 상기 제 1 화소 전극과 그 일부가 중첩되는 연장 전극부와, 소스 단자가 상기 데이터 라인에 접속되고, 드레인 단자가 각기 상기 제 1 및 제 2 화소 전극에 접속된 제 1 및 제 2 박막 트랜지스터와, 소스 단자가 제 2 화소 전극에 접속되고, 드레인 단자가 상기 중첩 전극부에 접속된 제 3 박막 트랜지스터 및 상기 연장 전극부와 중첩되는 상기 제 1 화소 전극 영역의 일부에 마련된 적어도 하나의 절개 영역을 포함하는 박막 트랜지스터 기관을 제공한다.
- <28> 상기 연장 전극부는 상기 제 1 화소 전극과 중첩되는 적어도 하나의 전극 중첩 영역과, 상기 전기 중첩 영역과 상기 중첩 전극부 간을 연결하는 띠 형상의 적어도 하나의 전극 연결 영역을 포함하는 것이 효과적이다.
- <29> 상기 전극 중첩 영역은 띠 형상 또는 판 형상으로 제작되는 것이 바람직하다.
- <30> 상기 연장 전극부는 띠 형상으로 제작되고, 상기 띠의 양 단부가 상기 중첩 전극부에 접속되거나, 상기 띠의 일 단부가 상기 중첩 전극부에 접속되는 것이 효과적이다.
- <31> 상기 게이트 라인은 상기 단위 화소 영역 상측에 마련된 상부 게이트 라인과, 상기 단위 화소 영역 하측에 마련된 하부 게이트 라인을 포함하고, 상기 제 1 및 제 2 박막 트랜지스터 각각의 게이트 단자는 상기 상부 게이트 라인에 접속되고, 상기 제 3 박막 트랜지스터의 게이트 단자는 상기 하부 게이트 라인에 접속되는 것이 바람직하다.
- <32> 또한, 본 발명에 따른 각기 메인 커패시터와 서브 커패시터를 구비하는 메인 화소와 서브 화소와, 상기 서브 커패

패시터의 전하를 다운시키는 차지다운 커패시터와, 게이트 턴온 신호에 따라 상기 서브 커패시터와 상기 차지다운 커패시터를 병렬 연결시키는 연결 박막 트랜지스터 및 상기 메인 커패시터의 전하를 상승시키는 차지업 커패시터를 포함하되, 상기 차지업 커패시터는 상기 서브 커패시터와 상기 차지다운 커패시터 간의 연결 노드에 접속된 제 1 전극과, 상기 메인 커패시터에 접속된 제 2 전극을 구비하고, 상기 제 1 전극은 상기 제 2 전극과 중첩되는 중첩 영역과 상기 연결 노드에 연결되는 연결 영역을 포함하는 표시 장치를 제공한다.

- <33> 상기 연결 영역은 띠 형상으로 제작되는 것이 바람직하다. 상기 중첩 영역은 띠 형상 또는 판 형상으로 제작되는 것이 가능하다.
- <34> 상기 제 1 전극과 중첩되는 상기 제 2 전극에 절개 영역이 마련되는 것이 효과적이다.
- <35> 또한, 본 발명에 따른 게이트 턴온 전압이 순차적으로 제공되는 복수의 게이트 라인과, 게조 신호가 공급되는 복수의 데이터 라인과, 제 1 화소 전극과 공통 전극을 구비하는 제 1 화소 커패시터와, 제 2 화소 전극과 상기 공통 전극을 구비하는 제 2 화소 커패시터와, 일 게이트 라인 신호에 따라 구동하여 상기 데이터 라인의 게조 신호를 상기 제 1 및 제 2 화소 전극에 각기 제공하는 제 1 및 제 2 박막 트랜지스터와, 유지 전극부와 중첩 전극부를 구비하는 차지다운 커패시터와, 상기 중첩 전극부에 접속된 연장 전극부와 제 1 화소 전극을 구비하는 차지업 커패시터 및 타 게이트 라인 신호에 따라 구동하여 상기 제 2 화소 전극의 신호를 상기 중첩 전극부에 제공하는 제 3 박막 트랜지스터를 구비하고, 상기 연장 전극부는 상기 제 1 화소 전극과 중첩되는 적어도 하나의 전극 중첩 영역과, 상기 전극 중첩 영역과 상기 중첩 전극부 간을 연결하는 적어도 하나의 전극 연결 영역을 포함하는 표시 장치를 제공한다.
- <36> 상기 연장 전극부의 상기 전극 연결 영역은 띠 형상으로 제작되는 것이 바람직하다. 상기 전극 중첩 영역은 띠 형상 또는 판 형상으로 제작되는 것이 효과적이다.
- <37> 상기 유지 전극부와 상기 제 1 화소 전극을 구비하는 제 1 유지 커패시터와, 상기 유지 전극부와 상기 제 2 화소 전극을 구비하는 제 2 유지 커패시터를 더 포함하는 것이 효과적이다.
- <38> 상기 연장 전극부와 중첩되는 상기 제 1 화소 전극 내에 마련된 절개 영역을 더 포함하는 것이 바람직하다.
- <39> 또한, 본 발명에 따른 기판 상에 상부 및 하부 게이트 라인과, 유지 전극부와, 상기 상부 게이트 라인에 접속된 제 1 및 제 2 게이트 단자와, 상기 하부 게이트 라인에 접속된 제 3 게이트 단자를 형성하는 단계와, 기판 상에 게이트 절연막을 형성하는 단계와, 상기 제 1 및 제 2 게이트 전극 상측에 제 1 및 제 2 활성층을 형성하고, 상기 제 3 게이트 단자 상측에 제 3 활성층을 형성하는 단계와, 상기 기판 상에 상기 상부 및 하부 게이트 라인과 교차하는 데이터 라인과, 상기 유지 전극부와 적어도 그 일부가 중첩된 중첩 전극부와, 상기 중첩 전극부에서 접속된 띠 형상의 연장 전극부를 형성하고, 상기 제 1 활성층 상에 제 1 드레인 단자와 상기 데이터 라인에 접속된 제 1 소스 단자를 형성하고, 상기 제 2 활성층 상에 제 2 드레인 단자와 상기 데이터 라인에 접속된 제 2 소스 단자를 형성하고, 상기 제 3 활성층 상에 제 3 소스 단자와 상기 중첩 전극부에 접속된 제 3 드레인 단자를 형성하는 단계와, 전체 구조상에 보호막을 형성하는 단계와, 상기 보호막의 일부를 제거하여 상기 제 1 및 제 2 드레인 단자의 일부를 노출하는 제 1 및 제 2 화소 콘택홀과, 상기 제 3 소스 단자의 일부를 노출하는 제 3 화소 콘택홀을 형성하는 단계 및 상기 보호막 상에 상기 제 1 화소 콘택홀을 통해 상기 제 1 드레인 단자와 접속되고, 상기 연장 전극부와 그 일부가 중첩되는 제 1 화소 전극과, 상기 제 2 및 제 3 화소 콘택홀을 통해 상기 제 2 드레인 단자와 제 3 소스 단자에 접속된 제 2 화소 전극을 형성하는 단계를 포함하는 박막 트랜지스터 기판의 제조 방법을 제공한다.
- <40> 상기 연장 전극부와 중첩되는 상기 제 1 화소 전극 영역의 일부에 제거하여 적어도 하나의 절개 영역을 형성하는 단계를 포함하는 것이 바람직하다.
- <41> 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 더욱 상세히 설명한다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.
- <42> 도면에서 여러 층 및 각 영역을 명확하게 표현하기 위하여 두께를 확대하여 표현하였으며 도면상에서 동일 부호는 동일한 요소를 지칭하도록 하였다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 상부에 또는 위에 있다고 표현되는 경우는 각 부분이 다른 부분의 바로 상부 또는 바로 위에 있는 경우뿐만 아니라 각 부분과 다른 부분의 사이에 또 다른 부분이 있는 경우도 포함한다.
- <43> 도 1은 본 발명의 제 1 실시예에 따른 표시 장치의 평면 개념도이고, 도 2는 도 1의 A-A 선에 대해 자른 단면

개념도이고, 도 3은 도 1의 B-B선에 대해 자른 단면 개념도이고, 도 4는 도 1의 C-C선에 대해 자른 단면 개념도이다. 도 5 및 도 6은 제 1 실시예에 따른 차지업 커패시터의 커패시턴스 변화를 설명하기 위한 개념도이다. 도 7은 제 1 실시예에 따른 표시 장치의 단위 화소의 회로도이다.

- <44> 도 1 내지 도 7을 참조하면, 본 실시예에 따른 표시 장치는 하부 기관인 박막 트랜지스터 기관(1000)과, 이와 대향하여 배치되는 상부 기관인 공통 전극 기관(2000)과, 이들 두 기관 사이에 마련된 액정(300)을 포함한다. 상하부 기관들의 표면은 액정(300)의 배향을 위해 배향막(미도시)을 설치하여 액정 분자를 배향시킨다. 이때 액정(300)의 분자 배향은 각 기관에 대하여 수직이 되도록 하는 수직 배향 모드인 것이 바람직하나, 수직 배향이 아닐 수도 있어 특별히 한정되지 않는다.
- <45> 박막 트랜지스터 기관(1000)은 투광성 절연 기관(100) 위에 마련된 복수의 게이트 라인(110a, 110b; 110)과, 복수의 게이트 라인(110)에 교차하여 형성된 복수의 데이터 라인(130)과, 복수의 게이트 라인(110)과 복수의 데이터 라인(130)에 의해 정의된 단위 화소 영역에 형성된 제 1 및 제 2 화소 전극(170a, 170b)과, 상기 단위 화소 영역에 마련된 제 1 및 제 2 박막 트랜지스터(120a, 120b)와, 상기 제 1 및 제 2 화소 전극(170a, 170b)과 그 일부가 중첩하는 유지 전극부(141, 142, 143, 144, 145, 146; 140)를 구비한다. 박막 트랜지스터 기관(1000)은 상기 유지 전극부(140)와 적어도 그 일부가 중첩되는 중첩 전극부(161)와, 상기 제 1 화소 전극과 그 일부가 중첩되는 연장 전극부(162) 그리고, 제 3 소스 단자(125c)가 제 2 화소 전극(170b)에 접속되고, 제 3 드레인 단자(126c)가 중첩 전극부(161)와 연장 전극부(162)에 접속된 제 3 박막 트랜지스터(120)를 더 구비한다.
- <46> 단위 화소 영역은 교차하는 두 개의 게이트 라인(110)과 두 개의 데이터 라인(130)에 의해 정의된다. 단위 화소 영역 내의 제 1 및 제 2 박막 트랜지스터(120a, 120b)는 각기 제 1 게이트 라인(110a)과 일 데이터 라인(130)에 접속된다. 제 3 박막 트랜지스터(120c)는 제 2 게이트 라인(110b)에 접속된다.
- <47> 제 1 박막 트랜지스터(120a)의 제 1 게이트 단자(121a)는 제 1 게이트 라인(110a)에 접속되고, 제 1 소스 단자(125a)는 상기 일 데이터 라인(130)에 접속되고, 제 1 드레인 단자(126a)는 제 1 화소 전극(170a)에 접속된다. 제 2 박막 트랜지스터(120b)의 제 2 게이트 단자(121b)는 제 1 게이트 라인(110a)에 접속되고, 제 2 소스 단자(125b)는 상기 일 데이터 라인(130)에 접속되고, 제 2 드레인 단자(126b)는 제 2 화소 전극(170b)에 접속된다. 제 3 박막 트랜지스터(120c)의 제 3 게이트 단자(121c)는 제 2 게이트 라인(110b)에 접속되고, 제 3 소스 단자(125c)는 제 2 화소 전극(170b)에 접속되고, 제 3 드레인 단자(126c)는 중첩 전극부(161)에 접속된다.
- <48> 상기 복수의 게이트 라인(110)은 주로 가로 방향으로 뻗어 있고, 게이트 라인(110)의 일부가 상부 및/또는 하부로 돌출하여 제 1 내지 제 3 박막 트랜지스터(120a, 120b, 120c)의 제 1 내지 제 3 게이트 단자(121a, 121b, 121c)를 이룬다. 복수의 게이트 라인(110)의 끝단에는 각기 외부 회로와의 연결을 위한 게이트 콘택 패드(미도시)가 형성되어 있다. 게이트 라인(110)은 단일층으로 형성할 수 있고, 이중층 이상의 다중층으로 형성할 수도 있다. 이중층 이상으로 형성하는 경우에 한 층은 저항이 작은 물질로 형성하고 다른 층은 기타 다른 물질과의 접촉 특성이 좋은 물질로 만드는 것이 바람직하다. 그 예로는 Cr/Al(또는 Al 합금)의 이중층 또는 Al(또는 Al 합금)/Mo의 이중층을 들 수 있으나, 이외에도 다양한 금속 또는 도전체로서 게이트 라인(110)을 형성할 수 있다.
- <49> 상기 복수의 데이터 라인(130)은 주로 세로 방향으로 연장되고, 데이터 라인(130)의 일부가 돌출하여 제 1 및 제 2 박막 트랜지스터(120a, 120b)의 제 1 및 제 2 소스 단자(125a, 125b)를 이룬다. 복수의 데이터 라인(130)의 끝단에는 데이터 콘택 패드(미도시)가 형성되어 있다. 데이터 라인(130)은 단일층으로 형성할 수 있고, 물질적 성질이 다른 이중층 이상의 다중층으로 형성할 수도 있다. 이중층 이상으로 형성하는 경우에는 한 층은 데이터 신호의 지연이나 전압 강하를 줄일 수 있도록 저항이 작은 물질로 형성하고 다른 층은 기타 다른 물질과의 접촉 특성이 좋은 물질로 만드는 것이 바람직하다. 도면에서는 직선형의 데이터 라인(130)을 도시하였으나, 데이터 라인(130)은 소정의 굽은 영역을 가질 수도 있다. 그리고, 데이터 라인(130)이 굽은 영역을 가질 경우 상기 제 1 및 제 2 화소 전극(170a, 170b)은 데이터 라인(130)의 굽은 영역을 따라 형성될 수도 있다.
- <50> 유지 전극부(140)는 제 1 및 제 2 화소 전극(170a, 170b)과 그 일부가 중첩하는 제 1 내지 제 5 유지 라인(141, 142, 143, 144, 145)과, 중첩 전극부(161)와 그 일부가 중첩하는 유지 전극 중첩부(146)를 구비한다.
- <51> 제 1 유지 라인(141)은 데이터 라인(130)과 평행하게 연장되고 제 1 화소 전극(170a)과 그 일부가 중첩한다. 제 2 유지 라인(142)은 데이터 라인(130)과 평행하게 연장되고 제 2 화소 전극(170b)과 그 일부가 중첩한다. 제 3 및 제 4 유지 라인(143, 144)은 제 1 및 제 2 화소 전극(170a, 170b)의 사이 영역에 각기 마련되어 상기 제 1 및 제 2 유지 라인(141, 142)간을 연결한다. 유지 전극 중첩부(146)는 제 1 유지 라인(141)과 그 일부가 접속된

다. 제 5 유지 라인(145)은 유지 전극 중첩부(146)와 제 2 유지 라인(142)간을 연결한다. 상술한 설명에서는 다섯 개의 유지 라인(141, 142, 143, 144, 145)과 하나의 유지 전극 중첩부(146)를 갖는 유지 전극부(140)에 관해 설명하였지만, 본 발명은 이에 한정되지 않고, 상기 개수보다 많은 개수의 유지 라인 및 유지 전극 중첩부를 구비할 수 있고, 상기 개수보다 적은 개수의 유지 라인을 구비할 수도 있다. 상기 유지 전극부(140)는 게이트 라인(110)과 동일 물질로 제작된다. 유지 전극부(140)는 게이트 라인(110)과 동시에 패터닝되는 것이 바람직하다. 그리고, 유지 라인(140)의 끝단은 공통 전압(Vcom)과 연결되어 있는 것이 효과적이다. 여기서, 제 1 유지 커패시터(Cst1)는 유지 전극부(140)와 제 1 화소 전극(170a)이 중첩되는 영역에 마련된다. 즉, 제 1 유지 커패시터(Cst1)의 전극 단자로 유지 전극부(140) 및 제 1 화소 전극(170a)이 사용되고, 유전체로 유지 전극부(140)와 제 1 화소 전극(170a) 사이의 절연막들이 사용된다. 제 2 유지 커패시터(Cst2)는 유지 전극부(140)와 제 2 화소 전극(170b)이 중첩되는 영역에 마련된다. 즉, 제 2 유지 커패시터(Cst2)의 전극 단자로 유지 전극부(140) 및 제 2 화소 전극(170b)이 사용되고, 유전체로 유지 전극부(140)와 제 2 화소 전극(170b) 사이의 절연막들이 사용된다.

<52> 제 1 화소 전극(170a)은 단위 화소 영역의 상부 영역에 배치된 상판부와, 하부 영역에 배치된 하판부와, 상판부와 하판부를 연결하는 연결부를 구비한다. 상판부는 단위 화소 영역의 우측 상단에서 좌측 중심 영역으로 연장된 판 형상으로 제작된다. 하판부는 단위 화소 영역의 우측 하단에서 좌측 중심 영역으로 연장된 판 형상으로 제작된다. 이에 제 1 화소 전극(170a)은 도 1에 도시된 바와 같이 대략 V자 형상으로 제작된다. 하판부는 연장 전극부(162)와 그 일부가 중첩하는 돌출영역을 포함한다. 상판부와 하판부의 기울기는 게이트 라인(110)에 대하여 약 45도의 각도인 것이 바람직하다. 물론 이에 한정되지 않고, 그 각도는 다양할 수 있다.

<53> 제 2 화소 전극(170b)은 제 1 화소 전극(170a)의 상판부와 하판부 사이 영역에 판 형상으로 제작된다. 제 2 화소 전극(170b)은 그 중심에 절개부가 마련된다. 절개부는 단위 화소 영역의 우측 중심 영역에서 좌측 중심 영역 방향으로 연장된다. 제 2 화소 전극(170b)은 화소 영역을 상하로 이등분하는 선에 대해 실질적으로 거울상 대칭을 이루고 있다. 제 2 화소 전극(170b)은 도 1에 도시된 바와 같이 대략 V자 형상으로 제작된다.

<54> 상기 제 1 및 제 2 화소 전극(170a, 170b)은 절개 패턴에 의해 서로 이격된다. 이때, 절개 패턴은 액정의 배열 방향을 조절하기 위한 도메인 규제 수단으로 사용된다. 물론 절개 패턴 이외에 다양한 도메인 규제 수단이 사용될 수도 있다. 상기 제 1 화소 전극(170a)은 제 1 화소 커패시터(C1c1)의 일 전극 단자로 사용되고, 제 2 화소 전극(170b)은 제 2 화소 커패시터(C1c2)의 일 전극 단자로 사용된다.

<55> 제 1 내지 제 3 박막 트랜지스터(120a, 120b, 120c)는 제 1 내지 제 3 게이트 단자(121a, 121b, 121c) 상에 마련된 게이트 절연막(122)과, 게이트 절연막(122) 상에 마련된 제 1 내지 제 3 활성층(123a, 123b, 123c) 및 제 1 내지 제 3 오믹 접촉층(124a, 124b, 124c)을 더 구비한다. 제 1 및 제 2 게이트 단자(121a, 121b)는 도 1에 도시된 바와 같이 단일 물체를 갖는다. 즉, 제 1 게이트 라인(110a)에서 연장된 판 형태의 단일 물체로 제작된다. 제 3 게이트 단자(121c)는 도 1에 도시된 바와 같이 제 2 게이트 라인(110b)과 동일한 크기로 제작된다. 물론 이에 한정되지 않고, 상기 제 2 게이트 라인(110b)에서 그 일부가 돌출된 판 형태로 제작될 수도 있다. 제 1 내지 제 3 게이트 단자(121a, 121b, 121c) 상에는 게이트 절연막(122)이 마련된다.

<56> 제 1 및 제 2 활성층(123a, 123b)은 제 1 및 제 2 게이트 단자(121a, 121b) 상부에 단일 물체로 제작된다. 제 1 및 제 2 소스 단자(125a, 125b)는 제 1 및 제 2 활성층(123a, 123b) 상에 단일 물체로 제작된다. 제 1 및 제 2 소스 단자(125a, 125b)용 물체는 그 내측에 제 1 및 제 2 오목부가 마련된다. 제 1 드레인 단자(126a)는 제 1 오목부의 내측 영역에 연장되어 제 1 화소 전극(170a)과 그 일부가 중첩된다. 제 2 드레인 단자(126b)는 제 2 오목부의 내측 영역에서 연장되어 제 2 화소 전극(170b)과 그 일부가 중첩된다. 이때, 오목한 제 1 소스 단자(125a)와 제 1 드레인 단자(126a) 사이 영역이 제 1 박막 트랜지스터(120a)의 채널 영역으로 작용한다. 오목한 제 2 소스 단자(125b)와 제 2 드레인 단자(126b) 사이 영역이 제 2 박막 트랜지스터(120b)의 채널 영역으로 작용한다. 제 1 드레인 단자(126a)는 제 1 화소 콘택홀(151a)을 통해 제 1 화소 전극(170a)과 전기적으로 접속된다. 제 2 드레인 단자(126b)는 제 2 화소 콘택홀(151b)을 통해 제 2 화소 전극(170b)과 전기적으로 접속된다. 상술한 바와 같이 제 1 및 제 2 게이트 단자(121a, 121b)를 단일 물체로 제작하여 제 1 및 제 2 박막 트랜지스터(120a, 120b)를 동시에 구동시킬 수 있다. 그리고, 제 1 및 제 2 소스 단자(125a, 125b)와, 제 1 및 제 2 활성층(123a, 123b)을 단일 물체로 제작하여 일 데이터 라인(130)을 통해 제공되는 데이터 신호를 전기적으로 분리된 제 1 및 제 2 화소 전극(170a, 170b)에 동시에 제공할 수 있다.

<57> 제 3 활성층(123c)은 제 3 게이트 단자(121c) 상부에 마련된다. 제 3 소스 단자(125c)는 제 3 활성층(123c)의 일측 가장자리에 연장되어 제 2 화소 전극(170b)과 그 일부가 중첩된다. 제 3 소스 단자(125c)는 제 3 화소 콘

택홀(151c)을 통해 제 2 화소 전극과 전기적으로 접속된다. 제 3 드레인 단자(126c)는 제 3 활성층(123c)의 타측 가장자리에서 연장되어 중첩 전극부(161)에 접속된다.

<58> 상기 중첩 전극부(161)은 도 1에 도시된 바와 같이 유지 전극부(140)의 유지 전극 중첩부(146) 상측 영역에 마련된 판형상으로 제작된다. 물론 판 형상의 중첩 전극부(161) 일부가 상기 유지 전극부(140) 상측에 마련될 수 있다. 중첩 전극부(161)는 다각형 판, 원형 판 및 타원형 판 형상으로 제작될 수 있다. 상기 중첩 전극부(161)와 유지 전극부(140)간이 중첩되는 영역에 차지다운 커패시터(Cdown)가 마련된다. 차지다운 커패시터(Cdown)는 제 2 화소 커패시터(C1c2)에 충전된 전하량을 다운시키는 역할을 한다. 즉, 차지다운 커패시터(Cdown)의 전극 단자로 유지 전극부(140)와 중첩 전극부(161)가 사용되고, 유전체로 유지 전극부(140)와 중첩 전극부(161)사이의 절연막이 사용된다. 이때, 차지다운 커패시터(Cdown)의 커패시턴스는 중첩 전극부(161) 및 유지 전극부(140)간의 중첩 면적에 따라 가변될 수 있다. 상기 커패시턴스 값을 유지 전극부(140)과 중첩 전극부(161)의 중첩 면적에 비례한다. 따라서, 초기 디자인시 이들 사이의 중첩 면적을 설정하여 차지다운 커패시터(Cdown)의 커패시턴스를 결정한다. 상기 중첩 전극부(161)는 앞서 설명한 바와 같이 유지 전극부(140)의 유지 전극 중첩부(146) 상측 영역에 마련된다. 이때, 유지 전극 중첩부(146)의 면적이 상기 중첩 전극부(161)의 면적보다 넓게 제작된다. 따라서, 중첩 전극부(161)의 제작 공정시 정렬 오차가 발생하더라도 상기 중첩 전극부(161)는 유지 전극 중첩부(146) 상측 영역에 위치될 수 있다. 이는 초기 설정된 중첩 면적의 크기가 제작 공정시 발생한 정렬 오차에 의해 변화되는 것을 방지할 수 있다.

<59> 연장 전극부(162)는 제 1 화소 전극(170a)과 중첩되는 적어도 하나의 전극 중첩 영역(J)과, 전극 중첩 영역(J)과 중첩 전극부(161)간을 연결하는 적어도 하나의 전극 연결 영역(K)을 포함한다. 상기 전극 연결 영역(K)의 그 일부가 제 1 화소 전극(170a)과 중첩되는 것이 바람직하다. 상기 연장 전극부(162)와 제 1 화소 전극(170a)간이 중첩되는 영역에 차지업 커패시터(Cup)가 마련된다. 차지업 커패시터(Cup)는 제 1 화소 커패시터(C1c1)에 충전된 전하량을 상승시키는 역할을 한다. 차지업 커패시터(Cup)의 전극 단자로 제 1 화소 전극(170a)과 연장 전극부(162)가 사용되고, 유전체로 연장 전극부(162)와 제 1 화소 전극(170a) 사이의 절연막이 사용된다. 상기 차지업 커패시터(Cup)의 커패시턴스는 연장 전극부(162)와 제 1 화소 전극(170a) 사이의 중첩 면적에 따라 가변될 수 있다. 초기 디자인시 제 1 화소 전극(170a)과 연장 전극부(162)사이의 중첩면적을 설정하여 차지업 커패시터(Cup)의 커패시턴스를 결정한다.

<60> 본 실시예에서는 도 1에 도시된 바와 같이 상기 연장 전극부(162)의 전극 중첩 영역(J)과 전극 연결 영역(K)은 단일 띠 형상으로 제작된다. 상기 연장 전극부(162) 상측에 제 1 화소 전극(170a)이 마련된다. 따라서, 연장 전극부(162)의 전극 연결 영역(K)을 띠 형상으로 제작하여 제 1 화소 전극(170a)의 제작시 발생한 정렬 오차에 의해 연장 전극부(162)와 제 1 화소 전극(170a)간의 중첩 면적의 변화를 최소화 할 수 있다. 이를 위해 도 5에 도시된 바와 같이 상기 연장 전극부(162)가 판형상으로 제작되는 경우와, 도 6에 도시된 바와 같이 연장 전극부(162)가 띠 형상으로 제작되는 경우를 비교하여 설명한다. 이때, 제 1 화소 전극(170a)의 제작시 발생한 정렬 오차에 의해 제 1 화소 전극(170a)이 도 5 및 도 6에 도시된 T2의 폭 만큼 더 연장됨을 기준으로 설명한다. 먼저 도 5에서와 같이 연장 전극부(162)가 T1의 넓이를 갖는 판 형상으로 제작되는 경우, 정렬 오차에 의한 제 1 화소 전극(170a)과 연장 전극부(162)간의 중첩 면적의 증가 값은 $T1 \times T2$ 가 된다. 이에 반하여 도 6에서와 같이 연장 전극부(162)가 T3의 넓이를 갖는 띠 형상으로 제작되는 경우, 정렬 오차에 의한 중첩 면적의 증가 값은 $2(T2 \times T3)$ 가 된다. 예를 들어 T1의 값이 10이고, T2의 값이 1이며, T3의 값이 1이라고 가정하면, 도 5에서와 같이 연장 전극부(162)를 판 형상으로 제작하면 정렬 오차에 의한 중첩 면적의 증가 값은 10이 되지만, 도 6에서와 같이 연장 전극부(162)를 띠 형상으로 제작하면 정렬 오차에 의한 중첩 면적의 증가 값은 2가 된다. 이와 같이 연장 전극부(162)를 띠 형상으로 제작하게 되면 제 1 화소 전극(170a)의 제작시 발생한 정렬 오차에 의한 중첩 면적의 변화를 최소화 할 수 있다.

<61> 물론 이에 한정되지 않고, 연장 전극부(162)의 전극 연결 영역(K)을 띠 형상으로 제작하고 전극 중첩 영역(J)은 판 형상으로 제작할 수 있다. 이는 연장 전극부(162)와 제 1 화소 전극(170a)간의 중첩 면적에 따라 차지업 커패시터(Cup)의 커패시턴스 값이 결정된다. 따라서, 충분한 커패시턴스 값을 유지하기 위해 상기 연장 전극부(162)의 전극 중첩 영역(J)을 판 형상으로 제작하는 것이 가능하다. 이때, 전극 중첩 영역(J)은 정렬 오차 범위 내에서 상기 제 1 화소 전극(170a)과 항상 중첩될 수 있도록 제 1 화소 전극(170a)의 하단부에 마련되는 것이 바람직하다. 그리고 도 1 및 도 6에서는 2개의 전극 연결 영역(K)이 도시되어 있지만 이에 한정되지 않고, 이보다 적거나 더 많은 개수의 전극 연결 영역(K)이 마련될 수 있다.

<62> 여기서, 띠의 폭은 상기 게이트 라인(110)의 선폭을 1로 할 경우 0.1 내지 1인 것이 바람직하다. 상기 띠의 폭이 상기 범위보다 작을 경우에는 배선 저항이 커지는 문제가 발생하고, 상기 폭보다 클 경우에는 제 1 화소 전

극(170a)의 정렬 오차가 발생하는 경우 중첩 면적의 증가 값이 크게 변화되는 문제가 발생한다. 상기 띠는 그 양단부가 상기 중첩 전극부(161)에 접속된 고리 형상일 수도 있고, 그 일단부 만이 상기 중첩 전극부(162)에 접속된 선 형상일 수 있다.

<63> 상술한 제 1 내지 제 3 박막 트랜지스터(121a, 121b, 121c)와 데이터 라인(130) 상에는 절연성 보호막(150)이 형성된다. 보호막(150)은 질화 실리콘 또는 산화 실리콘 등의 무기 물질로 형성될 수도 있고, 저유전율 유기막으로 형성될 수도 있다. 물론 무기 절연막과 유기막의 이중층으로 형성될 수도 있다. 상기 절연성 보호막(150)에는 제 1 및 제 2 드레인 단자(126a, 126b)와 제 3 소스 단자(125c)의 일부를 노출하는 제 1 내지 제 3 화소 콘택홀(151a, 151b, 151c)이 마련된다. 그리고, 절연성 보호막(150) 상부에는 제 1 및 제 2 화소 전극(170a, 170b)이 마련된다. 제 1 화소 전극(170a)은 제 1 화소 콘택홀(151a)을 통해 제 1 드레인 단자(126a)와 접속된다. 제 2 화소 전극(170b)은 제 1 및 제 2 화소 콘택홀(151b, 151c)을 통해 제 2 드레인 단자(126b)와 제 3 소스 단자(125c)에 접속된다.

<64> 그리고, 공통 전극 기관(2000)은 유리 등의 투명한 절연 물질로 이루어진 절연 기관(200)에 빛샘과 인접한 단위 화소 영역들 사이의 광 간섭을 방지하기 위한 블랙 매트릭스(210)와, 적색, 녹색, 청색의 컬러 필터(220)가 형성되고, 컬러 필터(220) 위에는 유기 물질로 이루어진 오버코트막(230)이 형성되어 있다. 오버코트막(230) 위에는 ITO 또는 IZO 등의 투명한 도전 물질로 이루어진 공통 전극(240)이 형성되어 있다. 상기 공통 전극(240)에는 복수의 절개 패턴(241)이 마련된다. 본 실시예에서는 도 1에 도시된 바와 같이 제 1 및 제 2 화소 전극(170a, 170b)을 양분하는 위치에 복수개의 절개 패턴(241)이 마련된다. 상기 절개 패턴(241) 대신 돌출 패턴이 마련될 수 있다. 제 1 및 제 2 화소 전극(170a, 170b)의 절개 패턴(171)과 공통 전극(240)의 절개 패턴(241)은 액정 분자를 분할 배향하는 도메인 규제수단으로 작용한다. 이러한 도메인 규제수단은 제 1 및 제 2 화소 전극(170a, 170b) 및 공통 전극(240) 중 적어도 어느 하나의 영역에 설치할 수 있다. 제 1 및 제 2 화소 전극(170a, 170b)과 공통 전극(240) 사이에는 제 1 및 제 2 화소 커패시터가 마련된다. 이때, 제 1 화소 커패시터(C1c1)의 전극 단자로 제 1 화소 전극(170a)과 공통 전극(240)이 사용되고, 유전체로 액정(300)이 사용된다. 제 2 화소 커패시터(C1c2)의 전극 단자로 제 2 화소 전극(170b)과 공통 전극(240)이 사용되고, 유전체로 액정(300)이 사용된다.

<65> 이를 통해 단위 화소 영역내에 제 1 및 제 2 서브 화소와 제 1 및 제 2 서브 화소의 전하량을 제어하는 전하량 제어부를 갖는 단위 화소를 제작할 수 있게 된다. 제 1 서브 화소는 높은 계조를 표현하는 메인 화소이고, 제 2 서브 화소는 낮은 계조를 표현하는 서브 화소이다. 여기서, 제 1 서브 화소는 제 1 박막 트랜지스터(120a)와 제 1 화소 커패시터(C1c1) 그리고 제 1 유지 커패시터(Cst1)를 포함한다. 제 2 서브 화소는 제 2 박막 트랜지스터(120b)와 제 2 화소 커패시터(C1c2) 그리고 제 2 유지 커패시터(Cst2)를 포함한다. 전하량 제어부는 제 3 박막 트랜지스터(120c)와 제 2 화소 커패시터(C1c2)의 전하량을 다운시키는 차지다운 커패시터(Cdown)와 제 1 화소 커패시터(C1c1)의 전하량을 증가시키는 차지업 커패시터(Cup)를 구비한다.

<66> 상기과 같은 박막 트랜지스터 기관(1000)과 공통 전극 기관(2000)을 결합하고 그 사이에 액정(300)을 개재하여 본 발명의 일 실시예에 따른 표시 장치의 기본 패널이 마련된다. 표시 장치는 이러한 기본 패널 양측에 도시되지 않은 편광판, 백라이트, 광학 판/시트 등의 요소들을 배치할 수 있다.

<67> 하기에서는 상술한 바와 같이 단위 화소 영역에 제 1 및 제 2 서브 화소와 전하량 제어부를 갖는 표시 장치의 동작을 도 7의 회로도를 참조하여 설명한다.

<68> 제 1 게이트 라인(110a)에 게이트 턴온 전압을 공급한다. 제 1 게이트 라인(110a)에 접속된 제 1 및 제 2 박막 트랜지스터(120a, 120b)는 제 1 게이트 라인(110a)에 인가된 게이트 턴온 전압에 의해 턴온된다. 턴온된 제 1 및 제 2 박막 트랜지스터(120a, 120b)에 의해 제 1 및 제 2 화소 커패시터(C1c1, C1c2)의 제 1 및 제 2 화소 전극(170a, 170b)은 데이터 라인(130)의 계조 신호를 인가 받는다. 이를 통해 제 1 및 제 2 화소 커패시터(C1c1, C1c2)는 계조 신호에 해당하는 전하량으로 충전된다.

<69> 제 1 게이트 라인(110a)에 공급되었던 게이트 턴온 전압의 공급을 차단하고, 제 1 게이트 라인(110a)에 게이트 턴오프 전압을 공급한다. 이를 통해 제 1 및 제 2 박막 트랜지스터(120a, 120b)는 턴오프 되고, 상기 제 1 및 제 2 화소 커패시터(C1c1, C1c2)는 초기 계조 신호에 해당하는 전하량으로 충전된 상태를 유지한다.

<70> 이어서 제 2 게이트 라인(110b)에 게이트 턴온 전압을 순차적으로 공급한다. 제 2 게이트 라인(110b)에 접속된 제 3 박막 트랜지스터는 제 2 게이트 라인(110b)에 인가된 게이트 턴온 전압에 의해 턴온된다.

<71> 턴온된 제 3 박막 트랜지스터(120c)에 의해 제 2 화소 커패시터(C1c2)의 제 2 화소 전극(170b)에 충전된 전하의

일부는 차지다운 커패시터(Cdown)의 중첩 전극부(161)와 차지업 커패시터(Cup)의 연장 전극부(162)로 이동하게 된다. 제 2 화소 커패시터(C1c2)에 충전되었던 전하의 일부가 제 2 화소 커패시터(C1c2)로부터 빠져나와 차지다운 커패시터(Cdown)에 충전된다. 따라서, 제 2 화소 커패시터(C1c2)의 전하량은 감소하여 낮은 계조 신호에 해당하는 전하량만이 제 2 화소 커패시터(C1c2)에 잔류하게 된다. 이를 통해 제 2 화소 커패시터(C1c2)는 낮은 계조의 화상을 표시하게 된다. 이때, 제 2 화소 커패시터(C1c2)의 감소된 전하량은 차지다운 커패시터(Cdown)의 정전용량에 따라 변화된다. 그리고, 제 2 화소 커패시터(C1c2)로부터 빠져나온 전하들은 차지업 커패시터(Cup)의 일 전극 단자인 연장 전극부(162)의 전하량을 상승시키게 된다. 차지업 커패시터(Cup)는 커플링 현상으로 인해 일 전극 단자인 연장 전극부(162)의 전하량 상승분 만큼 타 전극 단자인 제 1 화소 전극(C1c1)의 전하량을 상승시키게 된다. 따라서, 제 1 화소 커패시터(C1c1)의 전하량이 증가하게 되어, 제 1 화소 커패시터(C1c1)는 높은 계조 신호에 해당하는 전하량으로 충전된다. 이를 통해 제 1 화소 커패시터(C1c1)는 높은 계조의 화상을 표시하게 된다.

<72> 이어서, 제 2 게이트 라인(110b)에 공급되었던 게이트 턴온 전압의 공급을 차단하고, 제 2 게이트 라인(110b)에 게이트 턴오프 전압을 공급한다. 이를 통해 제 3 박막 트랜지스터(120c)는 턴오프 된다. 상기 제 1 화소 커패시터(C1c1)는 초기 계조 신호에 해당하는 전하량에서 그 전하량이 상승된 높은 계조 신호에 해당하는 상승 전하량으로 차징된 상태를 유지한다. 제 2 화소 커패시터(C1c2)는 초기 계조 신호에 해당하는 전하량에서 그 전하량이 하강된 낮은 계조 신호에 해당하는 하강 전하량으로 차징된 상태를 유지한다.

<73> 이와 같이 본 실시예에서는 단위 화소 영역 내에서 높은 계조의 화상과 낮은 계조의 화상을 모두 구현할 수 있다.

<74> 높은 계조와 낮은 계조의 차는 상기 차지업 커패시터(Cup)와 차지다운 커패시터(Cdown)의 커패시턴스값을 제어하여 조절할 수 있다. 따라서, 상기 계조 표현의 정확성을 위해 차지업 커패시터(Cup)와 차지다운 커패시터(Cdown)의 커패시턴스(Cdown) 값을 일정하게 유지하는 것이 바람직하다. 하지만, 제작 공정시 발생하는 정렬 오차에 의해 차지업 커패시터(Cup)와 차지다운 커패시터(Cdown)의 커패시턴스 값이 초기 설정된 기준 값에 비하여 크게 변화하게 된다. 이에 본 실시예에서는 차지업 커패시터(Cup)와 차지다운 커패시터(Cdown)의 전극의 형상을 변경하여 정렬 오차에 따른 차지업 커패시터(Cup)와 차지다운 커패시터(Cdown)의 커패시턴스 값의 변화를 최소화할 수 있다.

<75> 이하에서는 상술한 구조와 작용 효과를 가지는 본 발명의 일 실시예에 따른 표시 장치용 박막 트랜지스터 기판을 제조하는 방법을 설명한다.

<76> 도 8 내지 도 10은 본 발명의 제 1 실시예에 따른 박막 트랜지스터 기판의 제조 공정을 설명하기 위한 도면들이다.

<77> 도 8을 참조하면, 투명 절연 기판(100) 상에 제 1 도전성막을 형성한 다음, 이를 패터닝 하여 게이트 라인(110a, 110b; 110), 제 1 내지 제 3 게이트 단자(121a, 121b, 121b)를 형성하고, 유지 전극부(141, 142, 143, 144, 145, 146; 140)를 형성한다.

<78> 상기 제 1 도전성막으로는 Cr, MoW, Cr/Al, Cu, Al(Nd), Mo/Al, Mo/Al(Nd), Cr/Al(Nd) 및 Mo/Al/Mo 중 적어도 어느 하나를 사용하는 것이 바람직하다. 물론 이에 한정되지 않고 앞서 설명한 바와 같이 제 1 도전성막으로 Al, Nd, Ag, Cr, Ti, Ta 및 Mo 중 적어도 어느 하나의 금속 또는 이들을 포함하는 합금으로 형성하되, 단일층 및 다중층으로 형성할 수 있다. 즉, 물리 화학적 특성이 우수한 Cr, Ti, Ta, Mo 등의 금속층과 비저항이 작은 Al 계열 또는 Ag 계열의 금속층을 포함하는 이중층 또는 삼중층으로 형성할 수도 있다. 상술한 제 1 도전성막을 전체 기판 상에 형성한 후, 감광막을 도포한 다음, 마스크를 이용한 리소그래피 공정을 실시하여 감광막 마스크 패턴을 형성한다. 감광막 마스크 패턴을 식각 마스크로 하는 식각공정을 실시하여 도 8에 도시된 바와 같이, 제 1 및 제 2 게이트 라인(110a, 110b)을 형성하고, 제 1 게이트 라인(110a)에 제 1 및 제 2 게이트 단자(121a, 121b)를 형성하고, 제 2 게이트 라인(110b)에 제 3 게이트 단자(121c)를 형성한다. 그리고, 제 1 내지 제 5 유지 라인(141, 142, 143, 144, 145)과, 유지 전극 중첩부(146)를 포함하는 유지 전극부(140)를 형성한다. 이어서, 소정의 스트립 공정을 실시하여 감광막 마스크 패턴을 제거한다.

<79> 도 9을 참조하면, 게이트 라인(110)이 마련된 기판(100) 상에 게이트 절연막(122), 활성층용 박막 및 오믹 접촉층용 박막을 순차적으로 형성한 다음, 활성층용 박막 및 오믹 접촉층용 박막을 패터닝 하여 제 1 내지 제 3 활성층(123a, 123b, 123c)과 제 1 내지 제 3 오믹 접촉층(124a, 124b, 124c)을 포함하는 제 1 내지 제 3 박막 트랜지스터(120a, 120b, 120c)의 활성 영역을 형성한다.

- <80> 상기 게이트 절연막(122)으로는 산화 실리콘 또는 질화 실리콘을 포함하는 무기 절연 물질을 사용하는 것이 바람직하다. 활성층용 박막으로는 비정질 실리콘층을 사용하고, 오믹 접촉층용 박막으로는 실리사이드 또는 N형 불순물이 고농도로 도핑된 비정질 실리콘층을 사용한다.
- <81> 이어서, 제 1 내지 제 3 박막 트랜지스터(120a, 120b, 120c)의 활성 영역이 형성된 전체 구조상에 제 2 도전성막을 형성한 다음, 이를 패터닝 하여 데이터 라인(130), 제 1 내지 제 3 소스 단자(125a, 125b, 125c) 및 제 1 내지 제 3 드레인 단자(126a, 126b, 126c) 그리고, 제 3 드레인 단자(126c)에 접속된 중첩 전극부(161)와, 상기 중첩 전극부(161)에 접속된 연장 전극부(162)를 형성한다.
- <82> 상기의 제 2 도전성막으로는 Mo, Al, Cr, Ti 중 적어도 하나의 금속 단일층 또는 다중층을 사용하는 것이 바람직하다. 물론 제 2 도전성막은 제 1 도전성막과 동일한 물질을 사용할 수도 있다. 제 2 도전성막 상에 감광막을 도포한 다음, 마스크를 이용한 리소그래피 공정을 실시하여 감광막 마스크 패턴을 형성한다. 상기 감광막 마스크 패턴을 식각 마스크로 하는 식각공정을 실시하여 제 2 도전성막을 식각하여, 게이트 라인(110)과 직교하는 데이터 라인(130)을 형성하고, 제 1 내지 제 3 게이트 단자(121a, 121b, 121c) 각각의 상부에 제 1 내지 제 3 소스 단자(125a, 125b, 125c)와 제 1 내지 제 3 드레인 단자(126a, 126b, 126c)를 형성한다. 상기 소스 단자(125a, 125b, 125c)와 드레인 단자(126a, 126b, 126c) 사이 영역에 노출된 오믹 접촉층(124a, 124b, 124)을 식각공정을 통해 제거하여 소스 단자(125a, 125b, 125c)와 드레인 단자(126a, 126b, 126c) 사이에는 활성층(123a, 123b, 123c)으로 이루어진 채널을 갖는 제 1 내지 제 3 박막 트랜지스터(120a, 120b, 120c)를 형성한다.
- <83> 중첩 전극부(161)는 제 3 드레인 단자(126c)에 접속되고, 적어도 그 일부가 유지 전극 중첩부(146) 상측에 마련된다. 그리고, 유지 전극부(162)는 상기 중첩 전극부(161)에 접속되어 제1 화소 전극(170a)이 형성될 영역으로 연장된 때 형상의 전극 연결 영역을 포함한다.
- <84> 도 10을 참조하면, 제 1 내지 제 3 박막 트랜지스터(120a, 120b, 120c)가 마련된 기판(100) 상에 보호막(150)을 형성하고, 감광막 마스크 패턴을 이용한 식각공정을 통해 보호막(150)의 일부를 제거하여 제 1 및 제 2 박막 트랜지스터(120a, 120b)의 제 1 및 제 2 드레인 단자(126a, 126b)의 일부를 노출하는 제 1 및 제 2 화소 콘택홀(151a, 151b)를 형성하고, 제 3 박막 트랜지스터(120c)의 제 3 소스 단자(125c)의 일부를 노출하는 제 3 화소 콘택홀(151c)를 형성한다.
- <85> 제 1 내지 제 3 화소 콘택홀(151a, 151b, 151c)이 마련된 보호막(150) 상에 제 3 도전성막을 형성하고, 감광막 마스크 패턴(미도시)을 이용하여 제 3 도전성막을 패터닝하여 절개 패턴(171)이 마련된 제 1 및 제 2 화소 전극(170a, 170b)을 형성한다. 여기서, 제 3 도전성막은 인듐 주석 산화물(Indium Tin Oxide: ITO)이나 인듐 아연 산화물(Indium Zinc Oxide: IZO)을 포함하는 투명 도전막을 사용하는 것이 바람직하다. 제 1 화소 전극(170a)은 제 1 화소 콘택홀(151a)을 통해 제 1 드레인 단자(126a)에 접속된다. 그리고, 제 1 화소 전극(170a)은 제 3 드레인 단자(126c)의 연장 전극부(162) 상부 영역으로 그 일부가 연장된다. 제 2 화소 전극(170b)은 제 2 화소 콘택홀(151b)을 통해 제 2 드레인 단자(126b)에 접속되고, 제 3 화소 콘택홀(151c)을 통해 제 2 소스 단자(125c)에 접속된다.
- <86> 상술한 공정을 통해 게이트 라인(110)과 데이터 라인(130)으로 정의된 단위 화소 영역에 각기 전기적으로 절연된 제 1 및 제 2 화소 전극(170a, 170b)을 포함하는 두개의 서브 화소가 마련된다.
- <87> 상기와 같이 제 1 및 제 2 화소 전극(140a, 140b)을 형성한 다음 전체 구조 상에 제 1 배향막(미도시)을 형성한다. 이로써, 하부 기판 즉, 박막 트랜지스터 기판이 제작된다.
- <88> 한편, 공통 전극 기판은 투명 절연기판 상에 블랙 매트릭스, 컬러 필터, 오버코트막, 돌기 패턴, 투명 공통 전극 및 제 2 배향막(미도시)을 순차적으로 형성하여 제작한다. 이후 상기와 같이 제조된 박막 트랜지스터 기판과 공통 전극 기판 사이에 스페이서(미도시)를 개재하여 이들 기판을 서로 접합한다. 이어서, 진공 주입 방법을 이용하여 스페이서에 의해 형성된 소정의 공간에 액정물질을 주입하여 액정층을 형성함으로써 본 실시예에 따른 액정 표시 장치를 제작한다.
- <89> 상술한 실시예의 박막 트랜지스터 기판은 5매 마스크 공정으로 형성되었지만, 이에 한정되지 않고, 5매 이상의 마스크 공정 또는 5매 이하의 마스크 공정을 통해서도 형성될 수 있다.
- <90> 본 발명은 상술한 설명에 한정되지 않고, 제 3 드레인 단자의 연장부와 접속되는 영역의 제 1 화소 전극 일부가 절개된 절개 영역이 마련될 수 있다. 이를 통해 공정의 정렬 오차에 따른 연장부와 제 1 화소 전극의 중첩 면적

의 변화량을 최소화 할 수 있다. 하기에서는 도면을 참조하여 본 발명의 제 2 실시예에 따른 박막 트랜지스터 기판에 관해 설명한다. 후술되는 설명 중 상술한 실시예의 설명과 중복되는 설명은 생략한다. 후술되는 제 2 실시예의 기술은 상술한 제 1 실시예에 적용될 수 있다.

- <91> 도 11은 본 발명의 제 2 실시예에 따른 박막 트랜지스터 기판의 평면 개념도이고, 도 12는 도 11의 D-D 선에 대해 자른 단면 개념도이다.
- <92> 도 11 및 도 12를 참조하면, 본 실시예에 따른 박막 트랜지스터 기판은 제 1 및 제 2 화소 전극(170a, 170b)과, 상기 제 1 및 제 2 화소 전극(170a, 170b)에 각기 접속된 제 1 및 제 2 박막 트랜지스터(120a, 120b)와, 제 1 및 제 2 화소 전극(170a, 170b)과 그 일부가 중첩하는 유지 전극부(141, 142, 143, 144, 145, 146; 140)와, 상기 유지 전극부(140)와 그 일부가 중첩되는 중첩 전극부(161)와, 상기 중첩 전극부(161)와 접속되어 상기 제 1 화소 전극(170a)과 그 일부가 중첩되는 연장 전극부(162)와, 상기 중첩 전극부(161)와 제 2 화소 전극(170b)에 접속된 제 3 박막 트랜지스터(120c)를 구비한다.
- <93> 제 1 화소 전극(170a)은 연장 전극부(162)와 중첩되는 영역에 마련된 적어도 하나의 절개 영역(172)을 포함한다. 절개 영역(172)은 제 1 화소 전극(170a)의 일부가 제거된 영역으로 상기 절개 영역(172)에 상기 연장 전극부(162)의 일부가 배치된다. 상기 절개 영역(172)에 배치된 연장 전극부(162)의 면적에 따라 상기 제 1 화소 전극(170a)과 연장 전극부(162) 사이의 중첩 면적을 제어할 수 있고, 차지업 커패시터의 커패시턴스를 조절할 수 있다.
- <94> 상술한 절개 영역(172)으로 인해 제 1 화소 전극(170a)의 일부 영역이 띠 형상으로 제작된다. 따라서, 띠 형상의 연장 전극부(162)와 띠 형상의 제 1 화소 전극(170a)이 중첩되고, 연장 전극부(162)와 제 1 화소 전극(170a)이 중첩하는 영역에 차지업 커패시터가 형성된다. 이와 같이 연장 전극부(162)와 제 1 화소 전극(170a)의 중첩 면적의 크기는 띠와 띠가 중첩되어 이루어진 영역의 크기가 된다. 따라서, 제 1 화소 전극(170a)의 제작시 발생된 정렬 오차에 의해 제 1 화소 전극(170a)의 위치가 변경되더라도 띠 형태의 연장 전극부(162)와 띠 형태의 제 1 화소 전극(170a)이 중첩되는 영역의 크기 증가량은 판 형태의 연장 전극부(162)와 판 형태의 제 1 화소 전극(170a)이 중첩되는 영역의 크기 증가량 보다 작게 될 수 있다. 그리고, 띠와 띠의 연결로 인해 상기 연장 전극부(162)와 제 1 화소 전극(170a)이 중첩되는 영역의 크기가 증가되지 않을 수도 있다. 이와 같이 제 1 화소 전극(170a)과 연장 전극부(162) 간의 정렬 오차가 발생하더라도 이들 사이의 중첩 면적의 변화량을 최소화할 수 있어 차지업 커패시터의 커패시턴스 값이 급격하게 증대되거나 감소되는 것을 방지할 수 있다.

발명의 효과

- <95> 상술한 바와 같이, 본 발명은 제 1 화소 커패시터의 전하량을 상승시키는 차지업 커패시터와, 제 2 화소 커패시터의 전하량을 하강시키는 차지다운 커패시터를 구비함으로써 제 1 화소 커패시터를 이용하여 높은 계조의 화상을 표시하고, 제 2 화소 커패시터를 이용하여 낮은 계조의 화상을 표시할 수 있다.
- <96> 또한, 본 발명은 차지업 커패시터의 연장 전극부를 띠 형상으로 제작하여, 제 1 화소 전극과 연장 전극부 간의 중첩 면적의 편차를 줄일 수 있다.
- <97> 또한, 본 발명은 연장 전극부와 중첩되는 제 1 화소 전극에 절개 영역을 두어 제 1 화소 전극과 연장 전극부 간의 중첩 면적의 편차를 줄일 수 있다.
- <98> 본 발명을 첨부 도면과 전술된 바람직한 실시예를 참조하여 설명하였으나, 본 발명은 그에 한정되지 않으며, 후술되는 특허청구범위에 의해 한정된다. 따라서, 본 기술분야의 통상의 지식을 가진 자라면 후술되는 특허청구범위의 기술적 사상에서 벗어나지 않는 범위 내에서 본 발명을 다양하게 변형 및 수정할 수 있다.

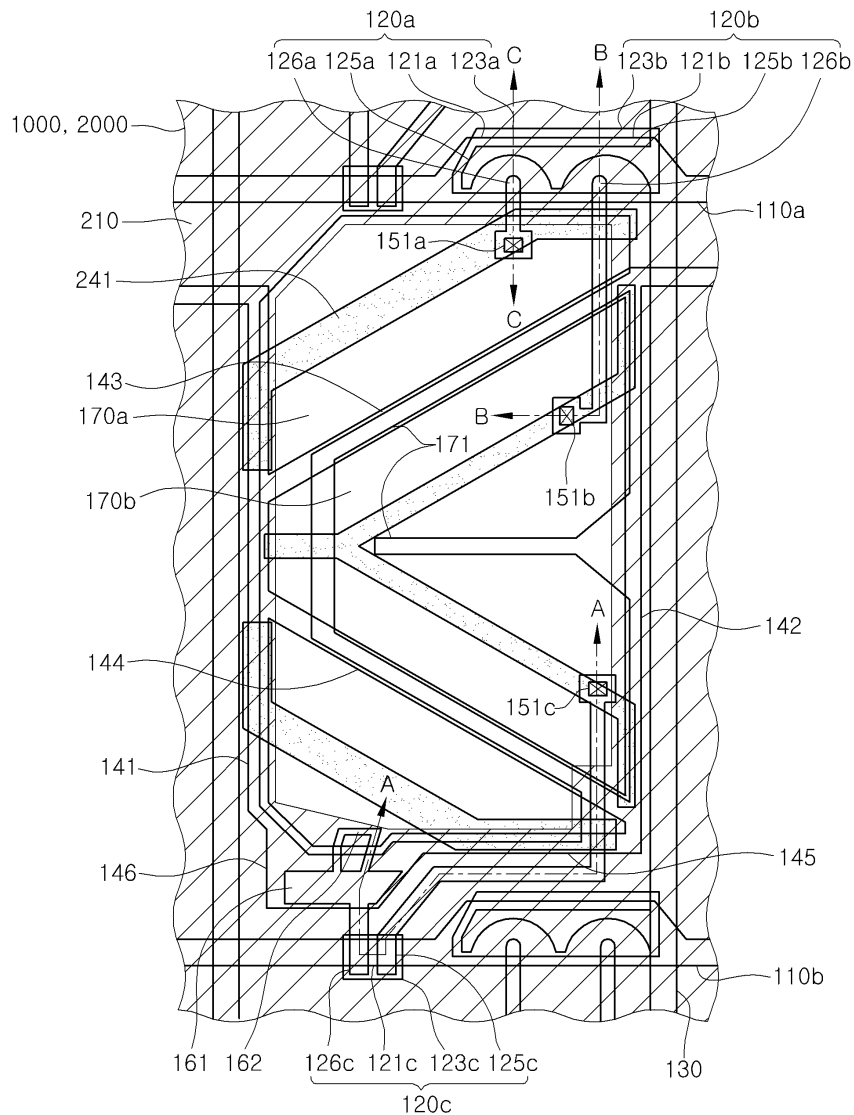
도면의 간단한 설명

- <1> 도 1은 본 발명의 제 1 실시예에 따른 표시 장치의 평면 개념도.
- <2> 도 2는 도 1의 A-A 선에 대해 자른 단면 개념도.
- <3> 도 3은 도 1의 B-B선에 대해 자른 단면 개념도.
- <4> 도 4는 도 1의 C-C선에 대해 자른 단면 개념도.
- <5> 도 5 및 도 6은 제 1 실시예에 따른 차지업 커패시터의 커패시턴스 변화를 설명하기 위한 개념도.

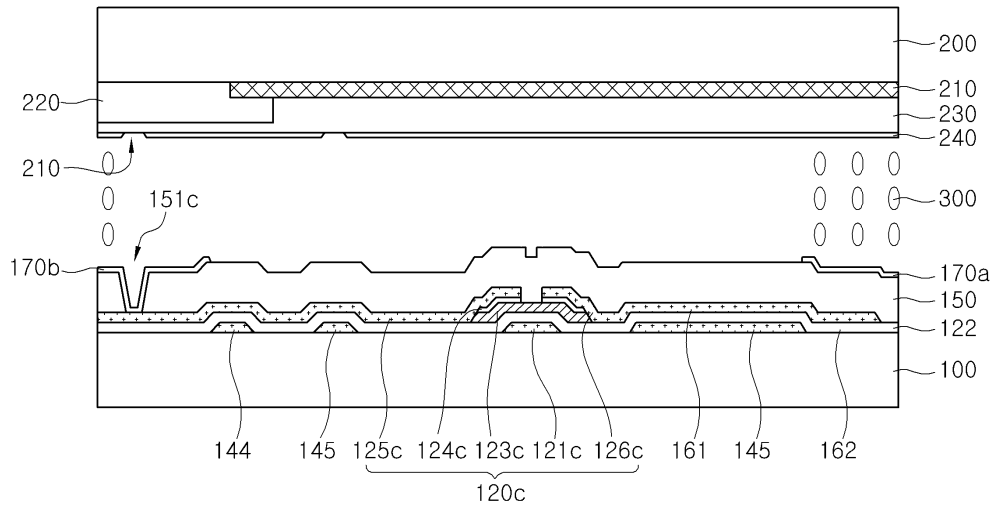
- <6> 도 7은 제 1 실시예에 따른 표시 장치의 단위 화소의 회로도.
 - <7> 도 8 내지 도 10은 본 발명의 제 1 실시예에 따른 박막 트랜지스터 기관의 제조 공정을 설명하기 위한 도면들.
 - <8> 도 11은 본 발명의 제 2 실시예에 따른 박막 트랜지스터 기관의 평면 개념도이고, 도 12는 도 11의 D-D 선에 대해 자른 단면 개념도.
 - <9> <도면의 주요 부분에 대한 부호의 설명>
 - <10> 100, 200 : 기관 110a, 110b : 게이트 라인
 - <11> 120 : 박막 트랜지스터 130 : 데이터 라인
 - <12> 146 : 유지 전극 중첩부 150 : 보호막
 - <13> 161 : 중첩 전극부 162 : 연장 전극부
 - <14> 170a, 170b : 화소 전극

도면

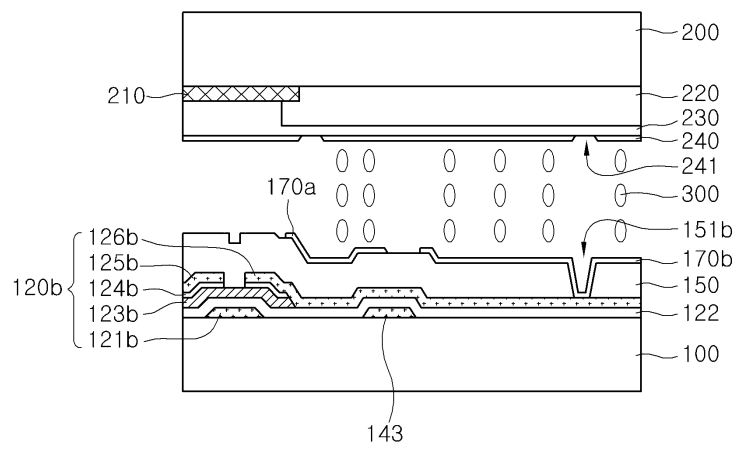
도면1



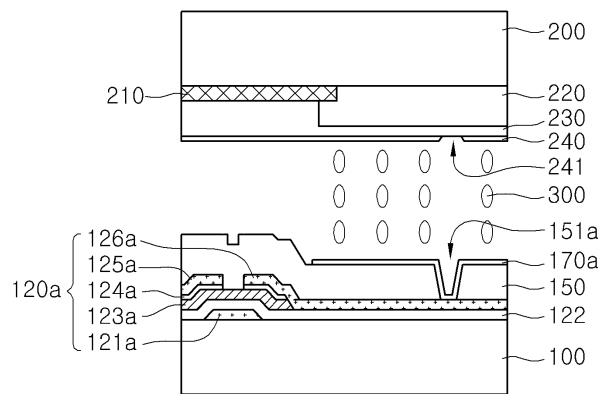
도면2



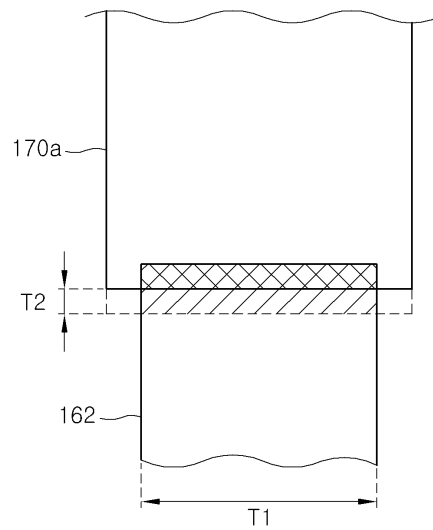
도면3



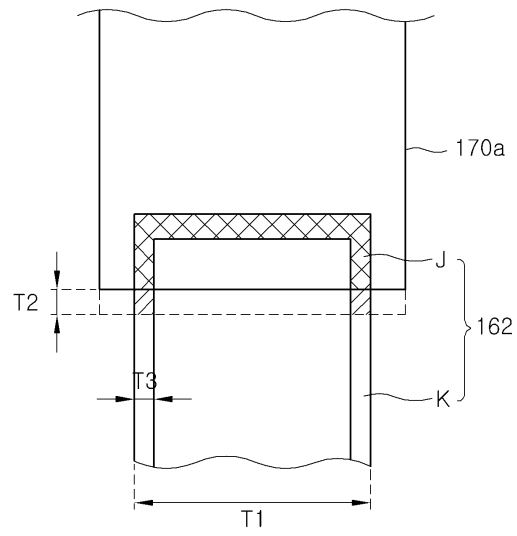
도면4



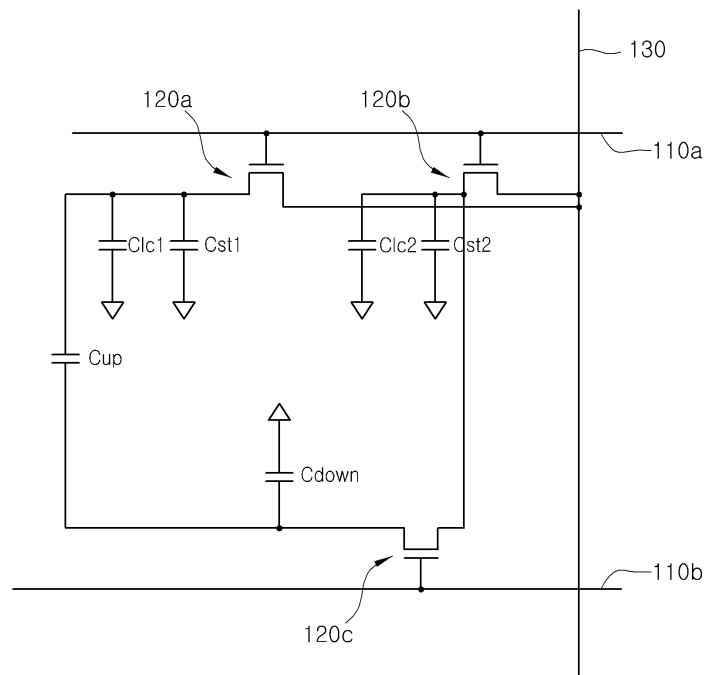
도면5



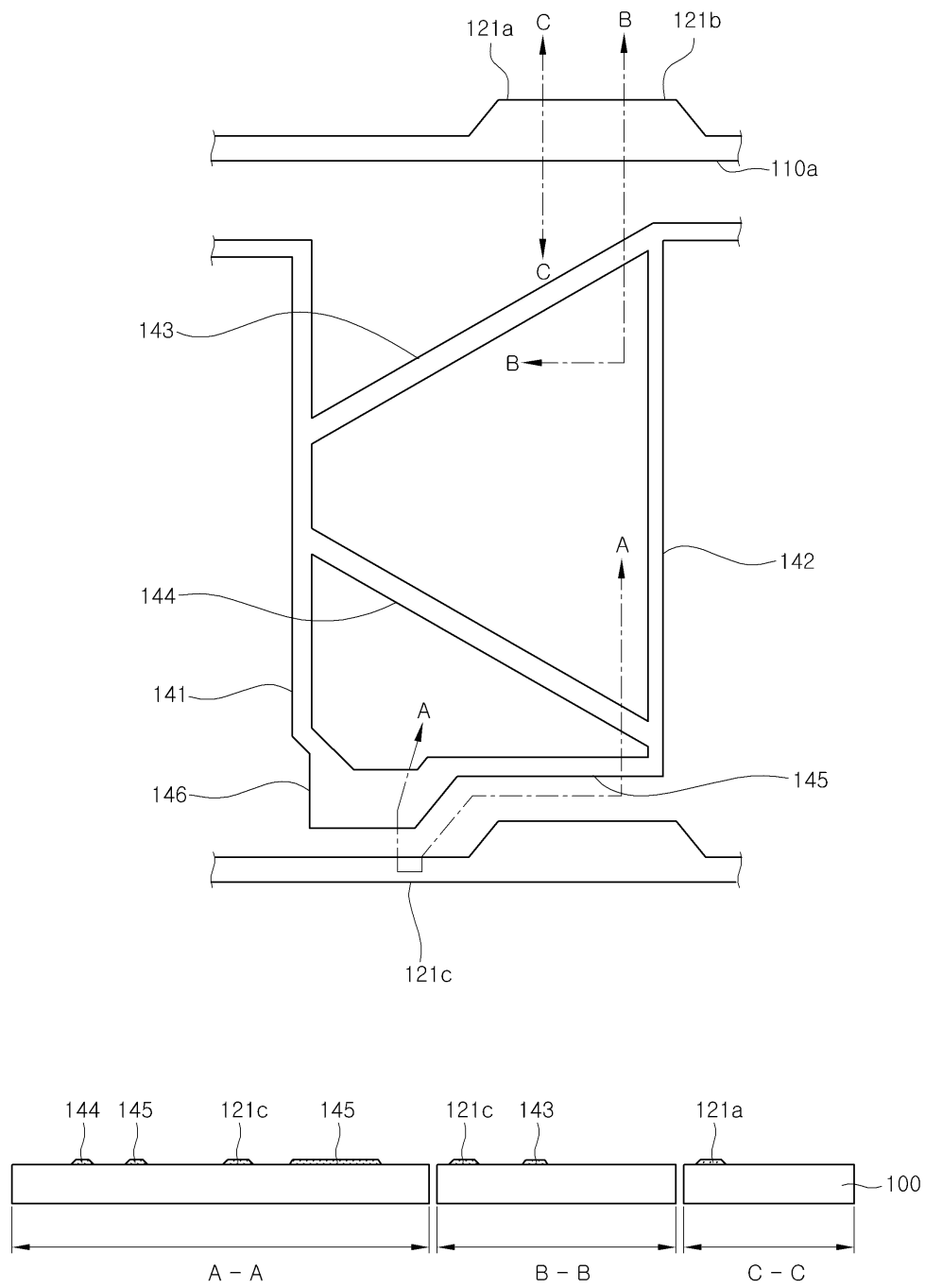
도면6



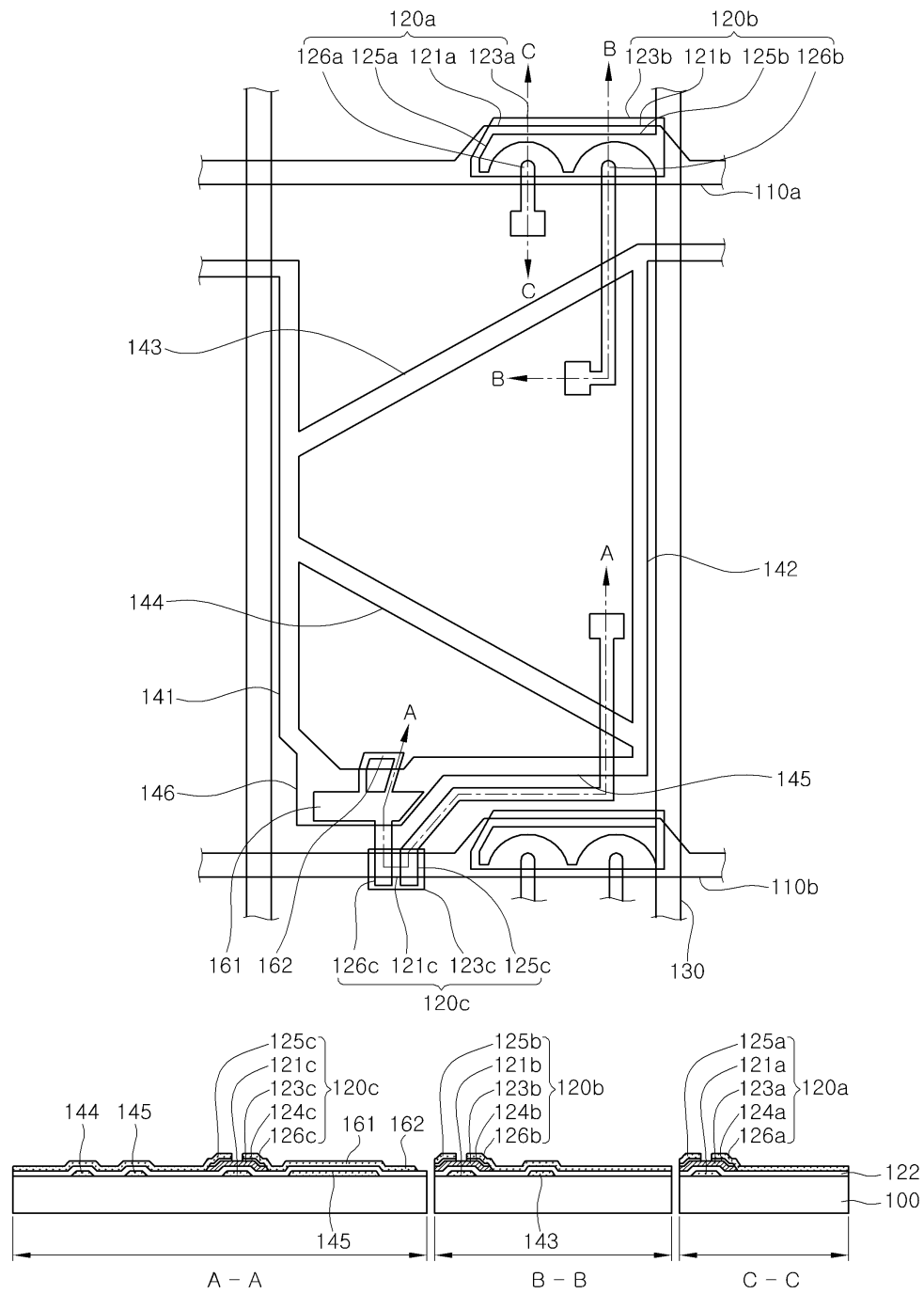
도면7



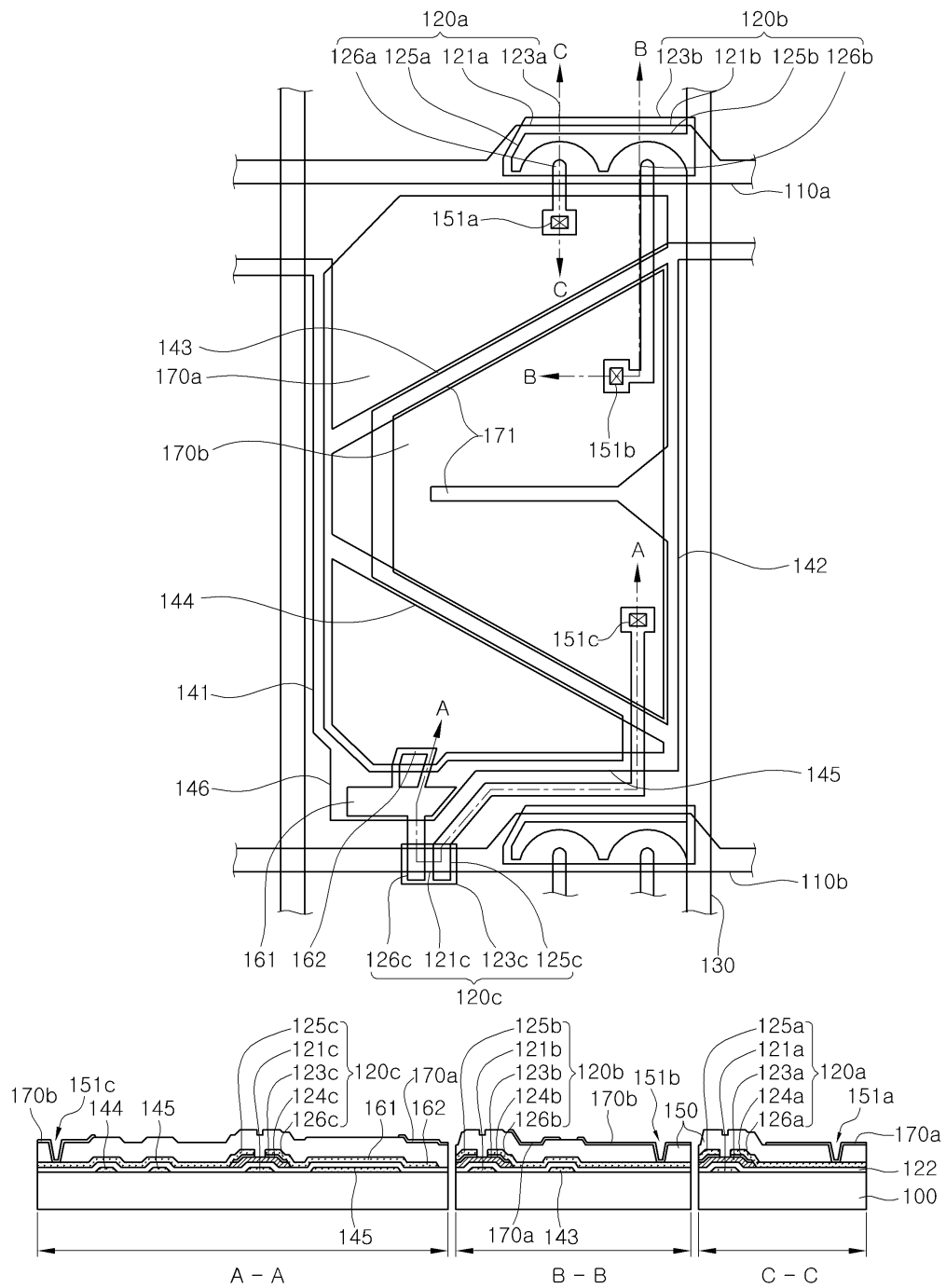
도면8



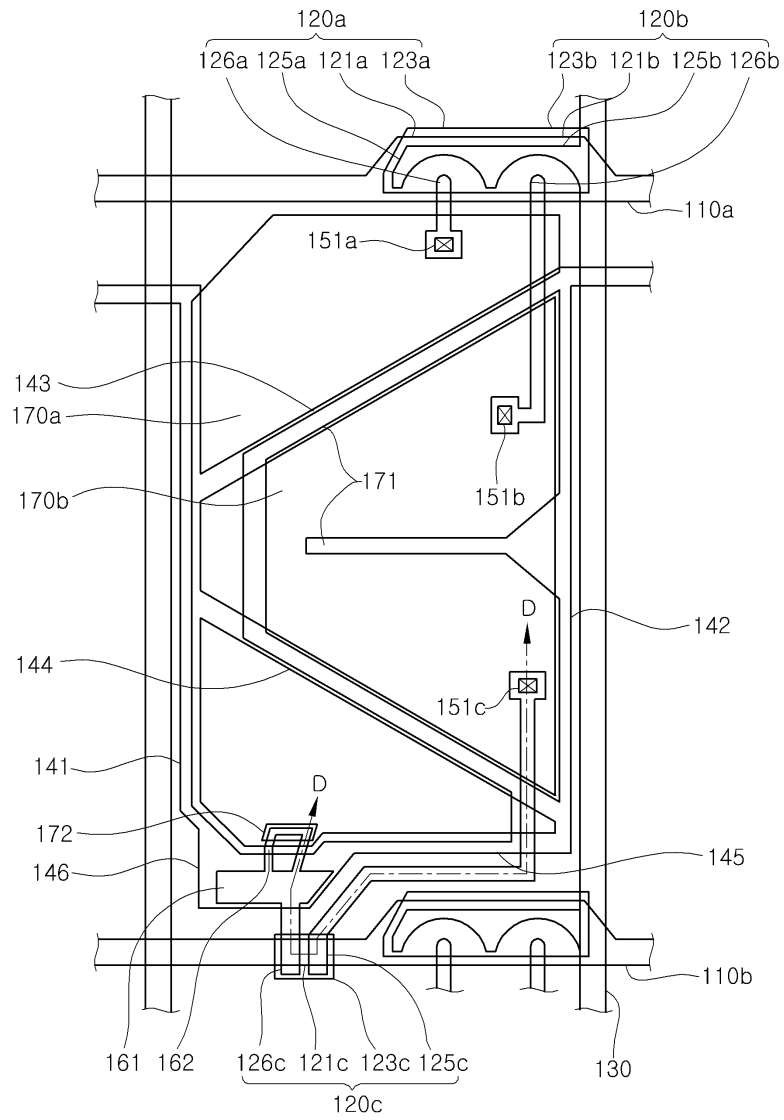
도면9



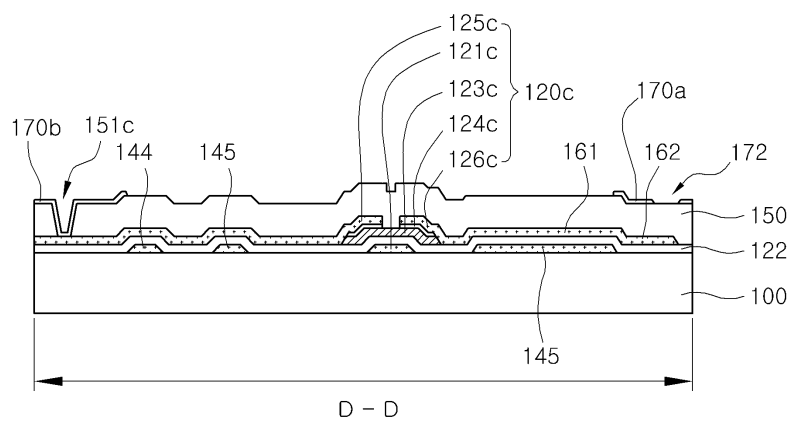
도면10



도면11



도면12



专利名称(译)	薄膜晶体管基板和包括其的显示装置		
公开(公告)号	KR1020080064055A	公开(公告)日	2008-07-08
申请号	KR1020070000782	申请日	2007-01-03
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	YOO SEUNG HOO 유승후 KANG SUNG MIN 강성민 DO HEE WOOK 도희욱 KIM HOON 김훈 MOON HYUN CHEOL 문현철 YOU HYE RAN 유혜란		
发明人	유승후 강성민 도희욱 김훈 문현철 유혜란		
IPC分类号	G02F1/136		
CPC分类号	G02F1/136213 G02F1/134309		
其他公开文献	KR101309777B1		
外部链接	Espacenet		

摘要(译)

提供了用于改善余像和可见度的薄膜晶体管基板和液晶显示器。电荷上升电容器增加第一像素电容器的第一像素电极的电荷量，电荷下降第二像素电容器的第二像素电极的电荷量。充电电容器的延伸电极部分以环形格式制成，并且可以减小由于制造工艺的对准误差引起的第一像素电极之间的重复区域与延伸电极部分的偏差的大小。显示面板，电荷共享，充电，充电，重叠电极部分和延伸电极部分。

