



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0059889
(43) 공개일자 2008년07월01일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0133795

(22) 출원일자 2006년12월26일

심사청구일자 2008년03월14일

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

양준영

경기도 부천시 원미구 상1동 행복한마을 서해아파트 2407-1303

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 8 항

(54) 박막트랜지스터 액정표시장치용 어레이 기판 및 그제조방법

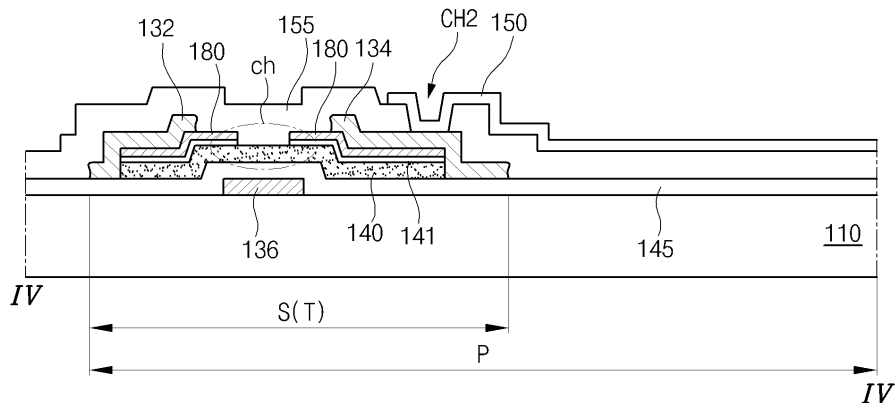
(57) 요약

본 발명은 박막트랜지스터 액정표시장치용 어레이 기판의 제조방법에 관한 것으로, 특히 게이트 전극이 최하부에 구성되는 바텀 게이트 방식의 액정표시장치용 어레이 기판에서, 소스 및 드레인 금속층을 제거하는 단계에서, 채널부의 CD(Critical dimension) 편차를 최소화하여 균일한 소자 특성을 갖는 박막트랜지스터를 제작하는 것에 관한 것이다.

이를 위해, 본 발명에서는 소스 및 드레인 금속층을 형성하기 전에 식각액에 반응이 잘 일어나지 않는 물질을 이용하여 배리어층을 형성하고 나서, 상기 배리어층 상부에 소스 및 드레인 금속층을 형성한다. 그러면, 상기 소스 및 드레인 금속층에 과식각(over etch)에 의해 편차가 발생하더라도, 그 하부의 배리어층에는 아무런 영향이 미치지 않기 때문에, 상기 배리어층과 그 하부의 오믹 콘택층을 건식식각 방식으로 설계된 CD에 대응하도록 제거하면, 채널부에서의 CD 편차를 최소화할 수 있다.

따라서, 전술한 구성을 통해 균일한 소자 특성을 갖는 박막트랜지스터 액정표시장치용 어레이 기판을 제작할 수 있다.

대표도 - 도4h



특허청구의 범위

청구항 1

기판을 준비하는 단계와;

상기 기판 상에 게이트 금속층을 형성하고, 이를 패터닝하여 게이트 전극과 게이트 배선을 형성하는 단계와;

상기 게이트 전극과 게이트 배선이 형성된 기판 상부에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 상부에 순수 비정질 실리콘층, 불순물 비정질 실리콘층과, 도전성 금속층을 차례로 형성하고 이를 패터닝하여, 적층된 액티브층 및 오믹 콘택층과, 배리어층을 형성하는 단계와;

상기 액티브 및 오믹 콘택층과 배리어층 상부에 소스 및 드레인 금속층을 형성하는 단계와;

상기 소스 및 드레인 금속층을 습식식각으로 제거하여 데이터 배선과, 소스 전극 및 드레인 전극을 형성하는 단계와;

상기 소스 및 드레인 전극의 이격된 사이로 노출된 배리어층과 그 하부의 오믹 콘택층을 건식식각으로 제거하여 액티브층을 노출하는 단계와;

상기 데이터 배선과, 소스 및 드레인 전극이 형성된 기판 상부에 드레인 콘택홀을 포함하는 보호막을 형성하는 단계와;

상기 보호막 상부에 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉되는 화소 전극을 형성하는 단계를 포함하는 액정표시장치용 어레이 기판의 제조방법.

청구항 2

제 1 항에 있어서,

상기 소스 및 드레인 금속층은 구리(Cu), 구리 합금(CuTi), 알루미늄(Al) 및 알루미늄 합금(AlNd)을 포함하는 도전성 금속 그룹 중 선택된 하나 또는 그 이상으로 형성되는 액정표시장치용 어레이 기판의 제조방법.

청구항 3

제 1 항에 있어서,

상기 배리어층은 상기 소스 및 드레인 금속층을 습식식각하는 식각액에 반응하지 않는 것을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법.

청구항 4

제 1 항에 있어서,

상기 배리어층, 액티브층과 오믹 콘택층은 도전성 금속층과, 그 하부의 불순물 비정질 실리콘층과 순수 비정질 실리콘층을 건식식각 공정으로 동시에 패터닝하여 형성하는 것을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법.

청구항 5

제 1 항에 있어서,

상기 배리어층은 몰리브덴(Mo), 몰리브덴 합금(MoTi)을 포함하는 도전성 금속 그룹 중에서 선택된 하나로 형성되는 액정표시장치용 어레이 기판의 제조방법.

청구항 6

기판과;

상기 기판 상에 일 방향으로 구성된 게이트 배선 및 게이트 전극과;

상기 게이트 배선과 수직하게 교차하는 데이터 배선과;

상기 게이트 배선과 데이터 배선의 교차지점에 구성되고, 상기 게이트 전극과 그 일부가 중첩되는 섬형상의 액티브층과, 상기 액티브층의 상부에 제 1의 거리로 이격되어 적층된 오믹 콘택층과;

상기 오믹 콘택층의 상부에 상기 제 1의 거리로 이격되어 적층된 배리어층과;

상기 이격된 배리어층의 상부에 구성되고, 상기 제 1의 거리보다 큰 제 2의 거리로 이격된 소스 전극 및 드레인 전극과;

상기 드레인 전극과 접촉하는 화소 전극

을 포함하는 액정표시장치용 어레이 기판.

청구항 7

제 6 항에 있어서,

상기 몰리브덴(Mo), 몰리브덴 합금(MoTi)을 포함하는 도전성 금속 그룹 중에서 선택된 하나로 구성되는 액정표시장치용 어레이 기판.

청구항 8

제 6 항에 있어서,

상기 소스 및 드레인 금속은 구리(Cu), 구리 합금(CuTi), 알루미늄(Al) 및 알루미늄 합금(AlNd)을 포함하는 도전성 금속 그룹 중 선택된 하나 또는 그 이상으로 구성되는 액정표시장치용 어레이 기판.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <13> 본 발명은 액정표시장치에 관한 것으로, 특히 소스 및 드레인 전극 하부에 위치하는 채널부의 CD(Critical Dimension) 편차를 최소화하여 소자 특성이 균일한 박막트랜지스터 액정표시장치용 어레이 기판을 제작하는 것에 관한 것이다.
- <14> 일반적으로, 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 지니고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.
- <15> 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.
- <16> 또한, 액정표시장치는 공통 전극이 형성된 컬러필터 기판과 화소 전극이 형성된 어레이 기판과, 두 기판 사이에 충전된 액정으로 이루어지며, 이러한 액정표시장치는 공통 전극과 화소 전극 간의 상하로 걸리는 수직전기장에 의해 구동시키는 방식이며 투과율과 개구율 등의 특성이 우수하다.
- <17> 이하, 첨부한 도면을 참조하여 종래의 박막트랜지스터 액정표시장치 및 그 제조방법에 대해 설명한다.
- <18> 도 1은 종래의 박막트랜지스터 액정표시장치용 어레이 기판의 단위 화소를 나타낸 평면도이다.
- <19> 도시한 바와 같이, 기판(10) 상에 일 방향으로 게이트 배선(20)과, 상기 게이트 배선(20)에서 연장된 게이트 전극(36)이 구성된다.
- <20> 그리고, 상기 게이트 배선(20)과 수직하게 교차하는 데이터 배선(30)과, 상기 데이터 배선(30)에서 연장된 소스 전극(32)과, 이와는 이격된 드레인 전극(34)이 구성된다.
- <21> 이때, 상기 게이트 배선(20)과 데이터 배선(30)이 교차하여 정의하는 영역을 화소 영역(P)이라 한다.
- <22> 상기 게이트 전극(36)과 소스 및 드레인 전극(32, 34) 사이에는 순수 비정질 실리콘으로 이루어진 액티브층(4

0)과, 불순물 비정질 실리콘으로 이루어진 오믹 콘택층(미도시)이 적층 구성된다.

- <23> 여기서, 상기 게이트 전극(36)과 액티브층(40) 및 오믹 콘택층(미도시)과 소스 및 드레인 전극(32, 34)을 포함하여 박막트랜지스터(T)가 이루어진다.
- <24> 그리고, 상기 드레인 전극(34)과 드레인 콘택홀(CH1)을 통해 연결되는 화소 전극(50)이 화소 영역(P)에 구성된다.
- <25> 이하, 첨부한 도면을 참조하여 종래의 박막트랜지스터 액정표시장치용 어레이 기판의 제조방법에 대해 설명한다.
- <26> 도 2a 내지 도 2d는 도 1의 II-II선을 따라 절단하여 공정 순서에 따라 나타낸 단면도이다.
- <27> 도 2a에 도시한 바와 같이, 기판(10) 상에 게이트 금속층(미도시)을 형성하고, 이를 제 1 마스크 공정으로 패터닝하게 되면, 일 방향으로 게이트 배선(도 1의 20)과, 상기 게이트 배선에서 연장된 게이트 전극(36)이 형성된다.
- <28> 다음으로, 상기 게이트 전극(36)과 게이트 배선(도 1의 20)이 형성된 기판(10) 상부 전면에 질화 실리콘(SiNx) 또는 산화 실리콘(SiO_2) 등과 같은 무기 절연물질 그룹 중에서 선택된 하나로 게이트 절연막(45)이 형성된다.
- <29> 도 2b에 도시한 바와 같이, 상기 게이트 절연막(45) 상부에 순수 비정질 실리콘층(미도시)과 불순물 비정질 실리콘층(미도시)을 적층 형성하고, 이를 제 2 마스크 공정으로 패터닝하게 되면, 상기 게이트 전극(36)과 그 일부가 중첩되는 아일랜드 형상의 액티브층(40)과 오믹 콘택층(41)이 형성된다.
- <30> 도 2c에 도시한 바와 같이, 상기 액티브 및 오믹 콘택층(40, 41)이 형성된 기판(10) 상에 구리(Cu), 알루미늄(Al) 및 알루미늄 합금(AlNd)과 같은 도전성 금속 그룹 중 선택된 하나 또는 그 이상으로 소스 및 드레인 금속층(미도시)을 형성하고, 이를 제 3 마스크 공정으로 패터닝하게 되면, 상기 게이트 배선(도 1의 20)과 수직하게 교차하는 데이터 배선(도 1의 30)과, 상기 데이터 배선에서 연장된 소스 전극(32)과, 이와는 이격된 드레인 전극(34)이 형성된다.
- <31> 이때, 상기 소스 및 드레인 전극(32, 34)을 마스크로 하여, 그 하부로 드러난 오믹 콘택층(41)을 제거하여, 이 부분을 채널(channel: ch)로 활용한다.
- <32> 도 2d에 도시한 바와 같이, 상기 소스 및 드레인 전극(32, 34)과 데이터 배선(도 1의 30)이 형성된 기판(10) 상부에 질화 실리콘(SiNx) 또는 산화 실리콘(SiO_2) 등과 같은 무기 절연물질 그룹 중에서 선택된 하나로 보호막(55)을 형성한다.
- <33> 그리고 나서, 상기 드레인 전극(34)의 일부분에 대응하는 보호막(55)을 제 4 마스크 공정으로 패터닝하게 되면, 상기 드레인 전극(34)의 일부가 노출되는 드레인 콘택홀(CH1)이 형성된다.
- <34> 다음으로, 상기 드레인 콘택홀(CH1)을 포함하는 보호막(55) 상부에 투명한 도전성 금속층(미도시)을 형성하고, 이를 제 5 마스크 공정으로 패터닝하게 되면, 상기 드레인 전극(34)과 접촉되는 화소 전극(50)이 화소 영역(P)에 형성된다.
- <35> 이상으로, 전술한 공정을 통해 종래의 박막트랜지스터 액정표시장치용 어레이 기판을 제작할 수 있다.
- <36> 그러나, 전술한 제조과정 중, 제 3 마스크 공정 단계인 채널(ch)을 형성하는 과정에서, 소스 및 드레인 금속층은 구리(Cu), 알루미늄(Al) 및 알루미늄 합금(AlNd)이 이용되며, 습식식각(wet etching) 방식으로 진행된다.
- <37> 이때, 전술한 습식식각 공정을 진행하는 과정에서, 소스 및 드레인 금속층이 과식각(over etch)되고, 이로 인해 소스 및 드레인 전극의 이격 영역, 즉 채널(ch)부의 길이가 달라질 수 있어 채널(ch)부에서의 CD 편차가 발생된다.
- <38> 이때, 이러한 CD 편차는 박막트랜지스터의 특성을 저해하는 요인으로 작용한다.
- <39> 이에 대해, 첨부한 도면을 참조하여 상세히 설명한다.
- <40> 도 3a 내지 도 3d는 전술한 제 3 마스크 공정 단계를 세분화하여 나타낸 단면도로, 동일한 명칭에 대해서는 동일한 도면 번호를 부여하였다.
- <41> 도 3a에 도시한 바와 같이, 상기 소스 및 드레인 금속층(65)이 형성된 기판(10) 상부 전면에 감광층(70)을 형성하고, 상기 감광층(70)과 이격된 상부에 마스크(M)를 정렬하는 단계를 진행한다.

- <42> 이때, 상기 감광층(70)은 노광 및 현상되지 않는 부분이 패턴으로 남는 포지티브 타입(positive type)을 이용할 수 있다.
- <43> 여기서, 상기 스위칭 영역(S)에 대응하여 양 차단부(CA) 사이에 투과부(AA)를 구성하고, 이를 제외한 영역에 투과부(AA)를 구성한다. 이와 동시에, 도면으로 제시하지는 않았지만, 데이터 배선(도 1의 30)이 형성될 영역에 대응하여 차단부(CA)를 구성한다.
- <44> 다음으로, 상기 마스크(M)와 이격된 상부에서 노광 및 현상 공정을 진행한다.
- <45> 도 3b에 도시한 바와 같이, 전술한 노광 및 현상 공정을 진행하면, 상기 차단부(CA)에 대응하는 감광층(70)은 그대로 존재하게 되고, 투과부(AA)에 대응하는 감광층(70)은 완전히 제거된다.
- <46> 다음으로, 도 3c에 도시한 바와 같이, 상기 남겨진 감광층(70)을 마스크로 하여, 그 하부로 노출된 소스 및 드레인 금속층(65)을 식각하는 단계를 진행한다.
- <47> 이때, 일반적으로 상기 소스 및 드레인 금속층(65)으로 이용되는 물질이 구리(Cu), 알루미늄(Al) 및 알루미늄 합금(AlNd)일 경우, 습식 식각(wet etching)을 이용하게 된다.
- <48> 그러나, 상기 소스 및 드레인 금속층(65)을 습식식각 공정으로 진행하는 단계에서, 상기 감광층(70) 하부로 노출된 소스 및 드레인 금속층(65)이 식각액(etchant)에 영향을 받아 양측면부(B, C)가 과식각(over etch)에 의해 설계치 보다 크게 벗어나는 CD(critical dimension) 편차가 발생된다.
- <49> 다음으로, 상기 소스 전극(32)과 드레인 전극(34)을 이격한 사이로 드러난 오믹 콘택층(41)을 제거하여 액티브층(40)을 노출하는 단계를 진행하게 된다.
- <50> 그러나, 이미 소스 및 드레인 금속층(65)에 과식각(over etch)이 발생하여 CD 편차가 발생된 상태에서, 그 하부로 CD 편차에 대응하여 노출된 오믹 콘택층(41)을 건식식각(dry etching) 공정으로 제거함으로 인해, 전체적인 채널(ch)부의 CD 편차가 발생하는 문제가 생긴다.
- <51> 다음으로, 도 3d에 도시한 바와 같이, 남겨진 감광층(70)을 애싱(ashing) 및 스트립(strip) 공정으로 제거하는 단계를 진행하면, 데이터 배선(도 1의 30)과, 소스 전극(32) 및 드레인 전극(34)이 형성된다.
- <52> 전술한 바와 같이, 소스 및 드레인 전극(32, 34)을 형성하는 과정에서, 통상 CD(critical dimension)를 5 μ m의 범위에서 설계하게 되지만, 전술한 공정으로 인해 CD가 양측으로 2 μ m 이상 씩 벗어나서 형성될 경우, 소자 특성의 균일도(uniformity)를 저하시키는 요인이 되어 패널 상에 불량을 야기한다.
- <53> 또한, 도면으로 제시하지는 않았지만, 공통 전극과 화소 전극을 동일 평면상에 구성하는 횡전계 방식과 더불어 종래의 액정표시장치용 어레이 기관에서는 각각의 어레이 배선을 제작할 경우, 전술한 공정으로 인해 각 배선 폭(width)이 감소되어 신호 지연 등과 같은 문제가 발생한다.

발명이 이루고자 하는 기술적 과제

- <54> 본 발명은 전술한 문제를 해결하기 위해 안출된 것으로, 본 발명에 따른 박막트랜지스터 액정표시장치용 어레이 기관에서는 소스 및 드레인 금속층을 형성하기 전 단계에 식각액에 반응이 잘 일어나지 않는 도전성 금속으로 배리어층을 형성한다.
- <55> 이러한 구성은 식각액에 의해 소스 및 드레인 금속층에 과식각이 발생하더라도, 그 하부의 배리어층에는 아무런 영향이 미치지 않게 된다. 따라서, 이러한 배리어층을 그 하부의 오믹 콘택층과 함께 건식식각 공정으로 설계치에 대응하도록 제거하는 것을 통해, 채널부에서의 CD(Critical Dimension) 편차를 최소화하는 것을 목적으로 한다.

발명의 구성 및 작용

- <56> 전술한 목적을 달성하기 위한 본 발명에 따른 박막트랜지스터 액정표시장치용 어레이 기관의 제조방법은 기관을 준비하는 단계와, 상기 기관 상에 게이트 금속층을 형성하고, 이를 패턴하여 게이트 전극과 게이트 배선을 형성하는 단계와, 상기 게이트 전극과 게이트 배선이 형성된 기관 상부에 게이트 절연막을 형성하는 단계와;
- <57> 상기 게이트 절연막 상부에 순수 비정질 실리콘층, 불순물 비정질 실리콘층과, 도전성 금속층을 차례로 형성하고 이를 패턴하여, 적층된 액티브층 및 오믹 콘택층과, 배리어층을 형성하는 단계와, 상기 액티브 및 오믹 콘택층과 배리어층 상부에 소스 및 드레인 금속층을 형성하는 단계와, 상기 소스 및 드레인 금속층을 습식식각으로

제거하여 데이터 배선과, 소스 전극 및 드레인 전극을 형성하는 단계와;

- <58> 상기 소스 및 드레인 전극의 이격된 사이로 노출된 배리어층과 그 하부의 오믹 콘택층을 건식식각으로 제거하여 액티브층을 노출하는 단계와, 상기 데이터 배선과, 소스 및 드레인 전극이 형성된 기판 상부에 드레인 콘택홀을 포함하는 보호막을 형성하는 단계와, 상기 보호막 상부에 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉되는 화소 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.
- <59> 이때, 상기 소스 및 드레인 금속층은 구리(Cu), 구리 합금(CuTi), 알루미늄(Al) 및 알루미늄 합금(AlNd)을 포함하는 도전성 금속 그룹 중 선택된 하나 또는 그 이상으로 형성된다.
- <60> 상기 배리어층은 상기 소스 및 드레인 금속층을 습식식각하는 식각액에 반응하지 않는 것을 특징으로 하고, 상기 배리어층, 액티브층과 오믹 콘택층은 도전성 금속층과, 그 하부의 불순물 비정질 실리콘층과 순수 비정질 실리콘층을 건식식각 공정으로 동시에 패터하여 형성하는 것을 특징으로 한다.
- <61> 또한, 상기 배리어층은 몰리브덴(Mo), 몰리브덴 합금(MoTi)을 포함하는 도전성 금속 그룹 중에서 선택된 하나로 형성된다.
- <62> 진술한 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 어레이 기판은 기판과, 상기 기판 상에 일 방향으로 구성된 게이트 배선 및 게이트 전극과, 상기 게이트 배선과 수직하게 교차하는 데이터 배선과, 상기 게이트 배선과 데이터 배선의 교차지점에 구성되고, 상기 게이트 전극과 그 일부가 중첩되는 섬형상의 액티브층과, 상기 액티브층의 상부에 제 1의 거리로 이격되어 적층된 오믹 콘택층과;
- <63> 상기 오믹 콘택층의 상부에 상기 제 1의 거리로 이격되어 적층된 배리어층과, 상기 이격된 배리어층의 상부에 구성되고, 상기 제 1의 거리보다 큰 제 2의 거리로 이격된 소스 전극 및 드레인 전극과, 상기 드레인 전극과 접촉하는 화소 전극을 포함하는 것을 특징으로 한다.
- <64> 이때, 상기 몰리브덴(Mo), 몰리브덴 합금(MoTi)을 포함하는 도전성 금속 그룹 중에서 선택된 하나로 구성되고, 상기 소스 및 드레인 금속층은 구리(Cu), 구리 합금(CuTi), 알루미늄(Al) 및 알루미늄 합금(AlNd)을 포함하는 도전성 금속 그룹 중 선택된 하나 또는 그 이상으로 구성되는 것을 특징으로 한다.
- <65> 이하, 첨부한 도면을 참조하여 본 발명에 따른 박막트랜지스터 액정표시장치용 어레이 기판의 제조방법에 대해 설명한다.
- <66> 본 발명에 따른 박막트랜지스터 액정표시장치용 어레이 기판의 평면도는 도 1과 그 구성에 있어 동일하므로, 이에 대한 설명은 생략한다.
- <67> 본 발명에서는 소스 및 드레인 금속층을 형성하기에 앞서 식각액에 반응이 잘 일어나지 않는 도전성 금속 물질을 이용하여 배리어층을 형성한다. 이때, 상기 배리어층은 소스 및 드레인 금속층을 식각액으로 제거하는 과정에서, 소스 및 드레인 금속층의 측면부에 과식각이 발생하더라도, 그 하부의 배리어층에는 아무런 영향을 미치지 않는다.
- <68> 따라서, 상기 배리어층과 그 하부의 오믹 콘택층을 건식식각으로 제거하게 되면, 채널부에서의 CD(critical dimension) 편차를 방지할 수 있고, 이를 통해 균일한 소자 특성을 갖는 박막트랜지스터 액정표시장치용 어레이 기판을 제작할 수 있다.
- <69> 도 4a 내지 도 4i는 본 발명에 따른 박막트랜지스터 액정표시장치용 어레이 기판의 단위 화소를 나타낸 단면도로, 도 1의 II-II선을 따라 절단한 단면과 동일한 바, 도 4a 내지 도 4i에서는 IV-IV선으로 나타낸다.
- <70> 도 4a에 도시한 바와 같이, 기판(110) 상에 게이트 금속층(미도시)을 형성하고, 이를 제 1 마스크 공정으로 패터하여, 일 방향으로 게이트 배선(도 1의 20)과 상기 게이트 배선에서 연장된 게이트 전극(136)을 형성한다.
- <71> 상기 게이트 전극(136)과 게이트 배선이 형성된 기판(110) 상부 전면에 질화 실리콘(SiNx) 또는 산화 실리콘(SiO₂) 등과 같은 무기 절연물질 그룹 중에서 선택된 하나로 게이트 절연막(145)을 형성한다.
- <72> 도 4b에 도시한 바와 같이, 상기 게이트 절연막(145) 상부에 순수 비정질 실리콘층(미도시)과 불순물 비정질 실리콘층(미도시)과 식각액(etchant)에 반응이 일어나지 않는 도전성 금속층(미도시)을 차례로 적층 형성하고, 이를 제 2 마스크 공정으로 패터하여, 상기 게이트 전극(136)과 중첩되게 아일랜드 형상으로 액티브층(140) 및 오믹 콘택층(141)과 배리어층(barrier layer, 180)을 형성한다.
- <73> 여기서, 상기 배리어층(180)은 후속 공정으로 진행되는 소스 및 드레인 금속층(도 4c의 165)을 패터하는 식각액

(etchant)에 반응이 일어나지 않으며, 건식식각이 가능한 금속 그룹 중 선택된 하나로 형성한다. 이러한 금속으로는 몰리브덴(Mo), 몰리브덴 합금(MoTi)을 예로 들 수 있다.

- <74> 도 4c 내지 도 4g는 제 3 마스크 공정 단계를 세부적으로 나타낸 단면도이다.
- <75> 도 4c에 도시한 바와 같이, 상기 액티브 및 오믹 콘택층(140, 141)과 배리어층(180)이 형성된 기판(110) 상부에 구리 합금(CuTi), 알루미늄(Al) 및 알루미늄 합금(AlNd)과 같은 도전성 금속 그룹 중 선택된 하나 또는 그 이상으로 소스 및 드레인 금속층(165)을 형성한다.
- <76> 여기서, 순수한 구리(Cu)는 Ti 계열의 금속을 함유하는 구리 합금(CuTi)을 이용하여 오염 및 확산(diffusion) 등을 막는 것이 바람직하다.
- <77> 다음으로, 상기 소스 및 드레인 금속층(165)이 형성된 기판(110) 상부 전면에 감광층(170)을 형성하고, 상기 감광층(170)과 이격된 상부에 마스크(M)를 정렬하는 단계를 진행한다.
- <78> 여기서, 상기 스윗칭 영역(S)에 대응하여 양 차단부(CA) 사이에 투과부(AA)를 구성하고, 이를 제외한 영역에 투과부(AA)를 구성한다. 이와 동시에, 도면으로 제시하지는 않았지만, 데이터 배선(도 1의 30)이 형성될 영역에 대응하여 차단부(CA)를 구성한다.
- <79> 다음으로, 상기 마스크(M)와 이격된 상부에서 노광 및 현상하는 공정 단계를 진행한다.
- <80> 도 4d에 도시한 바와 같이, 전술한 노광 및 현상 공정을 진행하면, 상기 차단부(CA)에 대응하는 감광층(170)은 그대로 존재하게 되고, 투과부(AA)에 대응하는 감광층(170)은 완전히 제거된다.
- <81> 다음으로, 상기 남겨진 감광층(170)을 마스크로 하여, 그 하부로 노출된 소스 및 드레인 금속층(165)을 습식식각(wet etching) 공정으로 제거하는 단계를 진행한다.
- <82> 여기서, 본 발명에서는 소스 및 드레인 금속층(165) 하부에 배리어층(180)이 형성되어 있어, 상기 소스 및 드레인 금속층(165)의 측면부에 과식각(over etch)이 발생하더라도, 상기 배리어층(180)에는 아무런 영향이 미치지 않기 때문에, 후속 공정으로 진행되는 채널 형성 공정에서 균일한 CD(critical dimension)를 확보할 수 있다.
- <83> 이에 대해, 도 4e를 참조하여 상세히 설명한다.
- <84> 도시한 바와 같이, 전술한 공정을 진행하여 상기 소스 및 드레인 금속층(도 4d의 165)을 패터닝하여, 그 하부로 배리어층(180)이 노출되도록 한다.
- <85> 이때, 상기 배리어층(180)은 소스 및 드레인 금속층(도 4d의 165)을 패터닝하는 식각액(etchant)에 반응이 일어나지 않기 때문에, 소스 및 드레인 전극(132, 134)에 과식각(over etch)이 발생하더라도, 그 하부의 배리어층(180)에는 아무런 영향이 미치지 않게 된다.
- <86> 또한, 상기 배리어층(180)은 도전성 금속으로 이루어지므로, 소스 및 드레인 전극(132, 134)과 오믹 콘택층(141)을 접촉시키는 역할을 할 수 있다.
- <87> 다음으로, 도 4f에 도시한 바와 같이, 상기 노출된 배리어층(180)과 그 하부의 오믹 콘택층(141)을 순차적으로 제거하여, 이 부분을 채널(ch)로 활용한다.
- <88> 이때, 상기 소스 및 드레인 전극(132, 134)의 양측면부(E, F)에 과식각이 발생하더라도, 상기 배리어층(180)과 오믹 콘택층(141)을 건식식각(dry etching) 방식으로 동시에 제거하여 설계된 수치에 맞게 CD를 형성하게 되면, 채널(ch)의 전체적인 CD에는 아무런 변화가 없게 된다.
- <89> 즉, 본 발명에서는 상기 배리어층(180)에 의해 상기 소스 및 드레인 전극(132, 134)의 측면부에서, 과식각(over etch)에 의해 소스 및 드레인 전극(132, 134) 간에 편차가 심하게 발생하더라도, 그 하부에 위치하는 배리어층(180)에는 아무런 영향을 받지 않기 때문에, 설계된 CD에 대응하는 배리어층(180)과 오믹 콘택층(141)을 차례로 건식식각 공정으로 제거하게 되면, 채널(ch)의 CD(critical dimension)를 균일하게 확보할 수 있다.
- <90> 다시 말해, 상기 배리어층(180)과 오믹 콘택층(141)의 식각 폭에 따라 채널(ch)의 CD가 정해지는 것이다.
- <91> 도 4g에 도시한 바와 같이, 전술한 건식식각 공정을 진행한 후, 남겨진 감광층(170)을 애싱(ashing) 및 스트립(strip) 공정으로 제거한다.
- <92> 다음으로, 도 4h에 도시한 바와 같이, 상기 소스 및 드레인 전극(132, 134)과 데이터 배선(도 1의 30)이 형성된 기판(110) 상부 전면에 질화 실리콘(SiNx) 또는 산화 실리콘(SiO₂) 등과 같은 무기 절연물질 그룹 중에서 선택

된 하나로 보호막(155)을 형성하고 나서, 상기 드레인 전극(134)의 일부에 대응하는 보호막(155)을 제 4 마스크 공정으로 패틴하여, 상기 드레인 전극(134)의 일부를 노출하는 드레인 콘택홀(CH2)을 형성한다.

<93> 다음으로, 상기 드레인 콘택홀(CH2)을 포함하는 보호막(155) 상부에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속을 증착하고 이를 제 5 마스크 공정으로 패틴하여, 상기 드레인 전극(134)과 접촉하는 화소 전극(150)을 화소 영역(P)에 형성한다.

<94> 이상으로, 전술한 공정을 통해 본 발명에 따른 박막트랜지스터 액정표시장치용 어레이 기판을 제작할 수 있다.

<95> 따라서, 본 발명에서는 소스 및 드레인 금속층을 형성하기에 앞서 식각액에 반응이 일어나지 않는 도전성 금속으로 배리어층을 형성하게 되면, 채널부에서 CD 편차를 최소화할 수 있어 소자 특성이 균일한 액정표시장치용 어레이 기판을 제작할 수 있다.

<96> 또한, 본 발명에서는 채널부에 대해서만 중점적으로 설명하였으나, 공통 전극과 화소 전극이 동일 평면상에 형성되는 횡전계 방식 액정표시장치용 어레이 기판에 각각의 어레이 배선을 형성하는 단계에서, 각 배선의 폭(width)을 일정하게 형성하는 것이 가능하기 때문에 신호 지연(signal delay) 등과 같은 문제를 방지할 수 있다.

<97> 그러나, 본 발명은 상기 실시예로 한정되지 않고, 본 발명의 취지를 벗어나지 않는 한도 내에서 다양하게 변경하여 실시할 수 있다.

<98> 일례로, 본 발명에 따른 박막트랜지스터 액정표시장치는 4 마스크 공정으로 제작되는 어레이 기판에도 동일하게 적용된다.

발명의 효과

<99> 본 발명에서는 소스 및 드레인 금속층을 형성하기에 앞서, 소스 및 드레인 금속층을 패틴하는 식각액에 반응이 일어나지 않는 도전성 금속으로 배리어층을 형성하는 것을 통해, 채널부에서의 CD(critical dimension) 편차를 최소화할 수 있다.

<100> 따라서, 소자 특성이 균일한 박막트랜지스터를 제작하는 것을 통해, 고화질의 액정표시장치를 제공하는 효과가 있다.

도면의 간단한 설명

<1> 도 1은 종래의 박막트랜지스터 액정표시장치용 어레이 기판의 단위 화소를 나타낸 평면도.

<2> 도 2a 내지 도 2d는 도 1의 II-II선을 따라 절단하여 공정 순서에 따라 나타낸 단면도.

<3> 도 3a 내지 도 3d는 제 3 마스크 공정을 세분화하여 공정 순서에 따라 나타낸 단면도.

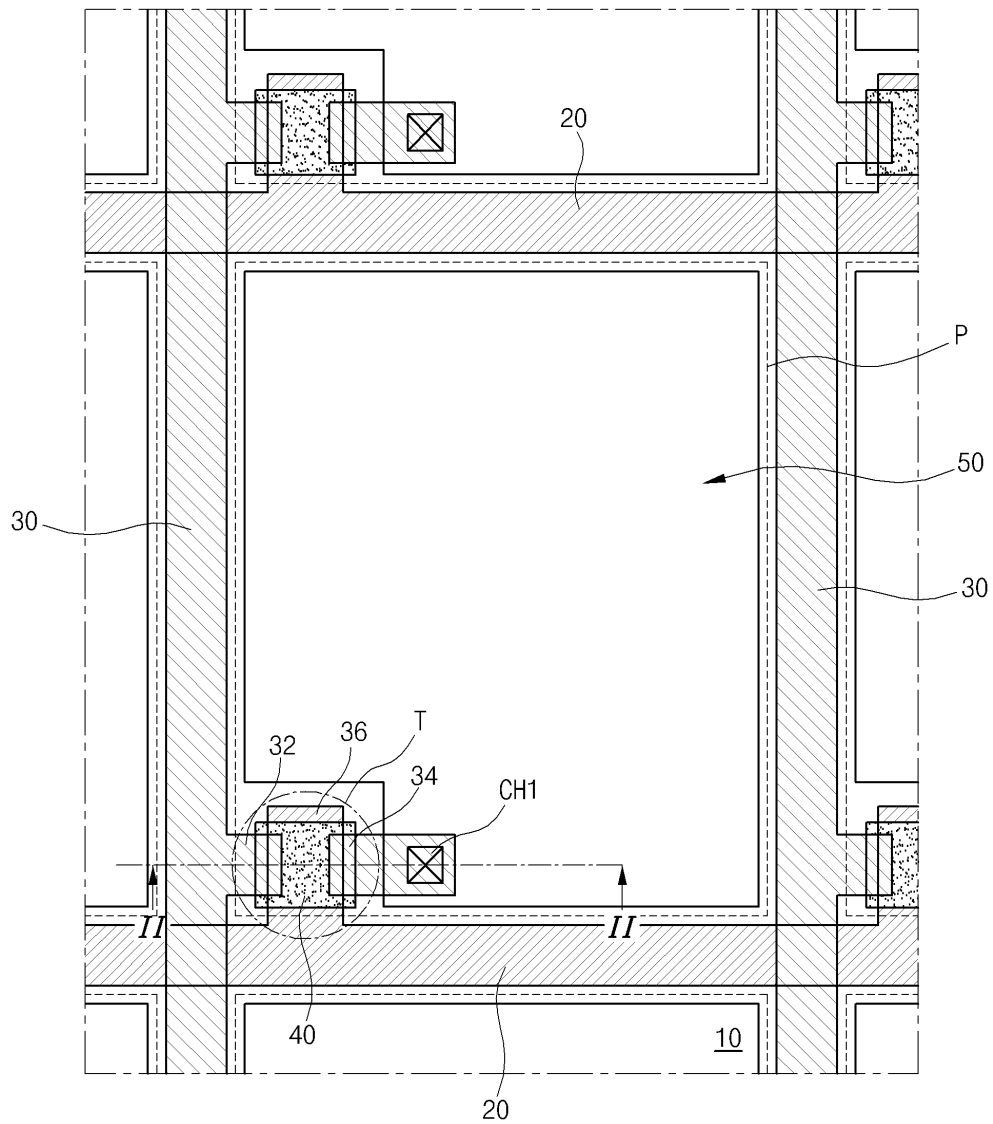
<4> 도 4a 내지 도 4h는 본 발명에 따른 박막트랜지스터 액정표시장치용 어레이 기판의 단위 화소를 나타낸 단면도로, 자세한 것은 도 1의 II-II선을 따라 절단하여 공정 순서에 따라 나타낸 단면도.

<5> * 도면의 주요부분에 대한 부호의 설명*

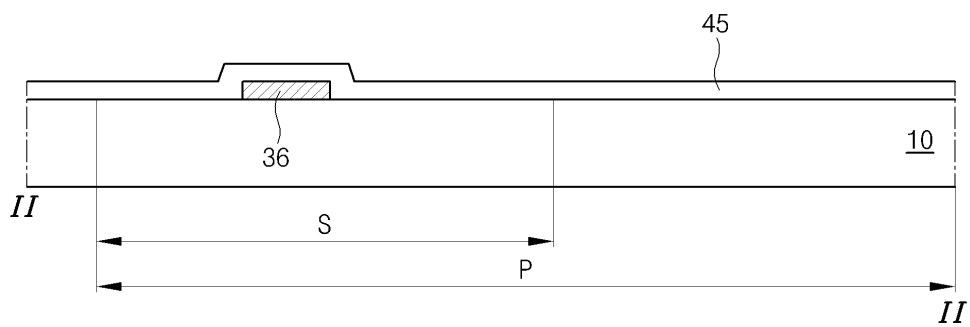
<6> 110 : 기판	132 : 소스 전극
<7> 134 : 드레인 전극	136 : 게이트 전극
<8> 140 : 액티브층	141 : 오믹 콘택층
<9> 145 : 게이트 절연막	150 : 화소 전극
<10> 155 : 보호막	180 : 배리어층
<11> CH2 : 드레인 콘택홀	Ch : 채널
<12> P : 화소 영역	

도면

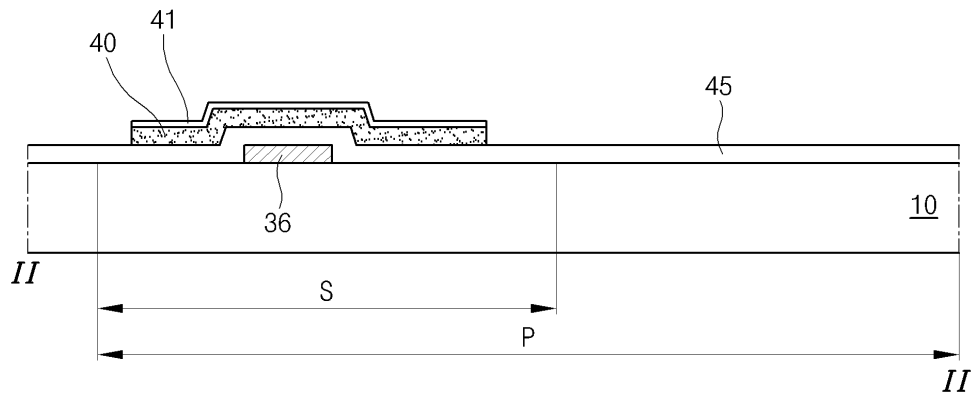
도면1



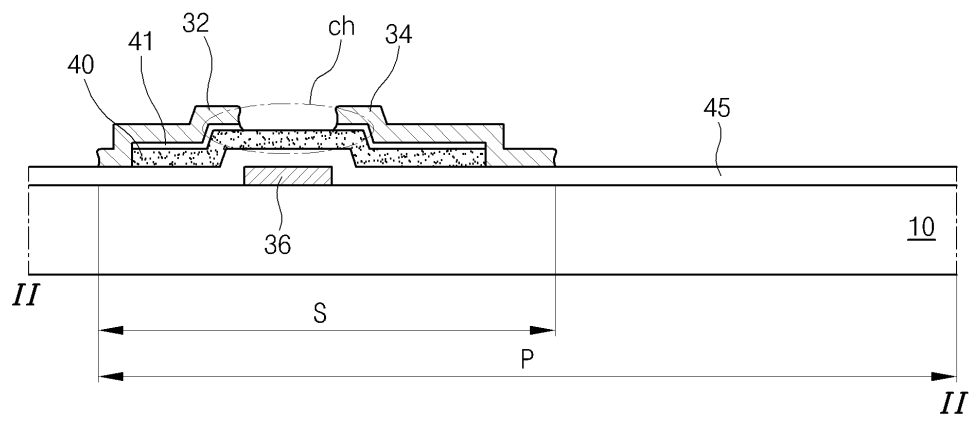
도면2a



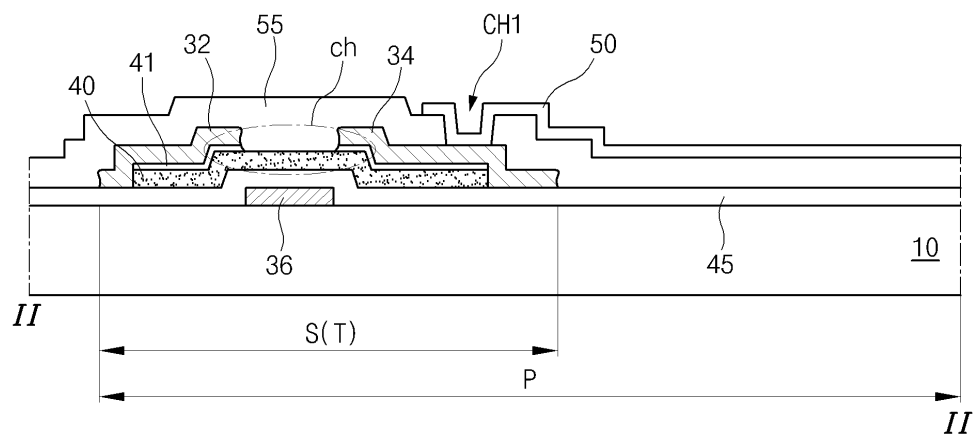
도면2b



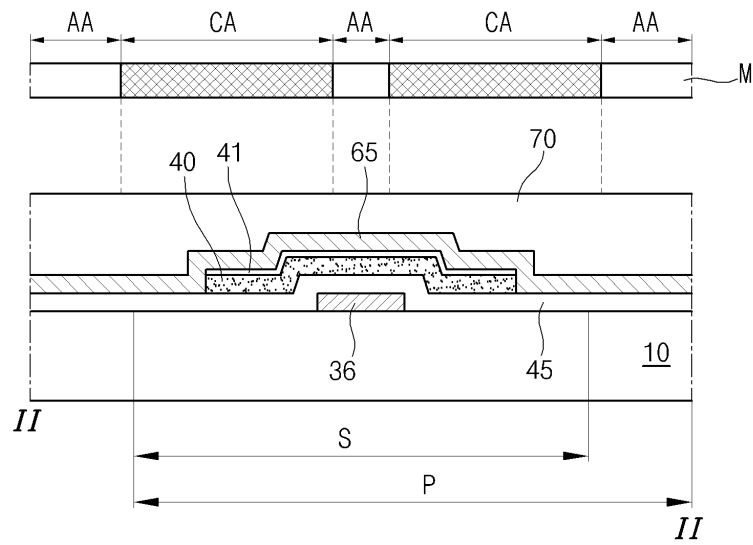
도면2c



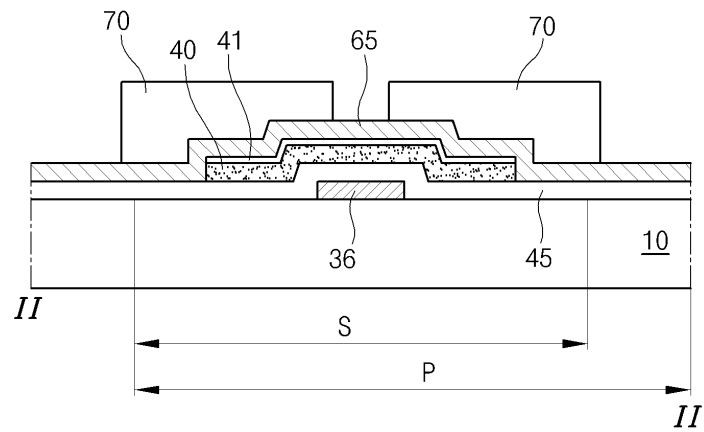
도면2d



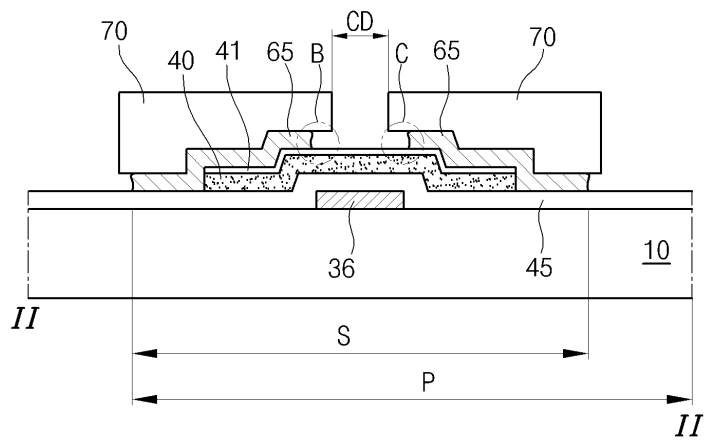
도면3a



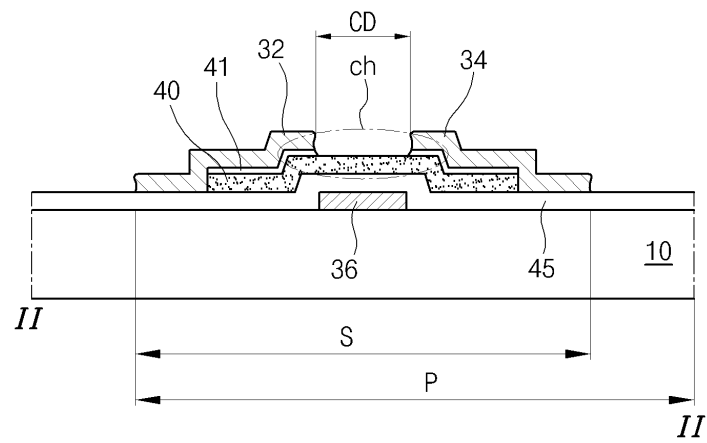
도면3b



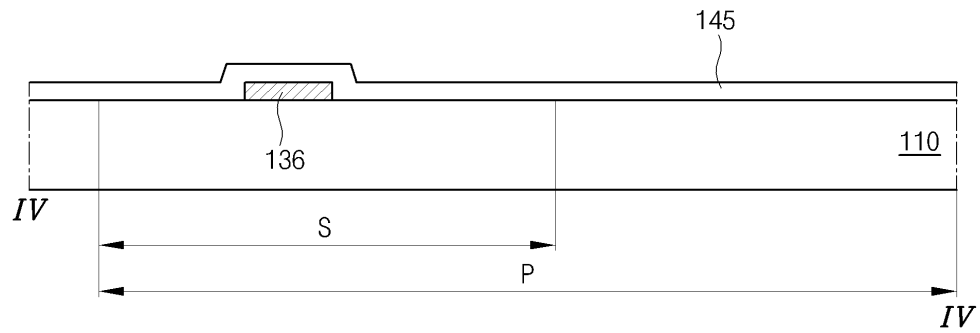
도면3c



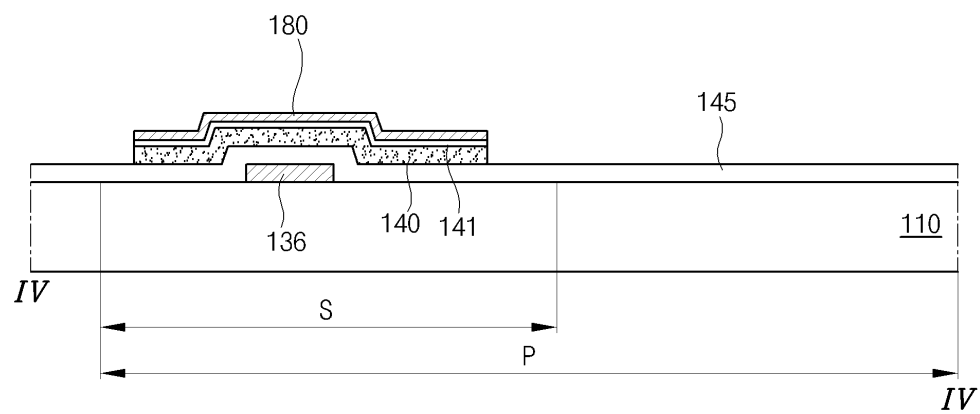
도면3d



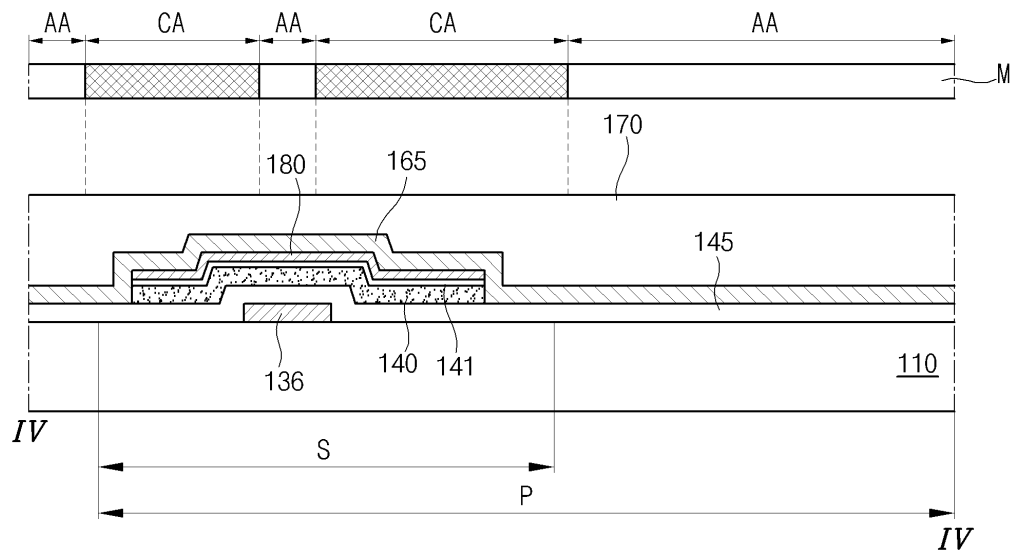
도면4a



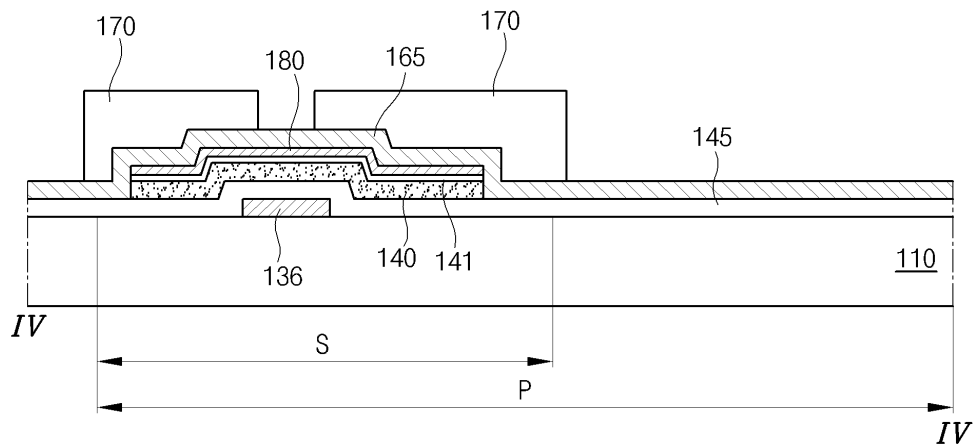
도면4b



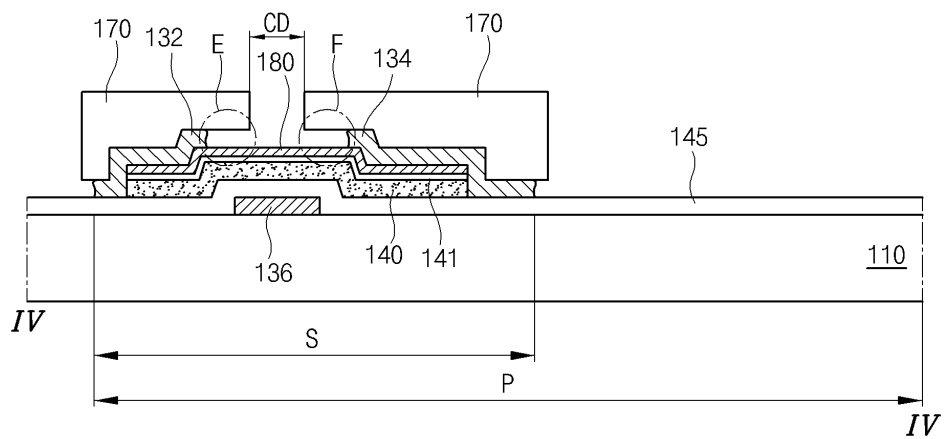
도면4c



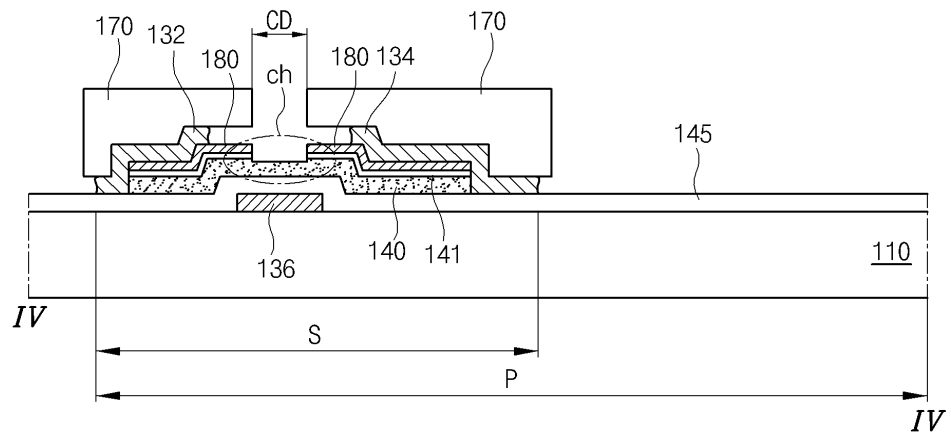
도면4d



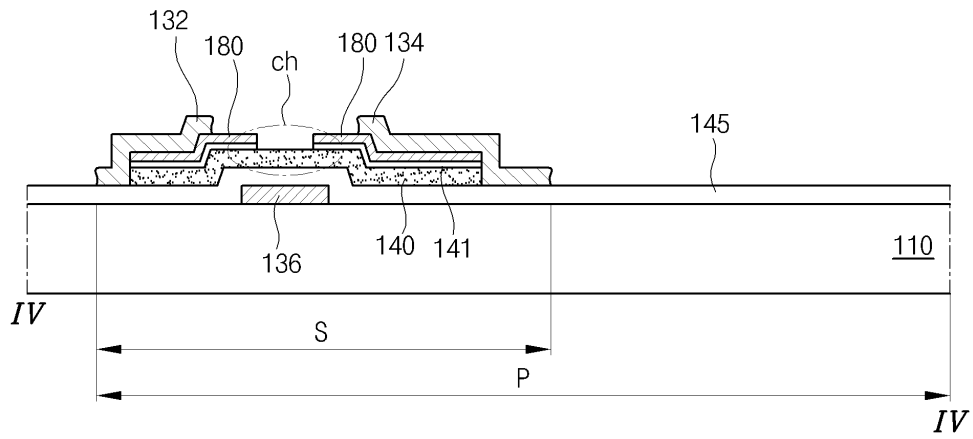
도면4e



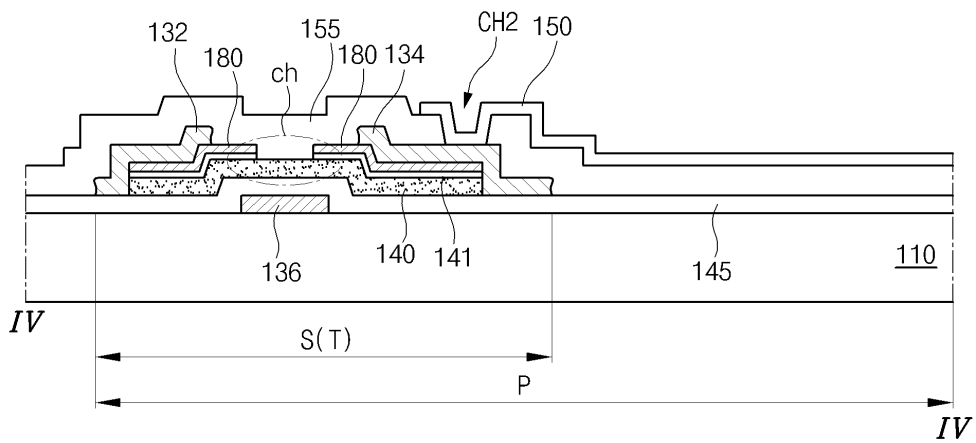
도면4f



도면4g



도면4h



专利名称(译)	用于薄膜晶体管液晶显示装置的阵列基板及其制造方法		
公开(公告)号	KR1020080059889A	公开(公告)日	2008-07-01
申请号	KR1020060133795	申请日	2006-12-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YANG JOON YOUNG		
发明人	YANG, JOON YOUNG		
IPC分类号	G02F1/136		
CPC分类号	H01L27/1214 H01L29/458 H01L29/66765 H01L27/12 H01L27/124		
其他公开文献	KR100937173B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种薄膜晶体管液晶显示器阵列基板的制作方法。特别地，在去除阵列基板中的源极和漏极金属层的步骤中，用于在栅极电极中配置的底栅极方法的液晶显示器是底部，它涉及使薄膜晶体管最小化CD（关键）尺寸）通道部分的偏差并具有均匀的设备特征。为此，在本发明中，在形成源极和漏极金属层之前，使用其中在蚀刻剂中不发生反应的材料形成阻挡层。然而，源极和漏极金属层形成在越过阻挡层上。然后，通过过蚀刻（过蚀刻）在源极和漏极金属层中发生偏差。然而，任何影响都不会到达下部的阻挡层。因此，如果去除下部的阻挡层和欧姆接触以对应于设计为干蚀刻模式的CD，则可以使通道部分处的CD漂移最小化。因此，可以制造通过该配置具有均匀器件特性的用于液晶显示器的薄膜晶体管阵列基板。

