



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0056812
(43) 공개일자 2008년06월24일

(51) Int. Cl.

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

(21) 출원번호 10-2006-0129826

(22) 출원일자 2006년12월19일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

박상현

충남 아산시 음봉면 삼일원앙아파트 102동 1104호

(74) 대리인

권혁수, 송윤희, 오세준

전체 청구항 수 : 총 10 항

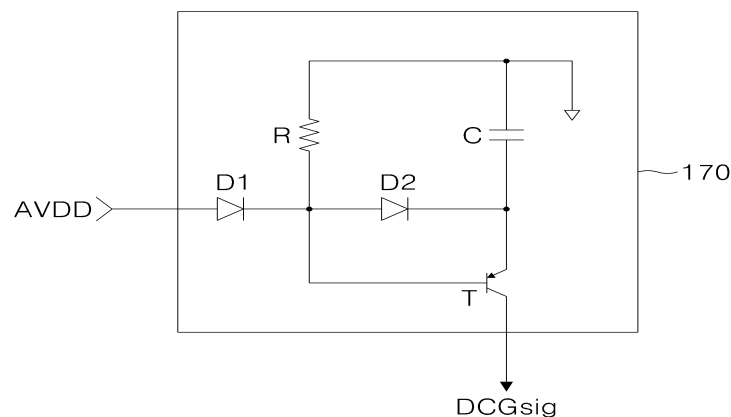
(54) 액정 표시 장치

(57) 요약

본 발명은 외부 전원 차단시, 디스차지 타임을 감소시키는 액정 표시 장치에 관한 것이다.

본 발명의 액정 표시 장치는, 외부 전원이 공급되면 제1 레벨의 전원 전압을 출력하고 외부 전원 공급이 차단되면 제2 레벨의 전원 전압을 출력하는 전원 공급부, 제1 레벨의 전원 전압이 입력되면 상기 제1 레벨의 전원 전압을 충전하고, 제2 레벨의 전원 전압이 입력되면 충전된 제1 레벨의 전원 전압을 디스차지 신호로 출력하는 디스차지부 및 게이트 방전 라인, 게이트 방전 라인에 연결되는 복수의 게이트 라인, 게이트 라인에 연결되는 복수의 박막 트랜지스터, 게조 표시 전압이 충전되며 박막 트랜지스터에 연결되는 액정 용량이 형성되며, 디스차지 신호가 게이트 방전 라인으로 제공되면, 박막 트랜지스터가 턴온되어 액정 용량에 충전된 게조 표시 전압이 방전되는 액정 패널을 포함한다.

대표도 - 도4



특허청구의 범위

청구항 1

외부 전원이 공급되면 제1 레벨의 전원 전압을 출력하고 상기 외부 전원 공급이 차단되면 제2 레벨의 전원 전압을 출력하는 전원 공급부;

상기 제1 레벨의 전원 전압이 입력되면 상기 제1 레벨의 전원 전압을 충전하고, 상기 제2 레벨의 전원 전압이 입력되면 상기 충전된 제1 레벨의 전원 전압을 디스차지 신호로 출력하는 디스차지부; 및

게이트 방전 라인, 상기 게이트 방전 라인에 연결되는 복수의 게이트 라인, 상기 게이트 라인에 연결되는 복수의 박막 트랜지스터, 게조 표시 전압이 충전되며 상기 박막 트랜지스터에 연결되는 액정 용량이 형성되며, 상기 디스차지 신호가 상기 게이트 방전 라인으로 제공되면, 상기 박막 트랜지스터가 턴온되어 상기 액정 용량에 충전된 게조 표시 전압이 방전되는 액정 패널;

을 포함하는 액정 표시 장치.

청구항 2

제 1 항에 있어서,

상기 제1 레벨은 상기 게조 표시 전압 생성에 이용되는 아날로그 전원 전압 레벨이고, 상기 제2 레벨은 접지 전압 레벨인 액정 표시 장치.

청구항 3

제 2 항에 있어서, 상기 디스차지부는,

상기 아날로그 전원 전압이 입력되는 애노드와 제1 노드에 연결되는 캐소드를 포함하는 제1 다이오드;

상기 제1 노드에 연결되는 애노드와 제2 노드에 연결되는 제2 다이오드;

일단이 상기 제1 노드에 연결되며, 타단이 접지단에 연결되는 저항;

일단이 상기 제2 노드에 연결되며, 타단이 상기 접지단에 연결되는 커패시터; 및

제어 단자가 상기 제1 노드에 연결되고, 입력 단자가 상기 제2 노드에 연결되며 출력 단자가 상기 게이트 방전 라인에 연결되는 스위칭 트랜지스터;를 포함하는

액정 표시 장치.

청구항 4

제 3 항에 있어서, 상기 스위칭 트랜지스터는 PNP 형 트랜지스터인

액정 표시 장치.

청구항 5

제 4 항에 있어서, 상기 게이트 방전 라인은

애노드가 상기 게이트 라인에 연결되고 캐소드가 상기 게이트 방전 라인에 연결되는 제1 다이오드와 애노드가 상기 게이트 방전 라인에 연결되고 캐소드가 상기 게이트 라인에 연결되는 제2 다이오드를 포함하는

액정 표시 장치.

청구항 6

제 4 항에 있어서, 상기 게이트 방전 라인은

애노드가 상기 게이트 라인에 연결되고, 캐소드가 상기 게이트 방전 라인에 연결되는 다이오드를 포함하는

액정 표시 장치.

청구항 7

제 1 항에 있어서,
상기 제1 레벨은 상기 게이트 라인에 인가되는 게이트 온 전압 레벨이고,
상기 제2 레벨은 접지 전압 레벨인
액정 표시 장치.

청구항 8

외부 전원이 공급되면 제1 레벨의 아날로그 전원 전압을 출력하고 상기 외부 전원 공급이 차단되면 제2 레벨의 아날로그 전원 전압을 출력하는 전원 공급부;
상기 제 1 레벨의 아날로그 전원 전압을 분압하여 감마 전압을 생성하는 감마 전압 생성부;
상기 감마 전압을 이용하여 계조 표시 전압을 생성하는 데이터 구동부;
상기 제1 레벨의 아날로그 전원 전압이 입력되면 상기 제1 레벨의 아날로그 전원 전압을 충전하고, 상기 제2 레벨의 아날로그 전원 전압이 입력되면 상기 충전된 제1 레벨의 아날로그 전원 전압을 디스차지 신호로 출력하는 디스차지부; 및
게이트 방전 라인, 상기 게이트 방전 라인에 연결되는 복수의 게이트 라인, 상기 게이트 라인에 연결되는 복수의 박막 트랜지스터, 상기 계조 표시 전압이 충전되며 상기 박막 트랜지스터에 연결되는 액정 용량이 형성되는 액정 패널;
을 포함하는 액정 표시 장치.

청구항 9

제 8 항에 있어서, 상기 디스차지부는
상기 아날로그 전원 전압이 입력되는 애노드와 제1 노드에 연결되는 캐소드를 포함하는 제1 다이오드;
상기 제1 노드에 연결되는 애노드와 제2 노드에 연결되는 제2 다이오드;
일단이 상기 제1 노드에 연결되며, 타단이 접지단에 연결되는 저항;
일단이 상기 제2 노드에 연결되며, 타단이 상기 접지단에 연결되는 커패시터; 및
제어 단자가 상기 제1 노드에 연결되고, 입력 단자가 상기 제2 노드에 연결되며 출력 단자가 상기 게이트 방전 라인에 연결되는 스위칭 트랜지스터;를 포함하는
액정 표시 장치.

청구항 10

제 9 항에 있어서, 상기 스위칭 트랜지스터는 PNP 형 트랜지스터인
액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <16> 본 발명은 액정 표시 장치에 관한 것으로서, 보다 상세하게는 외부 전원 차단시, 디스차지 타임을 감소시키는 액정 표시 장치에 관한 것이다.
- <17> 일반적으로 액정 표시 장치는 전계 생성 전극이 각각 형성된 박막 트랜지스터 기판과 컬러 필터 기판을 전극이

형성된 면이 마주 대하도록 배치하고 두 기관 사이에 액정을 주입한 후, 전극에 전압을 인가하여 생성되는 전기장에 의해 액정을 움직이게 함으로써, 이에 따라 달라지는 빛의 투과율에 의해 화상을 표현하는 장치이다.

<18> 이러한 액정 표시 장치는, 데이터 라인과 게이트 라인의 교차 영역에 형성된 복수의 액정 셀을 포함하는 액정 패널, 데이터 라인에 데이터 신호 전압을 인가하는 데이터 드라이버, 게이트 라인에 게이트 구동 신호를 인가하는 게이트 드라이버, 데이터 드라이버와 게이트 드라이버를 제어하는 타이밍 컨트롤러 및 액정 패널의 구동 전압을 공급하는 전원 공급부를 포함한다.

<19> 액정 셀은 데이터 신호 전압이 충전되는 액정 용량과 게이트 온 전압에 응답하여 데이터 신호 전압을 액정 용량에 인가하는 박막 트랜지스터를 포함한다. 전원 공급부가 제공하는 구동 전압은 전원 전압, 접지 전압, 게이트 온 전압, 게이트 오프 전압, 공통 전압, 아날로그 전원 전압을 포함한다.

<20> 한편, 전원 공급부로 공급되는 전원(Power)이 차단(Off)되면, 전원 공급부는 전원 전압, 게이트 온 전압, 게이트 오프 전압, 공통 전압, 아날로그 전원 전압을 포함한 모든 출력 전압을 접지 전압 레벨의 0V로 출력한다. 접지 전압 레벨의 게이트 온 전압이 박막 트랜지스터의 게이트에 인가되면, 액정 용량에 인가된 데이터 신호 전압은 박막 트랜지스터의 채널을 통하여 누설 전류(Leakage Current)로 빠져 나가면서 디스차지(Discharge) 된다.

<21> 그런데 종래 액정 표시 장치는, 전원 공급부로 공급되는 외부 전원이 차단되어도 액정 패널에 표시 중인 패턴이 외부 전원 차단과 동시에 사라지지 않고 일정 시간 유지되면서 천천히 사라지는 디스차지 불량이 발생하는 문제점이 있다.

<22> 액정 표시 장치에서 디스차지 시간(Discharge Time)은 박막 트랜지스터의 게이트에 접지 전압이 인가될 때, 박막 트랜지스터 채널의 통해 흐르는 누설 전류에 의해 결정되는데, 박막 트랜지스터의 문턱값(V_{th})의 공정 산포, 장기간 구동에 따른 박막 트랜지스터의 문턱값(V_{th})의 증가 등을 고려할 때, 종래 액정 표시 장치는 언제든지 발생할 수 있는 디스차지 불량 문제를 내재하고 있다.

<23>

발명이 이루고자 하는 기술적 과제

<24> 따라서, 본 발명은 종래의 문제점을 해결하기 위하여 안출된 것으로, 박막 트랜지스터의 문턱값의 변화를 고려하여 일정 전압 레벨의 게이트 온 전압을 박막 트랜지스터의 게이트에 제공하는 액정 표시 장치를 제공함에 그 목적이 있다.

발명의 구성 및 작용

<25> 상기 목적을 달성하기 위하여 본 발명의 액정 표시 장치는, 외부 전원이 공급되면 제1 레벨의 전원 전압을 출력하고 상기 외부 전원이 공급이 차단되면 제2 레벨의 전원 전압을 출력하는 전원 공급부; 상기 제1 레벨의 전원 전압이 입력되면 상기 제1 레벨의 전원 전압을 충전하고, 상기 제2 레벨의 전원 전압이 입력되면 상기 충전된 제1 레벨의 전원 전압을 디스차지 신호로 출력하는 디스차지부; 및 게이트 방전 라인, 상기 게이트 방전 라인에 연결되는 복수의 게이트 라인, 상기 게이트 라인에 연결되는 복수의 박막 트랜지스터, 게조 표시 전압이 충전되며 상기 박막 트랜지스터에 연결되는 액정 용량이 형성되며, 상기 디스차지 신호가 상기 게이트 방전 라인으로 제공되면, 상기 박막 트랜지스터가 턴온되어 상기 액정 용량에 충전된 게조 표시 전압이 방전되는 액정 패널;을 포함한다.

<26> 여기서, 상기 제1 레벨은 상기 게조 표시 전압 생성에 이용되는 아날로그 전원 전압 레벨이고, 상기 제2 레벨은 접지 전압 레벨인 것이 바람직하다.

<27> 또한 상기 디스차지부는, 상기 아날로그 전원 전압이 입력되는 애노드와 제1 노드에 연결되는 캐소드를 포함하는 제1 다이오드; 상기 제1 노드에 연결되는 애노드와 제2 노드에 연결되는 제2 다이오드; 일단이 상기 제1 노드에 연결되며, 타단이 접지단에 연결되는 저항; 일단이 상기 제2 노드에 연결되며, 타단이 상기 접지단에 연결되는 커패시터; 및 제어 단자가 상기 제1 노드에 연결되고, 입력 단자가 상기 제2 노드에 연결되며 출력 단자가 상기 게이트 방전 라인에 연결되는 스위칭 트랜지스터;를 포함한다.

<28> 또한 상기 스위칭 트랜지스터는 PNP 형 트랜지스터인 것이 바람직하다.

<29> 또한 상기 게이트 방전 라인은 애노드가 상기 게이트 라인에 연결되고 캐소드가 상기 게이트 방전 라인에 연결되는 제1 다이오드와 애노드가 상기 게이트 방전 라인에 연결되고 캐소드가 상기 게이트 라인에 연결되는 제2

다이오드를 포함한다.

- <30> 또한 상기 게이트 방전 라인은 애노드가 상기 게이트 라인에 연결되고, 캐소드가 상기 게이트 방전 라인에 연결되는 다이오드를 포함한다.
- <31> 또한 상기 제1 레벨은 상기 게이트 라인에 인가되는 게이트 온 전압 레벨이고, 상기 제2 레벨은 접지 전압 레벨인 것이 바람직하다.
- <32> 본 발명의 액정 표시 장치는, 외부 전원이 공급되면 제1 레벨의 아날로그 전원 전압을 출력하고 상기 외부 전원 공급이 차단되면 제2 레벨의 아날로그 전원 전압을 출력하는 전원 공급부; 상기 제 1 레벨의 아날로그 전원 전압을 분압하여 감마 전압을 생성하는 감마 전압 생성부; 상기 감마 전압을 이용하여 계조 표시 전압을 생성하는 데이터 구동부; 상기 제1 레벨의 아날로그 전원 전압이 입력되면 상기 제1 레벨의 아날로그 전원 전압을 충전하고, 상기 제2 레벨의 아날로그 전원 전압이 입력되면 상기 충전된 제1 레벨의 아날로그 전원 전압을 디스차지 신호로 출력하는 디스차지부; 및 게이트 방전 라인, 상기 게이트 방전 라인에 연결되는 복수의 게이트 라인, 상기 게이트 라인에 연결되는 복수의 박막 트랜지스터, 상기 계조 표시 전압이 충전되며 상기 박막 트랜지스터에 연결되는 액정 용량이 형성되는 액정 패널;을 포함한다.
- <33> 또한 상기 디스차지부는 상기 아날로그 전원 전압이 입력되는 애노드와 제1 노드에 연결되는 캐소드를 포함하는 제1 다이오드; 상기 제1 노드에 연결되는 애노드와 제2 노드에 연결되는 제2 다이오드; 일단이 상기 제1 노드에 연결되며, 타단이 접지단에 연결되는 저항; 일단이 상기 제2 노드에 연결되며, 타단이 상기 접지단에 연결되는 커패시터; 및 제어 단자가 상기 제1 노드에 연결되고, 입력 단자가 상기 제2 노드에 연결되며 출력 단자가 상기 게이트 방전 라인에 연결되는 스위칭 트랜지스터;를 포함한다.
- <34> 또한 상기 스위칭 트랜지스터는 PNP 형 트랜지스터인 것이 바람직하다.
- <35> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 일 실시예에 대해 상세히 설명한다.도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 구성 블록도이다. 도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 액정 표시 장치(100)는 액정 패널(110), 데이터 구동부(120), 게이트 구동부(130), 감마 전압 생성부(140), 타이밍 컨트롤러(150), 전원 공급부(160) 및 디스차지부(170)를 포함한다.
- <36> 상기 액정 패널(110)은 컬러 필터와 공통 전극이 형성된 상부 기판, 박막 트랜지스터(TFT)가 형성된 하부 기판 및 상부 기판과 하부 기판 사이에 충전되는 액정을 포함한다. 하부 기판은 복수의 게이트 라인(GL1,...,GLn)과 복수의 데이터 라인(DL1,...,DLm)의 교차부에 각각 형성되어, 계조 표시 전압을 충전하는 액정 용량(C1c)과 게이트 온 전압(VON)에 응답하여 계조 표시 전압을 액정 용량(C1c)에 인가하는 박막 트랜지스터(TFT)를 포함한다. 박막 트랜지스터(TFT)는 게이트 라인(GL1)에 연결되는 게이트, 데이터 라인(DL1)에 연결되는 소스 및 액정 용량(C1c)의 화소 전극에 연결되는 드레인을 포함한다.
- <37> 또한 액정 패널(110)은 복수의 게이트 라인(GL1,...,GLn)에 각각 연결되는 게이트 방전 라인(112)을 포함한다. 게이트 방전 라인(112)은 디스차지부(170)로부터 제공되는 디스차지 신호(DCGsig)가 인가된다. 여기서 디스차지 신호(DCGsig)는 외부 전원 전압의 공급이 차단되면 액정 용량(C1c)에 충전된 계조 표시 전압을 방전시키기 위해 복수의 게이트 라인(GL1,...,GLn)에 연결된 모든 박막 트랜지스터를 동시에 턴온시키는 신호이다.
- <38> 상기 데이터 구동부(120)는 감마 전압(VGMA)을 이용하여 데이터 신호(DATA)에 해당하는 계조 표시 전압을 생성하고, 게이트 온 전압(VON)에 의해 구동되는 박막 트랜지스터(TFT)에 계조 표시 전압을 인가하여 게이트 라인(GL1,...,GLn) 단위로 계조 표시 전압을 표시한다.
- <39> 이를 위해 데이터 구동부(120)는 타이밍 컨트롤러(140)로부터 데이터 제어신호(DCS), 데이터 신호(DATA)를 공급받고, 감마 전압 생성부(140)로부터 감마 전압(VGMA)을 인가받는다. 여기서 계조 표시 전압은 데이터 신호(DATA)에 해당하는 아날로그 전압이며, 데이터 제어 신호(DCS)는 데이터 스타트 펄스(STH), 데이터 동기 클럭(CPH)을 포함한다.
- <40> 데이터 구동부(120)는 데이터 구동 집적 회로(IC: Integrated Circuit)로 제작되어, TCP(Tape Carrier Package) 타입으로 액정 패널(110)에 부착될 수 있고, COG(Chip On Glass) 타입으로 액정 패널(110)의 비표시 영역에 직접 실장될 수 있다.
- <41> 상기 게이트 구동부(130)는 복수의 게이트 라인(GL1,...,GLn)에 순차적으로 게이트 온 전압(VON)을 인가하고, 게이트 온 전압(VON)이 인가되지 않은 게이트 라인에 게이트 오프 전압(VOFF)을 인가한다. 즉 게이트 구동부(130)는 순차적으로 선택되는 게이트 라인(GL1,...,GLn)에 각각 연결된 복수의 박막 트랜지스터(TFT)를 동시에

턴온시킨다.

- <42> 이를 위해 게이트 구동부(120)는 타이밍 컨트롤러(140)로부터 게이트 제어신호(GCS)를 공급받고, 전원 공급부(160)로부터 게이트 온 전압(VON) 및 게이트 오프 전압(VOFF)을 인가받는다. 여기서 게이트 제어 신호(GCS)는 게이트 스타트 펄스(STV), 게이트 동기 클럭(CPV)을 포함한다.
- <43> 게이트 구동부(130)는 게이트 구동 집적 회로(IC: Integrated Circuit)로 제작되어, TCP(Tape Carrier Package) 타입으로 액정 패널(110)에 부착될 수 있고, 박막 트랜지스터(TFT) 형성 시, 아몰포스 실리콘 게이트(ASG: Amorphous Silicon Gate) 형태로 액정 패널의 비표시 영역에 집적되어 형성될 수 있다.
- <44> 상기 감마 전압 생성부(140)는 전원 공급부(160)로부터 공급되는 아날로그 전원 전압(AVDD)을 분압하여 감마 전압(VGMA)을 생성하고 이를 데이터 구동부(120)로 제공한다.
- <45> 상기 타이밍 컨트롤러(150)는 외부에서 입력되는 외부 데이터 신호를 데이터 구동부(120)가 처리할 수 있는 데이터 신호(DATA)로 변환하여 데이터 구동부(120)로 공급하고, 데이터 구동부(120)와 게이트 구동부(130)의 동작에 필요한 제어 신호(GCS, DCS)를 생성하여 데이터 구동부(120)와 게이트 구동부(130) 각각으로 제공한다.
- <46> 상기 전원 공급부(160)는 외부로부터 전원 전압(VDD)을 공급받아 게이트 온 전압(VON)과 게이트 오프 전압(VOFF)을 생성하여 게이트 구동부(130)로 제공한다. 또한 전원 공급부(160)는 아날로그 전원 전압(AVDD)을 생성하여 감마 전압 생성부(140)와 디스차지부(170)로 제공한다.
- <47> 또한 전원 공급부(160)는 외부로부터 전원 전압(VDD) 공급이 차단(Off)되면, 게이트 온 전압(VON), 게이트 오프 전압(VOFF), 공통 전압(VCOM), 아날로그 전원 전압(AVDD)을 포함한 모든 출력 전압을 접지 전압(VSS) 레벨로 출력한다. 여기서 접지 전압(VSS)은 0V의 전압 레벨을 가지는 것이 바람직하다.
- <48> 상기 디스차지부(170)는 전원 공급부(160)로부터 공급되는 아날로그 전원 전압(AVDD)을 충전하고, 아날로그 전원 전압(AVDD)이 접지 전압(VSS) 레벨로 떨어지면, 충전된 아날로그 전원 전압(AVDD) 레벨의 디스차지 신호(DCGsig)를 생성하여 이를 액정 패널(110)의 게이트 방전 라인(112)으로 제공한다. 따라서 외부로부터 전원 전압(VDD) 공급이 차단되면 게이트 방전 라인(112)과 전기적으로 연결된 모든 박막 트랜지스터(TFT)는 턴온되어 액정 용량(C1c)에 충전된 계조 표시 전압이 데이터 라인(DL1,...,DLm)을 통하여 신속히 방전될 수 있다.
- <49> 도 2는 도 1에 도시된 디스차지부와 연결된 액정 패널의 게이트 방전 라인을 도시한 도면이다. 도 2에 도시된 바와 같이, 게이트 방전 라인(112)은 정전기를 방전시킬 수 있는 정전 다이오드 라인의 구조를 가진다.
- <50> 보다 구체적으로 게이트 방전 라인(112)은 게이트 라인(GL1,...,GLn)에 애노드가 연결되고 게이트 방전 라인(112)에 캐소드가 연결된 다이오드(D1,D2)와 게이트 라인(GL1,...,GLn)에 캐소드가 연결되고 게이트 방전 라인(112)에 애노드가 연결된 다이오드(D3,D4)를 포함한다.
- <51> 게이트 방전 라인(112)은 디스차지부(170)로부터 아날로그 전원 전압(AVDD) 레벨의 디스차지 신호(DCGsig)가 제공되면, 다이오드(D1,D2)가 턴온되면서 복수의 게이트 라인(GL1,...,GLn)에 아날로그 전원 전압(AVDD) 레벨의 전압이 공급된다.
- <52> 따라서 복수의 게이트 라인(GL1,...,GLn)에 게이트가 연결된 복수의 박막 트랜지스터(TFT)는 동시에 턴온되어 액정 용량(C1c)에 충전된 계조 표시 전압이 데이터 라인(DL1,...,DLm)을 통하여 신속히 방전될 수 있다.
- <53> 도 3은 도 1에 도시된 디스차지부와 연결된 액정 패널의 다른 형태의 게이트 방전 라인을 도시한 도면이다. 도 3에 도시된 바와 같이, 게이트 방전 라인(112)은 도 2에 도시된 정전 다이오드 라인(114)과 별개로 형성된다.
- <54> 보다 구체적으로 게이트 방전 라인(112)은 게이트 라인(GL1,...,GLn)에 애노드가 연결되고 게이트 방전 라인(112)에 캐소드가 연결된 다이오드(D1,D2)를 포함한다.
- <55> 게이트 방전 라인(112)은 디스차지부(170)로부터 아날로그 전원 전압(AVDD) 레벨의 디스차지 신호(DCGsig)가 제공되면, 다이오드(D1,D2)가 턴온되면서 복수의 게이트 라인(GL1,...,GLn)에 아날로그 전원 전압(AVDD) 레벨의 전압이 공급된다.
- <56> 따라서 복수의 게이트 라인(GL1,...,GLn)에 게이트가 연결된 복수의 박막 트랜지스터(TFT)는 동시에 턴온되어 액정 용량(C1c)에 충전된 계조 표시 전압이 데이터 라인(DL1,...,DLm)을 통하여 신속히 방전될 수 있다.
- <57> 도 4는 도 1에 도시된 디스차지부의 구성 회로도이다. 도 4에 도시된 바와 같이, 디스차지부(170)는 제1 및 제2 다이오드(D1,D2), 저항(R), 커패시터(C) 및 트랜지스터(T)를 포함한다.

- <58> 보다 구체적으로, 제1 다이오드(D1)는 아날로그 전원 전압(AVDD)가 제공되는 애노드와 제1 노드(N1)에 연결되는 캐소드를 포함한다. 제2 다이오드(D1,D2)는 제1 노드(N1)에 연결되는 애노드와 제2 노드(N2)에 연결되는 캐소드를 포함한다. 즉 제1 및 제2 다이오드(D1,D2)는 직렬로 연결된다.
- <59> 저항(R)은 일단이 제1 노드(N1)에 연결되고 타단이 접지단에 연결된다. 커패시터(C)는 일단이 제2 노드(N2)에 연결되고 타단이 접지단에 연결된다. 트랜지스터(T)는 PNP 형 트랜지스터인 것이 바람직하다. 즉, 트랜지스터(T)는 제1 노드(N1)에 연결되는 베이스, 제2 노드(N2)에 연결되는 에미터 및 디스차지 신호(DCGsig)를 출력하는 컬렉터를 포함한다. 트랜지스터(T)는 바이폴라형을 예시하였지만 동일한 기능을 수행하는 MOS(Metal Oxide Silicon) 트랜지스터일 수 있다.
- <60> 동작에 있어서, 먼저 외부로부터 정상적으로 전원이 공급되는 경우 디스차지부(170)의 동작을 설명한다. 이때 아날로그 전원 전압(AVDD)은 일정한 레벨의 전압, 예를 들면 8V의 전압 레벨을 가진다.
- <61> 8V의 아날로그 전원 전압(AVDD)이 디스차지부(170)에 인가되면, 제1 및 제2다이오드(D1,D2)를 통하여 전류가 흐르고 이에 따라 제2 노드(N2)의 전위가 상승된다. 따라서 커패시터(C)는 제2 노드(N2)와 접지단의 전위 차인 전압이 충전된다. 저항(R)이 충분히 클 때 저항에는 전류가 거의 흐르지 않으며, 커패시터(C)에 충전되는 전압은 아날로그 전원 전압(AVDD)인 약 8V에 해당한다. 저항(R)은 1 MΩ 이상인 것이 바람직하다.
- <62> 또한 제1 노드(N1)에 연결된 트랜지스터(T)의 베이스에는 아날로그 전원 전압(AVDD)이 인가된다. 즉 트랜지스터(T)의 베이스에는 아날로그 전원 전압(AVDD)이 인가되고, 트랜지스터(T)의 에미터에는 아날로그 전원 전압(AVDD)보다 조금 작은 커패시터(C) 충전 전압이 인가되어 트랜지스터(T)는 턴오프 상태가 된다.
- <63> 다음으로 외부로부터 전원 공급 차단되는 경우 디스차지부(170)의 동작을 설명한다. 이때 아날로그 전원 전압(AVDD)은 접지 전압 레벨의 전압, 예를 들면 0V의 전압 레벨을 가진다.
- <64> 0V의 아날로그 전원 전압(AVDD)이 디스차지부(170)에 인가되면, 커패시터(C)에 충전된 전압은 트랜지스터(T)의 에미터에 인가되지만, 제1 및 제2 다이오드(D1,D2)에 역방향 바이어스로 작용하여 제1 및 제2 다이오드(D1,D2)를 턴오프시킨다. 따라서, 디스차지부(170)의 입력단으로 전류가 흐르지 않는다.
- <65> 또한 트랜지스터(T)의 베이스에는 0V의 아날로그 전원 전압(VDD)보다 조금 큰 전압이 인가된다. 이는 작지만 커패시터(C)에 충전된 전하가 저항(R)을 통하여 트랜지스터(T)의 베이스로 흘러들어가기 때문이다.
- <66> 즉 트랜지스터(T)의 베이스에는 0V보다 조금 큰 전압이 인가되고, 트랜지스터(T)의 에미터에는 8V의 아날로그 전원 전압(AVDD)보다 조금 작은 커패시터(C) 충전된 전압이 인가되어 트랜지스터(T)는 턴온 상태가 된다. 따라서 커패시터(C)에 충전된 전압은 디스차지 신호(DCGsig)로 액정 패널의 게이트 방전 라인으로 제공될 수 있다.
- <67>
- <68> 도 5는 도 1에 도시된 액정 표시 장치의 동작을 설명하기 위한 시뮬레이션 그래프로서, 디스차지부의 저항(R)을 1MΩ, 커패시터(C)를 40 μF로 설정한 경우이다. 도 5를 참조하면, 곡선 A는 디스차지부(170)의 커패시터(TF T)에 충전된 전압의 변화를 나타내며, 곡선 B는 액정 용량(CLC)에 충전된 전압의 변화를 나타내고, 곡선 C는 게이트 라인(GL1,...,GLn)에 인가되는 전압의 변화를 나타낸다.
- <69> 외부로부터 정상적으로 전원이 공급되는 파워 온(Power On)구간에서, 디스차지부(170)의 커패시터(C)에는 8V의 아날로그 전원 전압(AVDD)이 충전되고, 게이트 라인(GL1,...,GLn)에는 -6V의 게이트 오프 전압(VOFF)이 인가된다. 따라서 박막 트랜지스터(TFT)는 오프 상태를 유지하고 액정 용량(CLC)에 충전된 계조 표시 전압은 방전되지 않는다.
- <70> 반면 외부로부터 전원 공급 차단되는 파워 오프(Power Off) 구간에서, 디스차지부(170)의 커패시터(C)는 충전된 8V의 전압을 디스차지 신호(DCGsig)로 복수의 게이트 라인(GL1,...,GLn)에 제공하고, 액정 패널(110)의 모든 게이트 라인(GL1,...,GLn)에는 약 8V의 디스차지 신호(DCGsig)가 인가된다. 따라서 모든 게이트 라인(GL1,...,GLn)에 연결된 박막 트랜지스터(TFT)는 동시에 턴온되어 액정 용량(CLC)에 충전된 계조 표시 전압은 데이터 라인(DL1,...,DLm)을 통하여 짧은 순간(0.5초 이내)에 방전되게 된다.
- <71> 본 발명의 일 실시 예에 따른 액정 표시 장치는, 외부 전원 공급 차단시, 박막 트랜지스터의 게이트에 접지 전압을 인가함으로써 박막 트랜지스터 채널의 누설 전류를 이용하여 액정 용량의 계조 표시 전압을 방전시키는 종래 액정 표시 장치와 달리 외부 전원 공급 차단시, 박막 트랜지스터의 게이트에 아날로그 전원 전압(AVDD) 레벨의 전압을 인가하여 액정 용량의 계조 표시 전압을 순간적으로 방전시킬 수 있는 구조를 가지기 때문에, 종래 액정

표시 장치에 비하여 신속한 디스차지 시간을 보장한다.

- <72> 도 6은 본 발명의 다른 실시 예에 따른 액정 표시 장치의 구성 블록도이다. 도 6에 도시된 바와 같이, 본 발명의 다른 실시 예에 따른 액정 표시 장치(100)는 디스차지부(170)가 전원 공급부(160)로부터 게이트 온 전압(VON)을 제공받는 구성을 가진다.
- <73> 액정 패널(110), 데이터 구동부(120), 게이트 구동부(130), 감마 전압 생성부(140), 타이밍 컨트롤러(150), 전원 공급부(160) 및 디스차지부(17)의 구성 및 동작은 도 1 내지 도 4에 설명한 것과 동일하므로 상세한 설명은 생략한다.
- <74> 도 7은 도 6에 도시된 액정 표시 장치의 동작을 설명하기 위한 시뮬레이션 그래프로서, 디스차지부의 저항(R)을 $1M\Omega$, 커패시터(C)를 $40\mu F$ 로 설정한 경우이다. 도 7을 참조하면, 곡선 A는 디스차지부(170)의 커패시터(C)에 충전된 전압의 변화를 나타내며, 곡선 B는 액정 용량(Clc)에 충전된 전압의 변화를 나타내고, 곡선 C는 게이트 라인(GL1,...,GLn)에 인가되는 전압의 변화를 나타낸다.
- <75> 외부로부터 정상적으로 전원이 공급되는 파워 온(Power On)구간에서, 디스차지부(170)의 커패시터(C)에는 20V의 게이트 온 전압(VON)이 충전되고, 게이트 라인(GL1,...,GLn)에는 -6V의 게이트 오프 전압(VOFF)가 인가된다. 따라서 박막 트랜지스터(TFT)는 오프 상태를 유지하고 액정 용량(CLC)에 충전된 계조 표시 전압은 방전되지 않는다.
- <76> 반면 외부로부터 전원 공급 차단되는 파워 오프(Power Off) 구간에서, 디스차지부(170)의 커패시터(C)는 충전된 20V의 전압을 디스차지 신호(DCGsig)로 게이트 라인에 제공하고, 액정 패널(110)의 모든 게이트 라인(GL1,...,GLn)에는 약 20V의 디스차지 신호(DCGsig)가 인가된다. 따라서 모든 게이트 라인(GL1,...,GLn)에 연결된 박막 트랜지스터(TFT)는 동시에 턴온되어 액정 용량(CLC)에 충전된 계조 표시 전압은 데이터 라인(DL1,...,DLm)을 통하여 짧은 시간(0.5초 이내)에 방전되게 된다.
- <77> 도 8은 도 4에 도시된 디스차지부의 입력 전압 레벨을 선택하기 위한 그래프로서, 박막 트랜지스터의 게이트에 인가된 전압 대 박막 트랜지스터의 채널을 통해 흐르는 전류의 변화를 나타낸다. 도 8을 참조하면, 곡선 G는 양호(Good)한 디스차지 특성을 나타내는 박막 트랜지스터 특성을 표시하며, 곡선 F는 불량(Faulty)한 디스차지 특성을 나타내는 박막 트랜지스터 특성을 표시한다.
- <78> 박막 트랜지스터의 게이트에 0V가 인가되면, 디스차지 특성이 양호한 박막 트랜지스터의 경우 나노(nano) 단위의 누설 전류가 흘러 액정 용량의 계조 표시 전압을 방전하기 위해서는 비교적 짧은 시간(약 3 내지 4초)이 필요하지만, 디스차지 특성이 불량한 박막 트랜지스터의 경우 피코(pico) 단위의 미약한 누설 전류가 흘러 액정 용량의 계조 표시 전압을 방전하기 위해서는 장시간(약 50초)이 필요함을 알 수 있다. 여기서 0V는 외부 전원 공급 차단시, 종래 게이트 라인에 인가되는 전압이다.
- <79> 이와 같은 박막 트랜지스터의 디스차지 양부 특성은 박막 트랜지스터의 문턱값(Vth)의 공정 산포, 장시간 구동시 박막 트랜지스터의 문턱값(Vth)의 증가 등에 기인하여 I-V 곡선의 우측 편향 쉬프트(Shift)로 나타난다. 보다 구체적으로 박막 트랜지스터의 게이트에 0V가 인가되는 경우, 곡선 G와 곡선 F의 전류차(ΔI)는 약 5V의 전압 차(ΔV)에 대응됨을 알 수 있다.
- <80> 본 발명의 실시예에 따른 액정 표시 장치는, 이러한 특성을 이용하여 파워 오프시 박막 트랜지스터의 문턱값(Vth) 변동에 따른 누설 전류의 변화를 보상하기 위해, 박막 트랜지스터의 게이트에 일정한 전압 레벨을 가지는 디스차지 신호(DCGsig)를 제공한다.
- <81> 즉 본 발명의 실시 예에 따른 액정 표시 장치는, 파워 오프시 종래 게이트 라인에 인가되는 전압인 0V보다 5V 이상 높은 전압을 가지는 디스차지 신호를 게이트 라인에 인가하여 디스차지 양부 특성의 마진을 확보할 수 있다. 따라서 디스차지부는 파워 오프시 5V 이상의 디스차지 신호(DCGsig)를 게이트 방전 라인에 제공할 수 있도록 8V의 아날로그 전원 전압(AVDD) 또는 20V의 게이트 온 전압(VON)을 입력 전압으로 제공받는 것이 바람직하다.
- <82> 도 9a 및 도 9b는 파워 온 시, 도 1 또는 도 6에 도시된 액정 표시 장치와 종래 액정 표시 장치의 파워 시퀀스를 도시한 그래프이다. 도 9a 및 도 9b에서, 곡선 C1은 외부에서 공급되는 전원 전압(VDD)의 변화를 나타내며, 곡선 C2는 게이트 온 전압(VON)의 변화를 나타내며, 곡선 C3는 게이트 오프 전압(VOFF)의 변화를 나타낸다.
- <83> 도 9a와 도 9b를 비교하여 보면, 외부에서 전원 전압(VDD)이 공급되면, 먼저 게이트 오프 전압(VOFF)이 생성되어 출력되고, 다음으로 게이트 온 전압(VON)이 생성되어 출력된다. 즉 파워 온 시, 본 발명의 실시 예에 따른

액정 표시 장치는 종래 액정 표시 장치의 파워 시퀀스를 변경시키지 않음을 알 수 있다.

- <84> 도 10a 와 도 10b는 파워 오프 시, 도 1 또는 도 6에 도시된 액정 표시 장치와 종래 액정 표시 장치의 파워 시퀀스를 도시한 그래프이다. 도 10a 및 도 10b에서, 곡선 C1은 외부에서 공급되는 전원 전압(VDD)의 변화를 나타내며, 곡선 C2는 게이트 온 전압(VON)의 변화를 나타내며, 곡선 C3는 게이트 오프 전압(VOFF)의 변화를 나타낸다.
- <85> 도 10a와 도 10b를 비교하여 보면, 외부에서 전원 전압(VDD)의 공급이 차단되면, 게이트 온 전압(VON)과 게이트 오프 전압(VOFF)이 0V인 접지 전압 레벨로 방전된다. 즉 파워 온 시, 본 발명의 실시 예에 따른 액정 표시 장치는 종래 액정 표시 장치의 파워 시퀀스를 변경시키지 않음을 알 수 있다.
- <86> 그러나 도 10a의 본 발명의 실시 예에 따른 액정 표시 장치의 게이트 오프 전압(VOFF)는 도 10b의 종래 액정 표시 장치의 게이트 오프 전압(VOFF)에 비하여 매우 빠르게 방전됨을 알 수 있다. 그래프에 표시된 실험치에 의하면, 종래 액정 표시 장치의 게이트 오프 전압(VOFF)가 0V로 방전되는 데 약 20ms의 시간이 소요되는 반면, 본 발명의 실시 예에 따른 액정 표시 장치의 게이트 오프 전압(VOFF)은 0로 방전되는 데 약 3ms의 시간이 소요된다.
- <87> 이는 본 발명의 실시 예에서 파워 오프 시, 디스차지 신호(DCGsig)가 게이트 방전 라인을 통하여 게이트 라인에 인가되기 때문에 게이트 오프 전압(VOFF)의 방전시간이 종래 보다 단축되기 때문이다.

발명의 효과

- <88> 본 발명의 액정 표시 장치는, 박막 트랜지스터의 문턱값의 변화를 고려하여 일정 전압 레벨의 게이트 온 전압을 박막 트랜지스터의 게이트에 제공하는 구조를 가지기 때문에, 외부로부터 공급되는 전원 차단(Power Off)시 디스차지 시간을 감소시킬 수 있는 효과가 있다.
- <89> 이상에서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술분야에 통상의 지식을 갖는 자라면 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.
- <90> 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

- <1> 도 1은 본 발명의 일 실시 예에 따른 액정 표시 장치의 구성 블록도,
- <2> 도 2는 도 1에 도시된 디스차지부와 연결된 액정 패널의 게이트 방전 라인을 도시한 도면,
- <3> 도 3은 도 1에 도시된 디스차지부와 연결된 액정 패널의 다른 형태의 게이트 방전 라인을 도시한 도면,
- <4> 도 4는 도 1에 도시된 디스차지부의 구성 회로도,
- <5> 도 5는 도 1에 도시된 액정 표시 장치의 동작을 설명하기 위한 시뮬레이션 그래프,
- <6> 도 6은 본 발명의 다른 실시예에 따른 액정 표시 장치의 구성 블록도,
- <7> 도 7은 도 6에 도시된 액정 표시 장치의 동작을 설명하기 위한 시뮬레이션 그래프,
- <8> 도 8은 도 4에 도시된 디스차지부의 입력 전압 레벨을 선택하기 위한 그래프,
- <9> 도 9a 및 도 9b는 파워 온 시, 도 1 또는 도 6에 도시된 액정 표시 장치와 종래 액정 표시 장치의 파워 시퀀스를 도시한 그래프, 및
- <10> 도 10a 및 도 10b는 파워 오프 시, 도 1 또는 도 6에 도시된 액정 표시 장치와 종래 액정 표시 장치의 파워 시퀀스를 도시한 그래프이다.

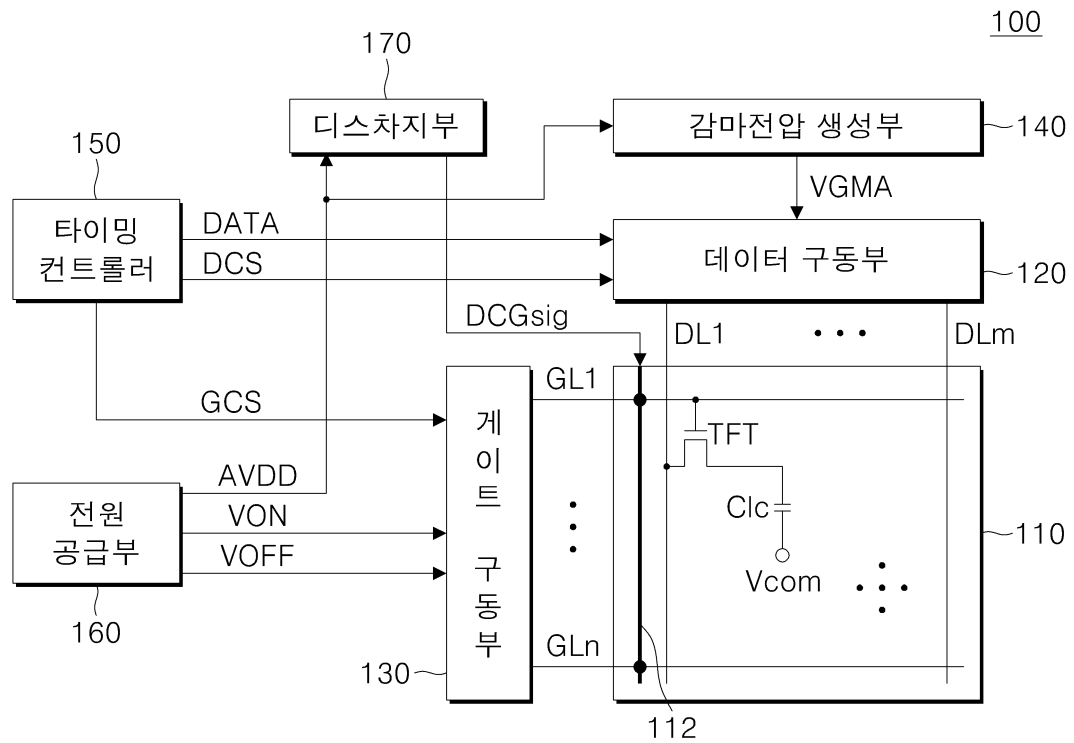
<11> <도면의 주요부분에 대한 부호설명>

- | | |
|--------------------|--------------|
| <12> 100: 액정 표시 장치 | 110: 액정 패널 |
| <13> 120: 데이터 구동부 | 130: 게이트 구동부 |

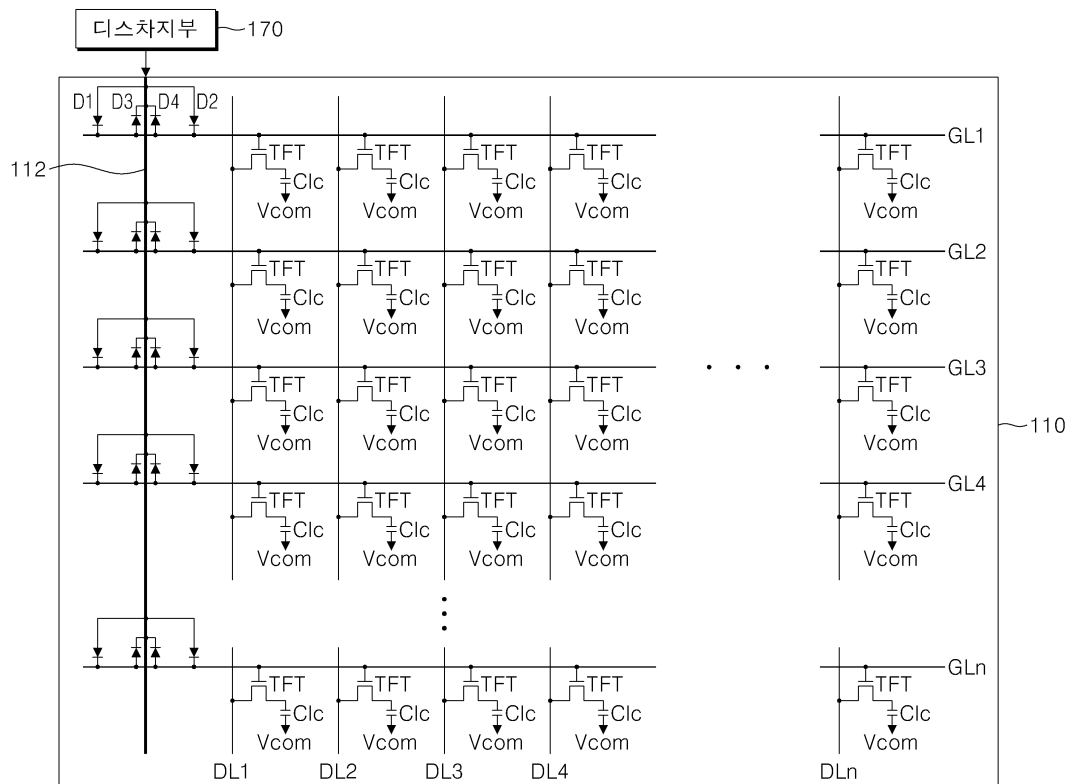
- <14> 140: 감마 전압 생성부 150: 타이밍 컨트롤러
- <15> 160: 전원 공급부 170: 디스차지부

도면

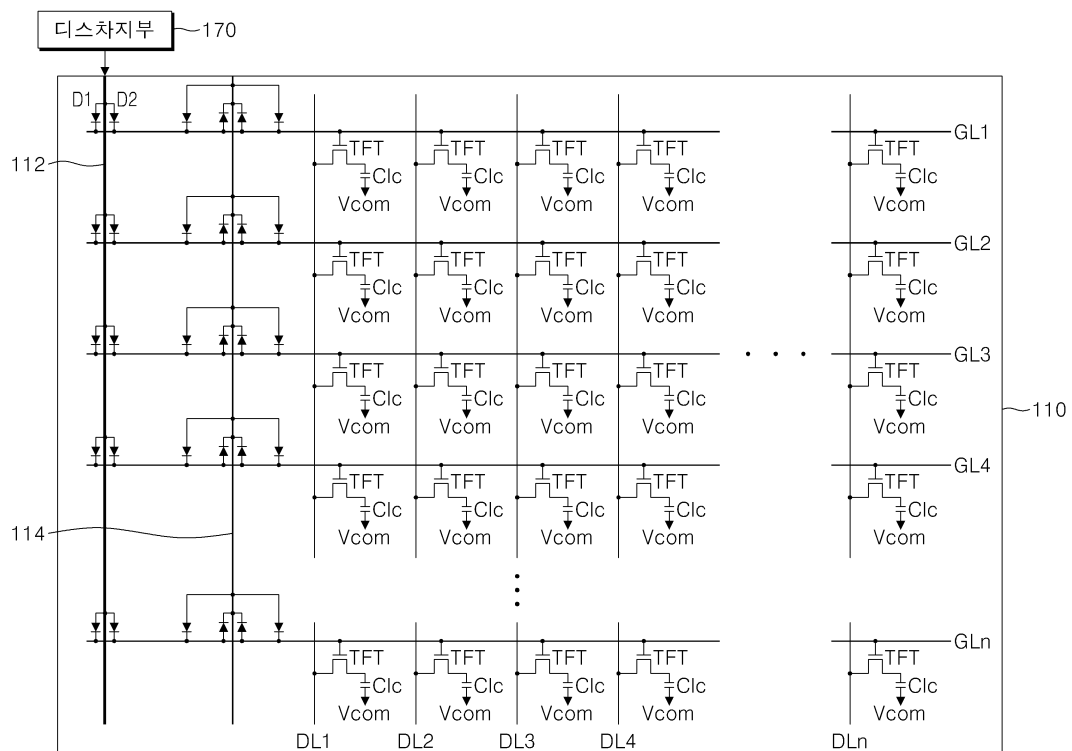
도면1



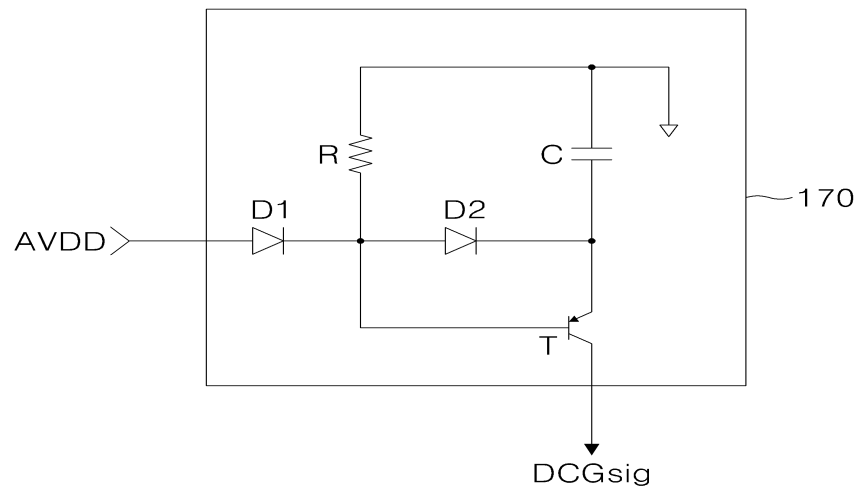
도면2



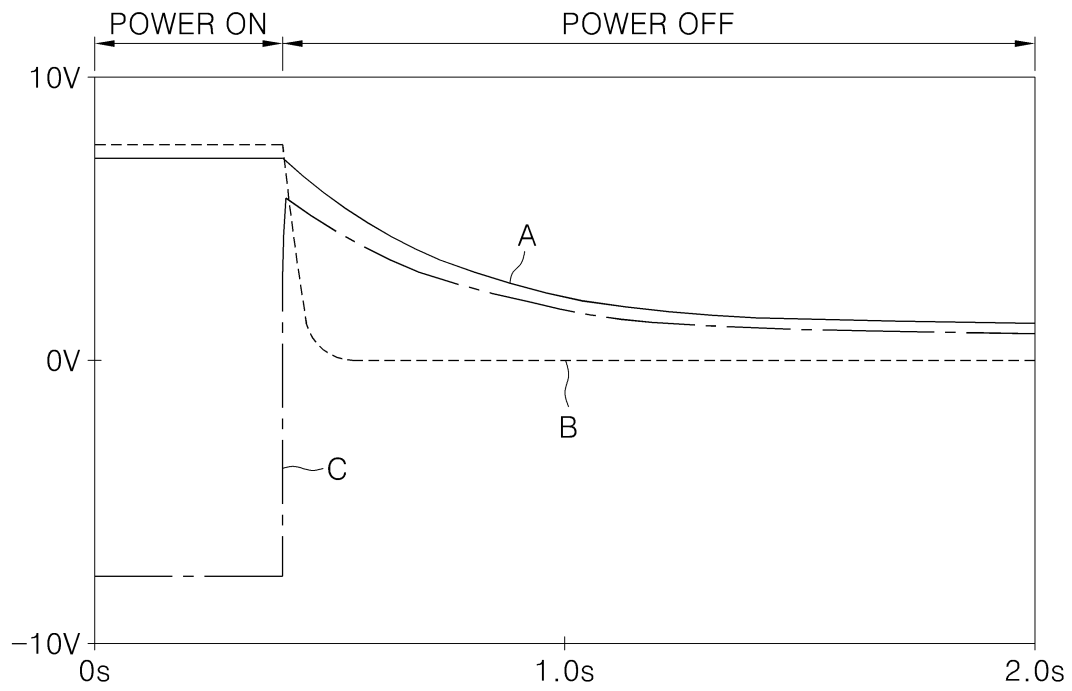
도면3



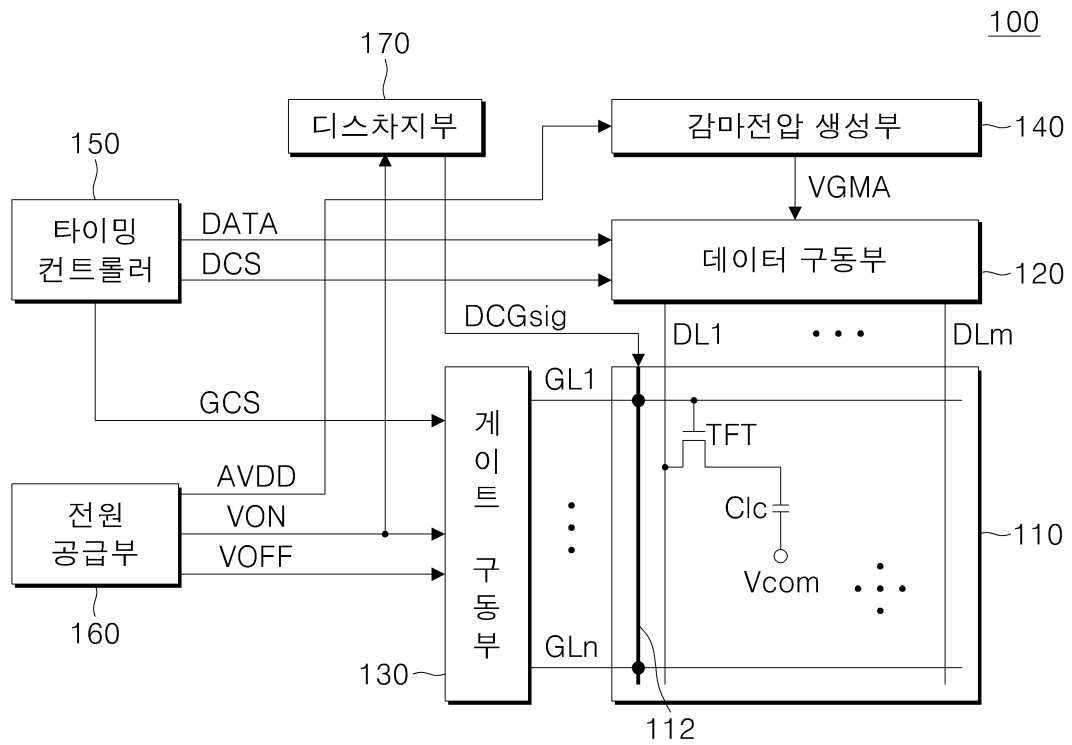
도면4



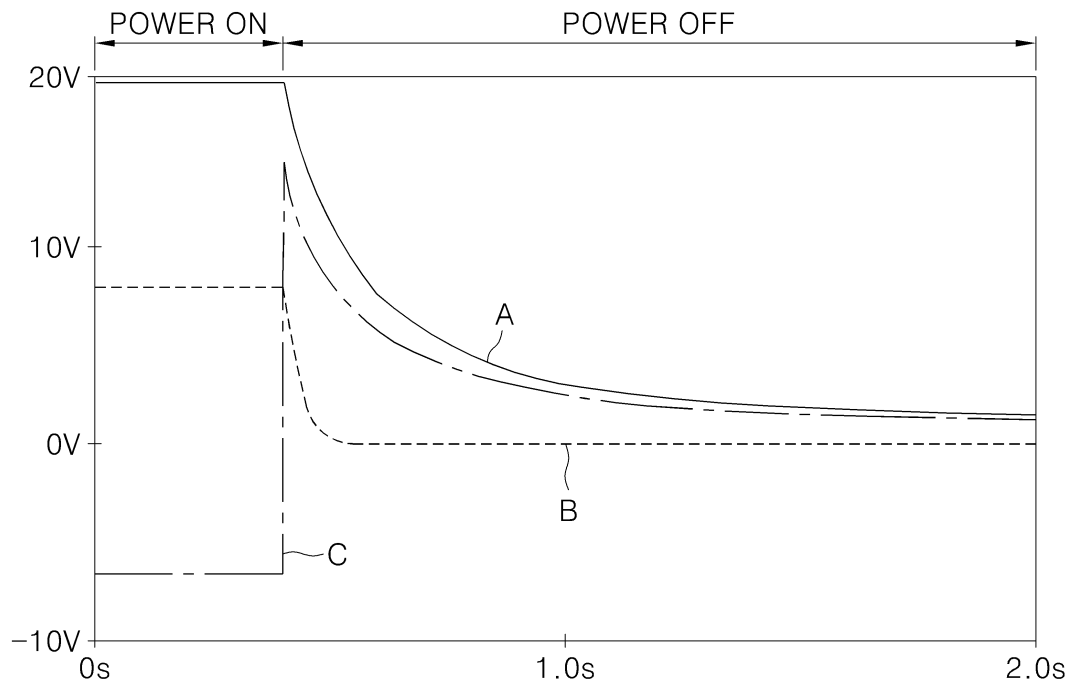
도면5



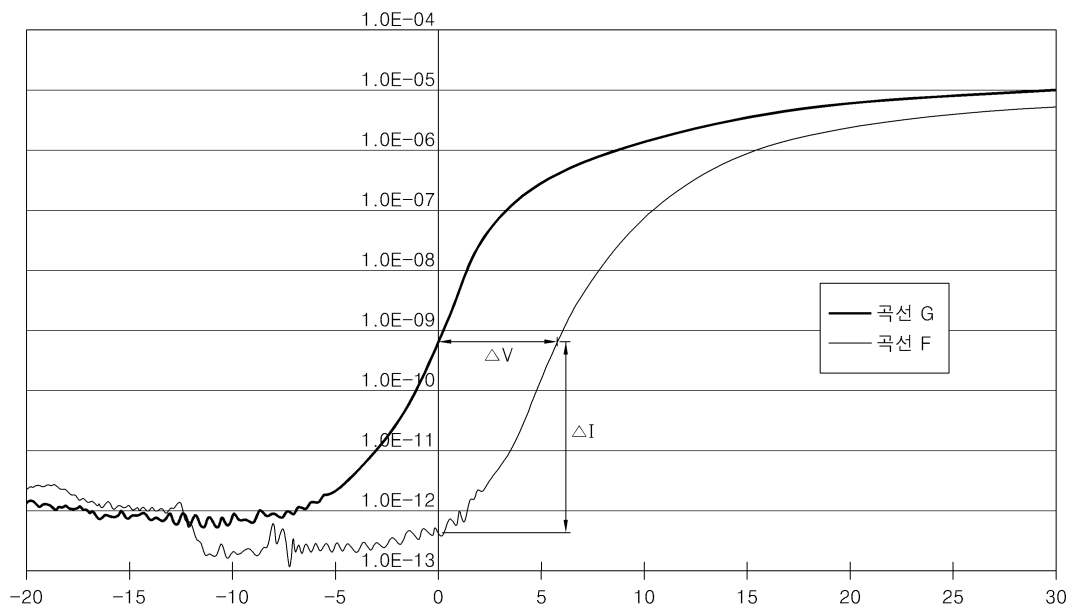
도면6



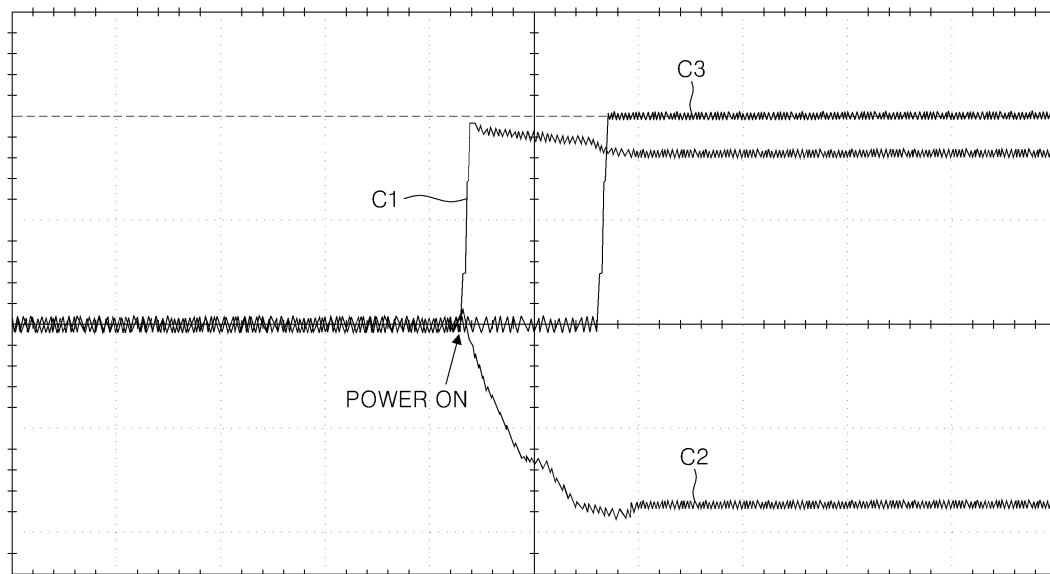
도면7



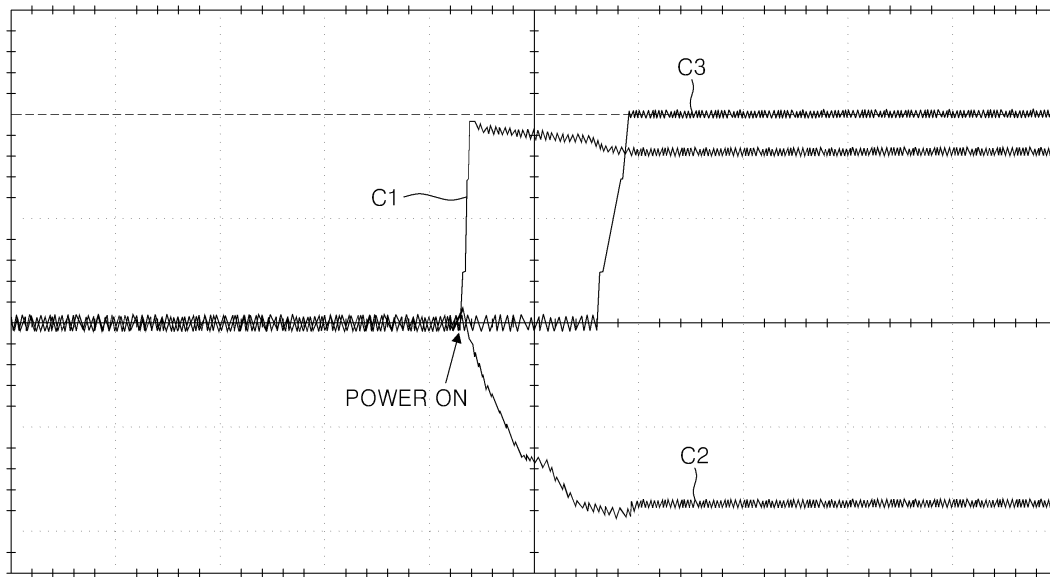
도면8



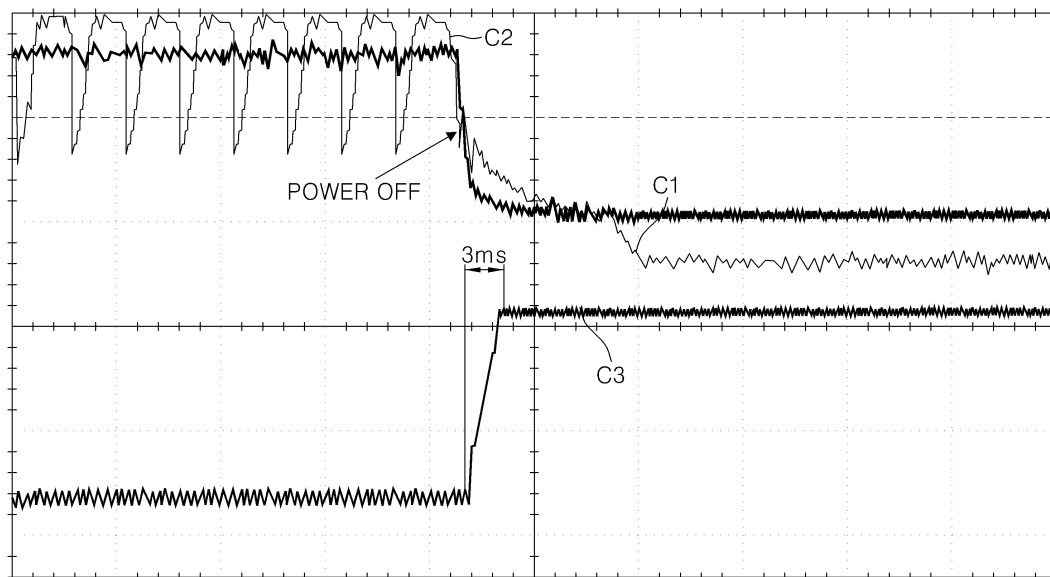
도면9a



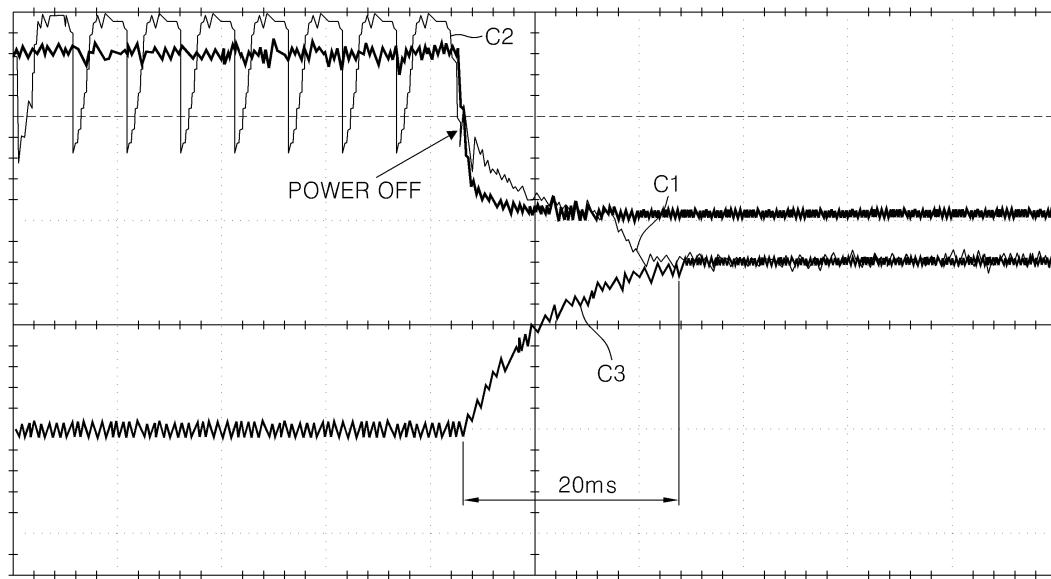
도면9b



도면10a



도면10b



专利名称(译)	液晶显示器		
公开(公告)号	KR1020080056812A	公开(公告)日	2008-06-24
申请号	KR1020060129826	申请日	2006-12-19
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	PARK SANG HEON		
发明人	PARK, SANG HEON		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3648 G09G2330/022 G09G2300/043 G09G2310/0245 G09G2310/063 G09G2300/0426		
代理人(译)	SE JUN OH KWON, HYUK SOO 宋, 云何		
其他公开文献	KR101331211B1		
外部链接	Espacenet		

摘要(译)

液晶显示装置技术领域[0001]本发明涉及一种在外部电源中断时减少放电时间的液晶显示装置。本发明的液晶显示器包括电源单元，用于在外部电源供应时输出第一级电源电压，在外部电源中断时输出第二级电源电压，放电部分和栅极放电线，用于在输入第二电平的电源电压时，对第一电平的电源电压进行充电，并输出第一电平的充电电源电压作为放电信号;当栅极线，其中多个连接到所述栅极线的薄膜晶体管，和灰度显示电压被充电在连接到薄膜晶体管液晶电容器被形成，和放电信号被提供给栅极放电线，薄膜晶体管导通和充电液晶电容器并且灰度显示电压被放电。

