



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2007-0049311
G02F 1/133 (2006.01) (43) 공개일자 2007년05월11일

(21) 출원번호 10-2005-0106372
(22) 출원일자 2005년11월08일
심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지
(72) 발명자 김재열
경북 구미시 구평동 476번지 구평푸르지오아파트 107-606
홍영기
경북 구미시 진평동 구획정리지구 77블럭 주공APT 104-905
(74) 대리인 허용록

전체 청구항 수 : 총 9 항

(54) 액정패널, 그의 제조방법 및 이를 구비한 액정표시장치

(57) 요약

화질을 향상시킬 수 있는 액정패널, 그의 제조방법 및 이를 구비한 액정표시장치가 개시된다.

본 발명에 따른 액정패널은 기판이 표시영역과 비표시영역으로 구분되고, 상기 표시영역 상에 형성된 더미 게이트라인을 포함하는 복수의 게이트라인 및 복수의 데이터라인과, 상기 비표시영역 상에 형성된 게이트 드라이버 및 상기 비표시영역 상에 형성되고 상기 게이트 드라이버를 구동하기 위한 구동 신호를 공급하는 공급라인을 포함하고, 상기 공급라인은 상기 게이트 드라이버와 상기 더미 게이트라인에 연결된다.

대표도

도 4

특허청구의 범위

청구항 1.

기판이 표시영역과 비표시영역으로 구분되고, 상기 표시영역 상에 형성된 더미 게이트라인을 포함하는 복수의 게이트라인 및 복수의 데이터라인;

상기 비표시영역 상에 형성된 게이트 드라이버; 및

상기 비표시영역 상에 형성되고 상기 게이트 드라이버를 구동하기 위한 구동 신호를 공급하는 공급라인을 포함하고,

상기 공급라인은 상기 게이트 드라이버와 상기 더미 게이트라인에 연결되는 것을 특징으로 하는 액정패널.

청구항 2.

제 1항에 있어서,

상기 게이트라인과 상기 공급라인은 동일 층에 형성되는 것을 특징으로 하는 액정패널.

청구항 3.

제 1항에 있어서,

상기 더미 게이트라인과 상기 공급라인 상에 형성된 절연층;

상기 더미 게이트라인 상의 절연층 그리고 상기 공급라인 상의 절연층이 제거되어 형성된 제 1 및 제 2 컨택홀; 및

상기 제 1 및 제 2 컨택홀을 통해 상기 더미 게이트라인과 상기 공급라인을 연결하기 위한 연결라인을 더 포함하는 것을 특징으로 하는 액정패널.

청구항 4.

제 3항에 있어서,

상기 연결라인은 상기 게이트라인에 수직으로 형성된 데이터라인과 동일층에 형성되는 것을 특징으로 하는 액정패널.

청구항 5.

제 1항에 있어서,

상기 구동신호의 폴링 시점에 동기되어 상기 복수의 게이트라인 중 제 1 게이트라인으로 하이 레벨 신호가 공급되는 것을 특징으로 하는 액정패널.

청구항 6.

제 5항에 있어서,

이전 게이트라인으로 공급된 하이 레벨 신호의 폴링 시점에 동기되어 제 2 내지 제 n 게이트라인으로 순차적으로 하이 레벨 신호가 공급되는 것을 특징으로 하는 액정패널.

청구항 7.

기관 상에 더미 게이트라인을 포함하는 복수의 게이트라인 및 공급라인을 형성하는 단계;

상기 게이트라인 및 공급라인 상에 절연층을 형성하는 단계;

상기 더미 게이트라인 상의 절연층 및 상기 공급라인 상의 절연층을 제거하여 제 1 및 제 2 컨택홀을 형성하는 단계;

상기 제 1 및 제 2 컨택홀을 통해 상기 더미 게이트라인과 상기 공급라인을 연결하기 위한 연결라인과 상기 게이트라인과 수직으로 교차된 복수의 데이터라인을 형성하는 단계를 포함하고,

상기 공급라인으로 상기 게이트라인을 구동하기 위한 구동신호가 공급되는 것을 특징으로 하는 액정패널의 제조방법.

청구항 8.

제 7항에 있어서,

상기 구동신호는 상기 공급라인 및 상기 연결라인을 경유하여 상기 더미 게이트라인으로 공급되는 것을 특징으로 하는 액정패널의 제조방법.

청구항 9.

더미 게이트라인을 포함하는 복수의 게이트라인과 복수의 데이터라인이 배치되고, 공급라인이 상기 더미 게이트라인에 연결된 액정패널;

상기 공급라인과 연결된 게이트 드라이버;

소정의 데이터를 공급하는 데이터 드라이버를 포함하고,

상기 공급라인으로 상기 게이트 드라이버를 구동하기 위한 구동신호가 공급되는 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 화질을 향상시킬 수 있는 액정패널, 그의 제조방법 및 이를 구비한 액정표시장치에 관한 것이다.

정보화 사회가 발전함에 따라 표시장치에 대한 요구도 다양한 형태로 증대하고 있다. 이에 부응하여 근래에는 LCD(Liquid Crystal Display device), PDP(Plasma Display Panel), ELD(Electro Luminescent Display) 등 여러가지 평판표시장치가 연구되어 왔고 일부는 이미 여러장비에서 표시장치로 활용되고 있다.

그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력 등의 장점으로 인하여 이동형 화상 표시장치의 용도로 브라운관(CRT)을 대체하면서 LCD(이하, '액정표시장치'라 함)가 가장 널리 사용되고 있으며, 액정표시장치는 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 텔레비전 모니터 등으로 다양하게 개발되고 있다.

액정표시장치는 액정의 광학적 이방성과 분극성질을 이용하여 화상을 표시한다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.

따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자 배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛의 편광상태를 변화시켜 화상정보를 표현할 수 있다.

도 1은 종래 액정표시장치를 나타낸 도면이다.

도 1에 도시된 바와 같이, 종래 액정표시장치는 소정의 화상을 표시하는 액정패널(2)과, 상기 액정패널(2)의 일측면에 구비된 데이터 PCB(12)와, 상기 데이터 PCB(12)와 상기 액정패널(2) 사이에 접속된 복수의 데이터 TCP(7a, 7b)와 상기 복수의 데이터 TCP(7a, 7b) 내부에 실장된 복수의 데이터 드라이버 IC(6a, 6b)와, 상기 액정패널(2)의 타측면에 구비된 게이트 드라이버(4)와, 상기 데이터 PCB(12) 내부에 실장된 소정의 제어신호를 생성하는 타이밍 컨트롤러(8) 및 상기 타이밍 컨트롤러(8)로부터 공급된 제어신호를 이용하여 소정의 전압을 생성하는 레벨 쉬프터(16)를 포함한다.

상기 액정패널(2)에는 복수의 게이트라인(GL0 ~ GLn)과, 상기 게이트라인(GL0 ~ GLn)에 수직 방향으로 배열된 복수의 데이터라인(DL1 ~ DLm)과, 상기 게이트라인(GL0 ~ GLn) 및 상기 데이터라인(DL1 ~ DLm)에 연결된 박막트랜지스터(TFT)와, 상기 박막트랜지스터(TFT)에 연결된 화소전극(P)과, 상기 화소전극(P)과 전단 게이트라인 사이에 형성된 스토리지 캐패시터(Cst)를 구비한다.

또한, 상기 액정패널(2)은 제 1 및 제 2 기판과, 상기 제 1 및 제 2 기판 사이에 주입된 액정으로 이루어져 있다. 상기 제 1 기판 상에는 제조 비용을 줄이기 위해 상기 게이트 드라이버(4)가 내장될 수 있다.

상기 게이트 드라이버(4)는 위에서 언급한 바와 같이, 상기 제 1 기판상에 형성되어 있다. 상기 게이트 드라이버(4)에는 상기 게이트라인(GL1 ~ GLn)과 대응된 n 개의 쉬프트 레지스터(10-1 ~ 10-n)가 내장되어 있다.

상기 n 개의 쉬프트 레지스터(10-1 ~ 10-n)는 상기 게이트라인(GL1 ~ GLn)과 대응되고 복수의 박막트랜지스터(TFT)로 이루어져 있다.

상기 타이밍 컨트롤러(8)는 도시되지 않은 시스템으로부터 공급된 수직/수평동기신호(Vsync/Hsync)와 데이터 이네이블(DE) 신호 및 소정의 클럭 신호를 이용하여 소정의 제어신호를 생성한다.

상기 레벨 쉬프터(16)는 상기 타이밍 컨트롤러(8)로부터 소정의 제어신호와 관계된 스타트 펄스(SP) 신호와, 소정의 전압들을 공급받고, 도시되지 않은 DC/DC 컨버터를 통해 만들어진 게이트 하이 전압(VGH) 및 게이트 로우 전압(VGL)을 기준 전압으로 공급받는다. 상기 레벨 쉬프터(16)는 상기 스타트 펄스(SP) 신호와 소정의 전압들을 상기 게이트 하이 전압(VGL) 및 게이트 로우 전압(VGL)의 레벨로 만든다. 또한, 상기 레벨 쉬프터(16)는 상기 스타트 펄스(SP) 신호와 소정의 전압들 및 소정의 제어신호를 제 1 데이터 TCP(7a)를 통해 상기 게이트 드라이버(4)로 공급한다.

상기 게이트 드라이버(4)는 상기 스타트 펄스(SP) 신호와 소정의 전압들 구동을 위해 이용하고, 상기 소정의 제어신호를 조합하여 하나의 게이트 출력 신호를 만들어 낸다.

이와 같이 구성된 액정표시장치는 위에서 언급한 바와 같이, 게이트 드라이버(4)가 상기 액정패널(2)의 제 1 기판 상에 형성된 GIP(Gate In Panel) 구조로 이루어져 있다. 또한, 상기 액정패널(2)은 스토리지 온 게이트(Storage On Gate)방식으로 이루어져 있다.

도 2는 도 1의 액정패널에 형성된 게이트라인의 구동전압을 나타낸 도면이다.

도 1 및 도 2에 도시된 바와 같이, 상기 액정패널(2) 상에 형성된 복수의 게이트라인(GL1 ~ GLn)으로 소정의 게이트 전압(Vgate)이 공급된다. 더미 게이트라인(GL0)에는 상기 게이트 전압(Vgate)이 공급되지 않고 대신 일정한 로우 전압이 공급된다.

즉, 상기 더미 게이트라인(GL0)으로는 프레임 주기에 관계없이 항상 게이트 로우 전압(VGL)이 공급된다. 상기 더미 게이트라인(GL0)은 상기 박막트랜지스터(TFT)와 연결되어 있지 않기 때문에, 게이트 하이 전압(VGH)을 공급해서 스토리지 캐패시터(Cst)에 데이터 전압을 충전시키지 않아도 된다.

상기 제 1 게이트 라인(GL1) 내지 제 n 게이트라인(GLn)에는 상기 레벨 쉬프터(16)로부터 공급된 스타트 펄스(SP) 신호에 따라 순차적으로 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL)이 공급된다.

상기 제 1 내지 제 n 게이트라인(GL1 ~ GLn) 각각은 전단 게이트라인(GL0 ~ GLn-1) 사이에 스토리지 캐패시터(Cst)가 형성된다. 상기 제 1 내지 제 n 게이트라인(GL1 ~ GLn)으로 게이트 하이 전압(VGH)이 공급되면 상기 제 1 내지 제 n 게이트라인(GL1 ~ GLn)과 연결된 박막트랜지스터(TFT)는 턴-온(turn-on)된다.

이와 동시에, 전단 게이트라인(GL0 ~ GLn-1)과 연결된 스토리지 캐패시터(Cst)에 데이터 전압이 충전된다. 상기 전단 게이트라인(GL0 ~ GLn-1)과 연결된 스토리지 캐패시터(Cst)는 상기 제 1 내지 제 n 게이트라인(GL1 ~ GLn)으로 공급된 게이트 하이 전압(VGH)에 영향을 받게된다.

상기 복수의 게이트라인(GL0 ~ GLn-1)과 연결된 스토리지 캐패시터(Cst)에 동일한 데이터 전압이 충전되면, 상기 더미 게이트라인(GL0)과 연결된 스토리지 캐패시터(Cst)를 제외한 나머지 스토리지 캐패시터(Cst)에 충전된 데이터 전압은 게이트 하이 전압(VGH)에 영향을 받게된다. 즉, 상기 제 1 내지 제 n-1 게이트라인(GL1 ~ GLn-1)과 연결된 스토리지 캐패시터(Cst)에 충전된 데이터 전압은 게이트 하이 전압(VGH)으로 인해 영향을 받게 된다.

이로인해, 상기 제 1 내지 제 n-1 게이트라인(GL1 ~ GLn-1)과 연결된 스토리지 캐패시터(Cst)에 충전된 데이터 전압은 상기 더미 게이트라인(GL0)과 연결된 스토리지 캐패시터(Cst)에 충전된 데이터 전압과 상이하게 된다.

예컨대, 상기 더미 게이트라인(GL0)과 연결된 스토리지 캐패시터(Cst)에 충전된 데이터 전압이 상기 제 1 내지 제 n-1 게이트라인(GL1 ~ GLn-1)과 연결된 스토리지 캐패시터(Cst)에 충전된 데이터 전압보다 작게 되므로, 상기 더미 게이트라인(GL0)과 제 1 게이트라인(GL1) 사이의 픽셀들이 다른 게이트라인들(GL2 내지 GLn) 상의 픽셀들보다 밝게 보이는 현상이 발생한다.

이러한 현상으로 인해, 화면의 상부에 띠 형상의 밝음 현상으로 인해 화질이 저하되는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 더미 게이트라인에 스타트 펄스 신호를 공급하여 줌으로써, 화질을 향상시킬 수 있는 액정패널, 그의 제조방법 및 이를 구비한 액정표시장치를 제공함에 그 목적이 있다.

발명의 구성

상기 목적을 달성하기 위한 본 발명에 따른 액정패널은 기판이 표시영역과 비표시영역으로 구분되고, 상기 표시영역 상에 형성된 더미 게이트라인을 포함하는 복수의 게이트라인 및 복수의 데이터라인과, 상기 비표시영역 상에 형성된 게이트 드라이버 및 상기 비표시영역 상에 형성되고 상기 게이트 드라이버를 구동하기 위한 구동 신호를 공급하는 공급라인을 포함하고, 상기 공급라인은 상기 게이트 드라이버와 상기 더미 게이트라인에 연결된다.

상기 목적을 달성하기 위한 본 발명에 따른 액정패널의 제조방법은 기판 상에 더미 게이트라인을 포함하는 복수의 게이트라인 및 공급라인을 형성하는 단계와, 상기 게이트라인 및 공급라인 상에 절연층을 형성하는 단계와, 상기 더미 게이트라인 상의 절연층 및 상기 공급라인 상의 절연층을 제거하여 제 1 및 제 2 컨택홀을 형성하는 단계와, 상기 제 1 및 제 2 컨택홀을 통해 상기 더미 게이트라인과 상기 공급라인을 연결하기 위한 연결라인과 상기 게이트라인과 수직으로 교차된 복수의 데이터라인을 형성하는 단계를 포함하고, 상기 공급라인으로 상기 게이트라인을 구동하기 위한 구동신호가 공급된다.

상기 목적을 달성하기 위한 본 발명에 따른 액정표시장치는 더미 게이트라인을 포함하는 복수의 게이트라인과 복수의 데이터라인이 배치되고, 공급라인이 상기 더미 게이트라인에 연결된 액정패널과, 상기 공급라인과 연결된 게이트 드라이버와, 소정의 데이터를 공급하는 데이터 드라이버를 포함하고, 상기 공급라인으로 상기 게이트 드라이버를 구동하기 위한 구동신호가 공급된다.

이하, 첨부된 도면을 참조하여 본 발명에 따른 실시예를 설명한다.

도 3은 본 발명의 제 1 실시예에 따른 액정표시장치를 나타낸 도면이다.

도 3에 도시된 바와 같이, 상기 액정표시장치는 소정의 화상을 표시하는 액정패널(102)과, 상기 액정패널(102)의 일측면에 구비된 데이터 PCB(112)와, 상기 액정패널(102)과 상기 데이터 PCB(112) 사이에 접속된 복수의 데이터 TCP(107a, 107b)와, 상기 복수의 데이터 TCP(107a, 107b) 각각에 실장된 복수의 데이터 드라이버 IC(106a, 106b)와, 상기 액정패널(102)의 타측면에 구비된 게이트 드라이버(104)를 포함한다.

위에서 언급한 액정표시장치는 널리 공지된 기술이므로 이에 대한 상세한 설명은 생략하기로 한다. 상기 액정표시장치는 상기 게이트 드라이버(104)가 기판 상에 내장되어 있는 형태로 이루어져 있다.

상기 데이터 PCB(112) 내부에는 소정의 제어신호를 생성하는 타이밍 컨트롤러(108)와, 상기 소정의 제어신호를 이용하여 스타트 펄스(SP) 신호 및 소정의 전압들을 생성하는 레벨 쉬프터(116)와, 별도의 게이트 하이 전압(VGH)을 생성하는 게이트 하이 전압 생성부(114)가 실장되어 있다.

상기 게이트 드라이버(104) 복수의 게이트라인(GL1 ~ GLn)과 대응한 복수의 쉬프트 레지스터(110-1 ~ 110-n)가 형성되어 있다. 이때, 상기 게이트 드라이버(104)는 상기 액정패널(102) 상에 내장되어 있다.

상기 레벨 쉬프터(116)는 상기 타이밍 컨트롤러(108)로부터 소정의 제어신호와 관계된 스타트 펄스(SP) 신호와, 소정의 전압들을 공급받고, 도시되지 않은 DC/DC 컨버터를 통해 만들어진 게이트 하이 전압(VGH) 및 게이트 로우 전압(VGL)을 기준 전압으로 공급받는다.

또한, 상기 레벨 쉬프터(116)는 상기 스타트 펄스(SP) 신호와 소정의 전압들을 상기 게이트 하이 전압(VGL) 및 게이트 로우 전압(VGL)의 레벨로 만든다. 상기 레벨 쉬프터(116)는 상기 스타트 펄스(SP) 신호와 소정의 전압들 및 소정의 제어신호를 제 1 데이터 TCP(107a)를 통해 상기 게이트 드라이버(104)로 공급한다.

상기 게이트 하이 전압 생성부(114)에서 생성된 게이트 하이 전압(VGH)은 상기 제 1 데이터 TCP(107a)를 통해 상기 더미 게이트라인(GL0)으로 한 프레임에 1 수평구간(1H) 동안 공급된다. 상기 게이트 하이 전압(VGH)이 공급된 후 상기 더미 게이트라인(GL0)으로는 게이트 로우 전압(VGL)이 공급된다.

상기 제 1 내지 제 n 게이트라인(GL1 ~ GLn)에는 위에서 언급한 바와 같이, 상기 스타트 펄스(SP) 신호에 따라 순차적으로 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL)이 공급된다. 상기 스타트 펄스(SP) 신호는 상기 게이트 하이 전압(VGH)과 동일한 전압 레벨을 갖는 전압값을 의미한다.

상기 제 1 쉬프트 레지스터(110-1)는 상기 스타트 펄스(SP) 신호의 폴링 타임(falling time) 구간에 동기되어 상기 제 1 쉬프트 레지스터(110-1)와 대응된 제 1 게이트라인(GL1)으로 게이트 하이 전압(VGH)을 공급한다. 동시에 상기 게이트 하이 전압(VGH)은 제 2 쉬프트 레지스터(110-2)로 공급된다.

상기 외부에 별도로 구비된 게이트 하이 전압 생성부(114)에서 생성된 게이트 하이 전압(VGH)이 상기 더미 게이트라인(GL0)으로 공급됨에 따라 상기 더미 게이트라인(GL0)으로 공급된 게이트 전압(Vgate)과 상기 제 1 내지 제 n 게이트라인(GL1 ~ GLn)으로 공급된 게이트 전압(Vgate)이 일정해진다.

결국, 상기 더미 게이트라인(GL0)으로 게이트 하이 전압(VGH)이 공급되어 종래의 액정표시장치에서 발생한 화질저하와 같은 문제점을 해결할 수 있다.

한편, 상기 더미 게이트라인(GL0)으로 게이트 하이 전압(VGH)을 공급해주기 위해 외부에 별도의 게이트 하이 전압 생성부(114)를 구비해야 하기 때문에 상기 게이트 하이 전압 생성부(114)에 따른 추가 제조 비용이 발생하게 된다. 또한, 상기 게이트 하이 전압 생성부(114)는 외부의 데이터 PCB(112) 상에 실장되기 때문에 상기 데이터 PCB(112)의 여유 마진을 줄어둘게 하는 요인이 된다.

도 4는 본 발명의 제 2 실시예에 따른 액정표시장치를 나타낸 도면이다.

도 4에 도시된 바와 같이, 본 발명에 따른 액정표시장치는 복수의 게이트라인(GL0 ~ GLn)과 데이터라인(DL1 ~ DLm)이 배열되어 소정의 화상을 표시하는 액정패널(202)과, 상기 액정패널(202)의 일측면에 구비된 데이터 PCB(212)와, 상기 데이터 PCB(212)와 상기 액정패널(202) 사이에 접속된 복수의 데이터 TCP(207a, 207b)와, 상기 복수의 데이터 TCP(207a, 207b) 내부에 실장된 복수의 데이터 드라이버 IC(206a, 206b)와, 상기 액정패널(202)의 타측면에 구비된 게이트 드라이버(204)를 포함한다.

상기 액정패널(202)은 제 1 및 제 2 기판과, 상기 제 1 및 제 2 기판 사이에 주입된 액정으로 이루어져 있다. 상기 액정패널(202)에는 복수의 게이트라인(GL0 ~ GLn)과 데이터라인(DL1 ~ DLm)이 배열되어 있고 그 교차부에는 스위칭 소자인 박막트랜지스터(TFT)가 형성되어 있다.

상기 박막트랜지스터(TFT)는 상기 게이트라인(GL0 ~ GLn)과 일체로 형성된 게이트 전극과, 상기 데이터라인(DL1 ~ DLm)과 일체로 형성되어 소정 간격 이격된 소스 및 드레인 전극과, 액티브층으로 이루어져 있다.

상기 박막트랜지스터(TFT)는 상기 게이트라인(GLO ~ GLn)으로부터 게이트 하이 전압(VGH)이 공급되면 턴-온(turn-on)되고, 게이트 로우 전압(VGL)이 공급되면 턴-오프(turn-off)된다.

또한, 상기 박막트랜지스터(TFT)의 드레인 전극은 도시되지 않은 화소전극과 연결되고, 상기 화소전극은 전단 게이트라인과 오버랩 되어 스토리지 캐패시터(Cst)를 형성한다.

상기 스토리지 캐패시터(Cst)는 상기 데이터라인(DL1 ~ DLm)으로부터 공급된 데이터 전압을 한 프레임동안 유지하여 상기 액정패널(202) 상에 소정의 화상이 표시되도록 한다. 구체적으로 상기 스토리지 캐패시터(Cst)는 화소전극과 전단 게이트라인 사이에서 형성되는데 다음 프레임에서 상기 게이트라인으로 게이트 하이 전압(VGH)이 공급되기전까지 상기 데이터라인(DL1 ~ DLm)으로부터 공급된 데이터 전압을 유지하게 된다.

상기 게이트 드라이버(204)는 상기 액정패널(202)을 구성하는 제 1 기판 상에 패턴형태로 내장되어 있고 상기 복수의 게이트라인(GLO ~ GLn)과 대응되는 복수의 쉬프트 레지스터(210-1 ~ 210-n)를 구비하고 있다.

이때, 상기 복수의 쉬프트 레지스터(210-1 ~ 210-n)는 소정의 박막트랜지스터(TFT)로 이루어져 있고 상기 소정의 박막트랜지스터(TFT)는 소정의 클럭신호로 구동된다. 이때, 상기 소정의 클럭신호는 일정한 레벨을 갖는 전압값을 의미한다.

상기 복수의 쉬프트 레지스터(210-1 ~ 210-n)의 갯수는 상기 제 1 내지 제 n 게이트라인(GL1 ~ GLn)의 갯수와 대응되어 구비된다.

일례로, 제 1 쉬프트 레지스터(210-1)는 제 1 게이트라인(GL1)과 전기적으로 연결되고 제 2 쉬프트 레지스터(210-2)는 제 2 게이트라인(GL2)과 전기적으로 연결되고, 제 n 쉬프트 레지스터(210-n)는 제 n 게이트라인(GLn)과 전기적으로 연결되어 있다.

상기 복수의 데이터 드라이버 IC(206a, 206b)는 상기 타이밍 컨트롤러(208)로부터 공급된 제어신호에 따라 상기 복수의 데이터라인(DL1 ~ DLm)에 아날로그 전압으로 변환된 데이터 전압을 공급한다. 상기 데이터 전압이 상기 데이터라인(DL1 ~ DLm)으로 공급됨에 따라 상기 액정패널(202) 상에 소정의 화상이 표시된다.

이때, 상기 데이터 전압은 상기 타이밍 컨트롤러(208)로부터 공급된 디지털 신호인 R, G, B 데이터 신호를 감마전압 생성부(미도시)에서 생성된 감마전압을 이용하여 아날로그 전압으로 변환된 값을 의미한다.

상기 데이터 PCB(212) 내부에는 소정의 제어신호를 생성하는 타이밍 컨트롤러(208)와, 상기 소정의 제어신호와 관련된 스타트 펄스(SP) 신호 및 소정의 전압들을 생성하는 레벨 쉬프터(216)가 구비되어 있다.

상기 타이밍 컨트롤러(208)는 도시되지 않은 시스템으로부터 공급된 수직/수평동기신호(Vsync/Hsync)와 데이터 이네이블(DE) 신호 및 소정의 클럭 신호를 이용하여 소정의 제어신호를 생성한다. 상기 소정의 제어신호는 상기 레벨 쉬프터(216)로 공급된다.

또한, 상기 타이밍 컨트롤러(208)는 상기 시스템으로부터 공급된 프레임 단위의 R, G, B 데이터 신호를 라인 단위의 R, G, B 데이터 신호로 정렬하여 상기 복수의 데이터 드라이버 IC(206a, 206b)로 공급한다.

상기 레벨 쉬프터(216)는 상기 타이밍 컨트롤러(208)로부터 소정의 제어신호와 관계된 스타트 펄스(SP) 신호와, 소정의 전압들을 공급받고, 도시되지 않은 DC/DC 컨버터를 통해 만들어진 게이트 하이 전압(VGH) 및 게이트 로우 전압(VGL)을 기준 전압으로 공급받는다.

상기 레벨 쉬프터(216)는 상기 스타트 펄스(SP) 신호와 소정의 전압들을 상기 게이트 하이 전압(VGL) 및 게이트 로우 전압(VGL)의 레벨로 만든다. 또한, 상기 레벨 쉬프터(216)는 상기 스타트 펄스(SP) 신호와 소정의 전압들 및 소정의 제어신호를 제 1 데이터 TCP(207a)를 통해 상기 게이트 드라이버(204)로 공급한다.

상기 스타트 펄스(SP) 신호는 상기 게이트 드라이버(204)의 제 1 쉬프트 레지스터(210-1)와, 더미 게이트라인(GLO)으로 동시에 공급된다.

즉, 상기 레벨 쉬프터(216)에서 상기 스타트 펄스(SP) 신호를 출력하는 출력라인(214)이 상기 더미 게이트라인(GL0)과 전기적으로 연결되어 있어 상기 스타트 펄스(SP) 신호가 상기 더미 게이트라인(GL0)으로 공급된다.

상기 스타트 펄스(SP) 신호가 상기 더미 게이트라인(GL0)으로 공급되면 상기 더미 게이트라인(GL0)에는 게이트 하이 전압(VGH)과 동일한 전압이 1 수평구간(1H)동안 흐르게 된다. 또한, 상기 더미 게이트라인(GL0)으로 공급된 스타트 펄스(SP) 신호의 폴링타임(falling time) 구간에 동기되어 제 1 쉬프트 레지스터(210-1)를 통해 게이트 하이 전압(VGH)이 상기 제 1 게이트라인(GL1)으로 공급된다.

즉, 상기 제 1 쉬프트 레지스터(210-1)는 상기 스타트 펄스(SP) 신호에 따라 구동되는데, 상기 스타트 펄스(SP) 신호의 1 수평구간(1H) 뒤에 상기 제 1 쉬프트 레지스터(210-1)는 게이트 하이 전압(VGH)을 출력하여 상기 제 1 게이트라인(GL1)으로 공급한다.

상기 제 1 쉬프트 레지스터(210-1)로 공급된 스타트 펄스(SP) 신호와 상기 제 1 게이트라인(GL1)으로 공급된 게이트 하이 전압(VGH)은 1 수평구간(1H)이라는 시간 차이가 발생하게 된다.

따라서, 상기 더미 게이트라인(GL0)으로 공급된 스타트 펄스(SP) 신호의 폴링 타임(falling time)에 동기되어 상기 제 1 게이트라인(GL1)에 게이트 하이 전압(VGH)이 공급되는 것이다.

상기 제 1 게이트라인(GL1)으로 공급된 게이트 하이 전압(VGH)의 폴링 타임(falling time) 구간에 동기되어 제 2 쉬프트 레지스터(210-2)를 통해 게이트 하이 전압(VGH)이 순차적으로 상기 제 2 게이트라인(GL2)으로 공급된다.

이와 같이, 상기 더미 게이트라인(GL0) 뿐만 아니라 제 1 내지 제 n 게이트라인(GL1 ~ GLn)으로 게이트 하이 전압(VGH)이 공급된 1 수평구간(1H) 후에 게이트 로우 전압(VGL)이 순차적으로 공급된다.

결국, 상기 스타트 펄스(SP)신호가 상기 더미 게이트라인(GL0)과 제 1 쉬프트 레지스터(210-1)로 동시에 공급됨에 따라 상기 제 1 내지 제 n 게이트라인(GL1 ~ GLn) 뿐만 아니라 상기 더미 게이트라인(GL0)으로도 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL)이 공급된다.

도 5는 도 4의 A ~ A'을 따라 절단한 단면을 나타낸 도면이다.

도 4 및 도 5에 도시된 바와 같이, 상기 액정패널(202)을 구성하는 기판 중 제 1 기판(213) 상에 동일한 재질로 된 스타트 펄스(SP) 출력라인(214)과, 더미 게이트라인(216)이 형성된다. 상기 스타트 펄스(SP) 출력라인(214)과 더미 게이트라인(216)이 형성된 제 1 기판(213) 상에 게이트 절연층(218)이 형성된다.

상기 게이트 절연층(218) 상에 형성된 상기 스타트 펄스(SP) 출력라인(214)의 일부가 노출되도록 제 1 콘택홀(H1)을 형성하고 상기 더미 게이트라인(216)의 일부가 노출되도록 제 2 콘택홀(H2)을 형성한다. 상기 제 1 및 제 2 콘택홀(H1, H2)이 형성된 제 1 기판(213) 상에 연결라인(220)을 형성한다. 상기 연결라인(220)은 상기 데이터라인(DL1 ~ DLm)을 형성할때 동시에 형성되고 상기 데이터라인(DL1 ~ DLm)과 동일한 재질로 이루어져 있다.

상기 연결라인(220)이 형성된 제 1 기판(213) 상에 절연물질인 보호층(222)이 형성된다.

상기 레벨 쉬프터(216)로부터 스타트 펄스(SP) 신호가 상기 스타트 펄스(SP) 출력라인(214)을 통해 출력되면, 상기 스타트 펄스(SP) 신호는 상기 제 1 및 제 2 콘택홀(H1, H2) 상에 형성된 연결라인(220)을 통해 상기 더미 게이트라인(GL0)으로 공급된다.

상기 제 1 및 제 2 콘택홀(H1, H2)과 상기 연결라인(220)을 통해 상기 스타트 펄스(SP) 출력라인(214)과 상기 더미 게이트라인(GL0)이 전기적으로 연결됨에 따라 상기 스타트 펄스(SP) 신호가 상기 더미 게이트라인(GL0)으로 공급된다.

이로인해, 상기 더미 게이트라인(GL0)은 상기 제 1 내지 제 n 게이트라인(GL1 ~ GLn)으로 공급된 게이트 하이 전압(VGH)과 동일한 스타트 펄스(SP) 신호가 공급될 수 있다.

결국, 상기 더미 게이트라인(GL0)으로 공급된 스타트 펄스(SP) 신호와 게이트 로우 전압(VGL)의 평균값과 상기 제 1 내지 제 n 게이트라인(GL1 ~ GLn)으로 공급된 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL)의 평균값이 동일해진다.

도 6은 도 4의 게이트라인의 구동전압을 나타낸 도면이다.

도 4 및 도 6에 도시된 바와 같이, 상기 레벨 쉬프터(216)는 상기 타이밍 컨트롤러(208)로부터 소정의 제어신호와 관련된 상기 스타트 펄스(SP) 신호를 공급받아서 상기 스타트 펄스(SP) 신호를 증폭시켜, 이를 상기 제 1 쉬프트 레지스터(210-1)와 더미 게이트라인(GL0)으로 공급한다. 이로 인해, 상기 더미 게이트라인(GL0)으로 상기 스타트 펄스(SP) 신호가 1 수평구간(1H) 동안 공급된다.

이때, 상기 스타트 펄스(SP) 신호는 위에서 언급한 바와 같이, 게이트 하이 전압(VGH)과 동일한 전압 레벨을 갖는 전압값을 의미한다.

상기 레벨 쉬프터(216)로부터 공급된 스타트 펄스(SP) 신호가 상기 제 1 쉬프트 레지스터(210-1)로 공급되면, 1 수평구간(1H)이 지난 뒤에 게이트 하이 전압(VGH)이 상기 제 1 쉬프트 레지스터(210-1)와 연결된 제 1 게이트라인(GL1)으로 공급된다.

다시 말하면, 상기 더미 게이트라인(GL0)으로 공급된 스타트 펄스(SP) 신호의 폴링 타임(falling time)에 동기되어 상기 제 1 게이트라인(GL1)으로 게이트 하이 전압(VGH)이 공급된다.

상기 제 1 게이트라인(GL1)으로 게이트 하이 전압(VGH)이 공급되는 동안 상기 게이트 하이 전압(VGH)은 제 2 쉬프트 레지스터(210-2)로 공급되고, 상기 제 1 게이트라인(GL1)으로 공급된 게이트 하이 전압(VGH)의 폴링 타임(falling time)에 동기되어 제 2 게이트라인(GL2)으로 공급된다.

결국, 상기 더미 게이트라인(GL0)으로 스타트 펄스(SP) 신호가 공급되고 상기 더미 게이트라인(GL0)으로 공급된 스타트 펄스(SP) 신호의 폴링 타임(falling time)에 동기되어 제 1 게이트라인(GL1)으로 게이트 하이 전압(VGH)이 순차적으로 공급된다.

또한, 상기 제 1 게이트라인(GL1)으로 공급된 게이트 하이 전압(VGH)의 폴링 타임(falling time)에 동기되어 제 2 게이트라인(GL2)으로 게이트 하이 전압(VGH)이 순차적으로 공급된다.

이와 같이, 상기 복수의 게이트라인(GL0 ~ GLn)으로 공급된 전압들의 평균값이 유사해짐에 따라 종래의 액정표시장치에서, 더미 게이트라인(GL0)으로 게이트 로우 전압(VGL)만을 공급해서 발생한 화질저하와 같은 문제점을 극복할 수 있다.

위에서 언급한 바와 같이, 본 발명에 따른 액정표시장치는 레벨 쉬프터(216)로부터 공급된 스타트 펄스(SP) 신호를 더미 게이트라인(GL0)과 게이트 드라이버(204) 내부에 위치하는 제 1 쉬프트 레지스터(210-1)에 동시에 공급하여 상기 더미 게이트라인(GL0)으로도 게이트 하이 전압(VGH)과 동일한 전압 레벨을 갖는 스타트 펄스(SP) 신호를 공급하도록 한다.

이에 따라, 본 발명에 따른 액정표시장치는 상기 더미 게이트라인(GL0)으로도 스타트 펄스(SP) 신호와 게이트 로우 전압(VGL)이 공급되어 상기 제 1 내지 제 n 게이트라인(GL1 ~ GLn)으로 공급된 게이트 전압(Vgate)의 평균값과 동일해진다.

결국, 종래의 액정표시장치에서 더미 게이트라인(GL0)으로 게이트 로우 전압(VGL)만이 공급되어 발생했던 화질저하와 같은 문제점을 해결하여 화질을 향상시킬 수 있다.

발명의 효과

이상에서 살펴본 바와 같이, 본 발명에 따른 액정표시장치는 더미 게이트라인(GL0)으로 스타트 펄스(SP) 신호를 공급하여 상기 더미 게이트라인(GL0)으로 공급된 전압의 평균값과 제 1 내지 제 n 게이트라인(GL1 ~ GLn)으로 공급된 게이트 전압의 평균값과 동일해짐에 따라 종래의 액정표시장치에서 발생한 화질저하와 같은 문제점을 해결하여 화질을 향상시킬 수 있다.

도면의 간단한 설명

도 1은 종래 액정표시장치를 나타낸 도면.

도 2는 도 1의 액정패널에 형성된 게이트라인의 구동전압을 나타낸 도면.

도 3은 본 발명의 제 1 실시예에 따른 액정표시장치를 나타낸 도면.

도 4는 본 발명의 제 2 실시예에 따른 액정표시장치는 나타낸 도면.

도 5는 도 4의 A ~ A'을 따라 절단한 단면을 나타낸 도면.

도 6은 도 4의 게이트라인의 구동전압을 나타낸 도면.

<도면의 주요부분에 대한 간단한 설명>

102, 202:액정패널 104, 204:게이트 드라이버

106a, 106b, 206a, 206b:데이터 드라이버 IC

107a, 107b, 207a, 207b:데이터 TCP 108, 208:타이밍 컨트롤러

101-1 ~ 110-n, 210-1 ~ 210-n:제 1 내지 제 n 쉬프트 레지스터

112, 212:데이터 PCB 114:게이트 하이 전압 생성부

116, 216:레벨 쉬프터 213:제 1 기판

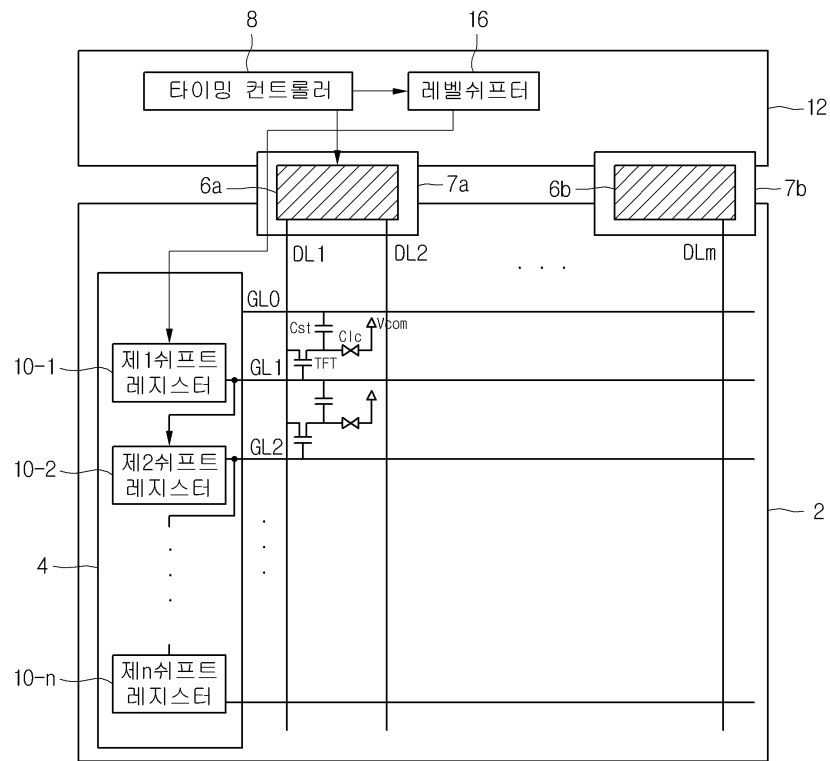
214:스타트 펄스(SP) 출력라인 216:레벨 쉬프터

218:게이트 절연층 220:연결라인

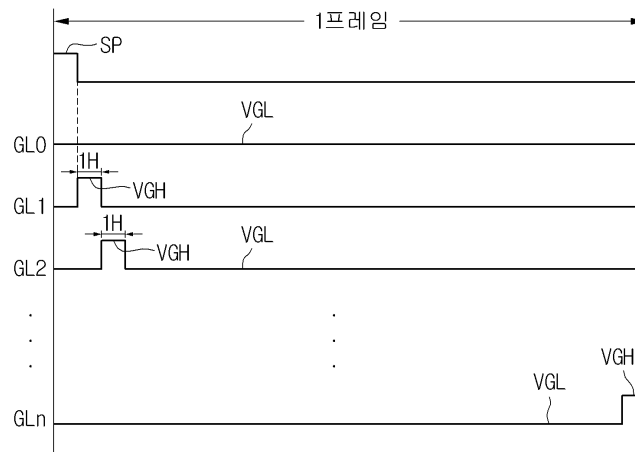
222:보호층

도면

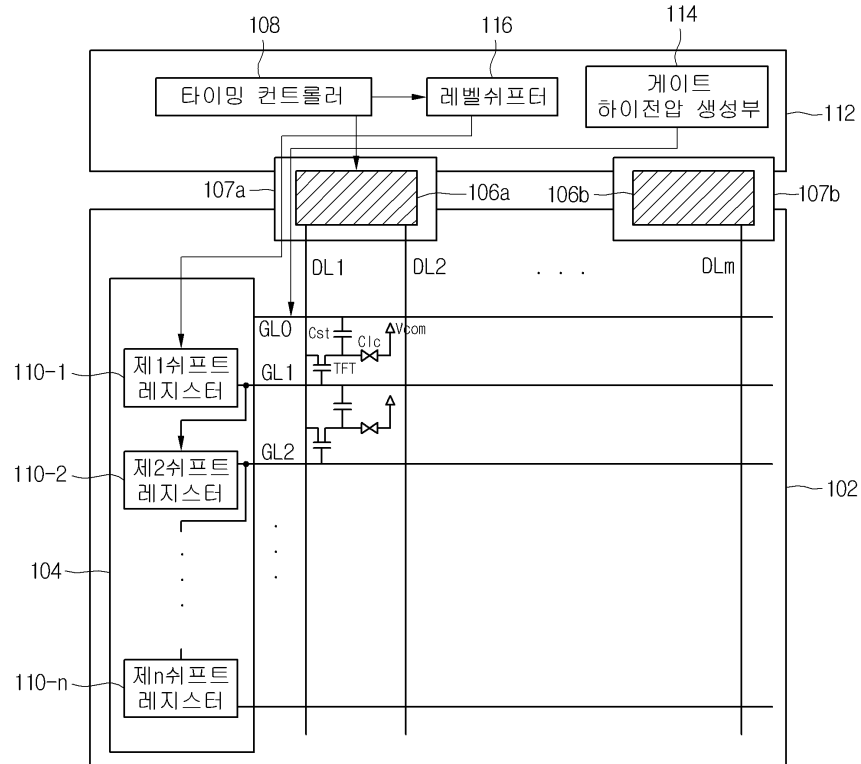
도면1



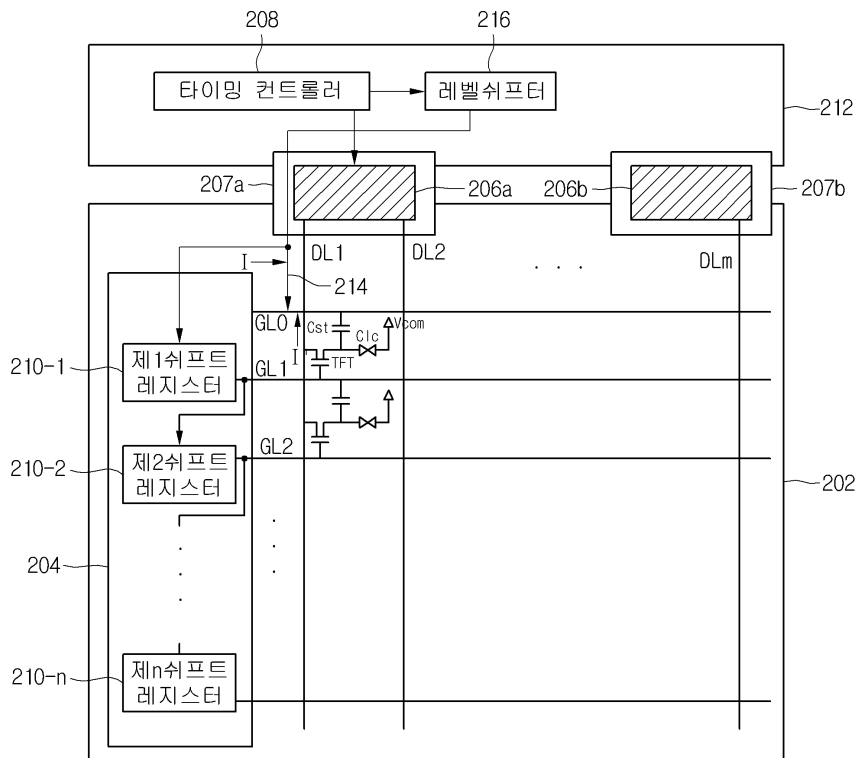
도면2



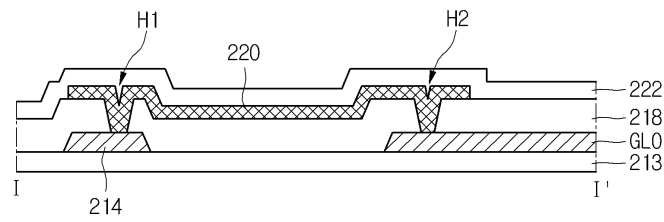
도면3



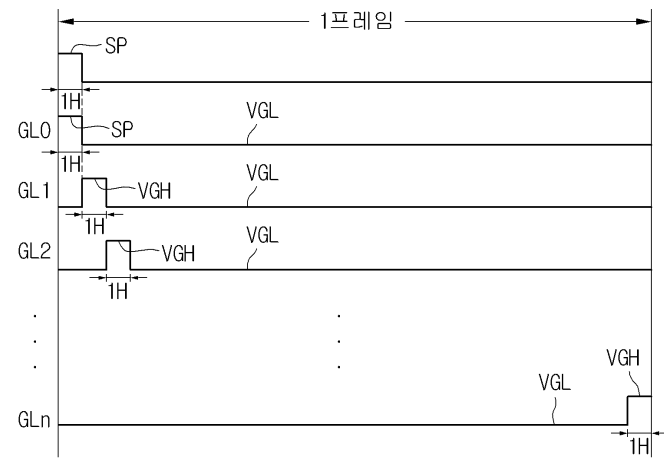
도면4



도면5



도면6



专利名称(译)	液晶面板，其制造方法以及具有该液晶面板的液晶显示装置		
公开(公告)号	KR1020070049311A	公开(公告)日	2007-05-11
申请号	KR1020050106372	申请日	2005-11-08
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM JAE YEOL 김재열 HONG YOUNG GI 홍영기		
发明人	김재열 홍영기		
IPC分类号	G02F1/133		
CPC分类号	G02F1/13452 G02F1/136286 G09G3/3685 G02F2001/13629		
代理人(译)	允许记录		
其他公开文献	KR101159348B1		
外部链接	Espacenet		

摘要(译)

用途：提供一种液晶面板，其制造方法以及包括该液晶面板的LCD（液晶显示器），以通过向伪栅极线提供起始脉冲信号从而防止图像质量的平均值来防止图像质量的劣化。提供给虚拟栅极线的电压和提供给第一至第n栅极线的栅极电压的平均值彼此相同。组成：基板分为显示区域和非显示区域。包括虚拟栅极线（GL0）和多条数据线（DL1~DLm）的多条栅极线形成在显示区域上。栅极驱动器（104）形成在非显示区域上。供电线形成在非显示区域上，并提供用于驱动栅极驱动器的驱动信号。电源线连接到栅极驱动器和虚拟栅极线。栅极线和电源线形成在同一层上。©KIPO 2007

