



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
G02F 1/1343 (2006.01)

(11) 공개번호 10-2007-0018262
(43) 공개일자 2007년02월14일

(21) 출원번호 10-2005-0072749
(22) 출원일자 2005년08월09일
심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 엄윤성
경기도 용인시 상현동 쌍용아파트 216동 1702호
유재진
경기도 광주시 오포읍 양벌1리 692번지
창학선
경기도 용인시 풍덕천동 동부아파트 103동 203호
유승후
경기도 성남시 분당구 수내동 로얄팰리스 하우스빌 B동 1202호
김현욱
경기도 용인시 기흥읍 농서리 산 24번지
도희욱
경기도 수원시 팔당구 인계동 1007-5번지 1층
김연주
경기도 수원시 영통구 매탄동 111-74번지 202호

(74) 대리인 유미특허법인

전체 청구항 수 : 총 10 항

(54) 박막 트랜지스터 표시판

(57) 요약

본 발명에 따른 박막 트랜지스터 표시판 기판, 상기 기판 위에 형성되어 있는 복수의 게이트선, 상기 기판 위에 형성되어 있으며 투명한 도전체로 이루어진 복수의 공통 전극, 상기 게이트선과 교차하는 데이터선, 상기 게이트선 및 상기 데이터선과 연결되어 있는 박막 트랜지스터, 상기 박막 트랜지스터와 연결되어 있으며, 상기 공통 전극과 중첩하고 있는 복수의 화소 전극을 포함하고, 상기 화소 전극은 서로 분리되어 있는 제1 및 제2 부화소 전극을 포함한다. 이를 통하여 공통 전극과 화소 전극의 일부가 단락되더라도 화소가 어둡게 표시되는 화소 오프 불량을 방지할 수 있다.

대표도

도 1

특허청구의 범위

청구항 1.

기관,

상기 기관 위에 형성되어 있는 복수의 게이트선,

상기 기관 위에 형성되어 있으며 투명한 도전체로 이루어진 복수의 공통 전극,

상기 게이트선과 교차하는 데이터선,

상기 게이트선 및 상기 데이터선과 연결되어 있는 박막 트랜지스터,

상기 박막 트랜지스터와 연결되어 있으며, 상기 공통 전극과 중첩하고 있는 복수의 화소 전극

을 포함하고,

상기 화소 전극은 서로 분리되어 있는 제1 및 제2 부화소 전극을 포함하는 박막 트랜지스터 표시판.

청구항 2.

제1항에서,

상기 박막 트랜지스터의 드레인 전극은 상기 제1 및 제2 부화소 전극에 각각 연결되어 있는 제1 및 제2 드레인 전극을 포함하는 박막 트랜지스터 표시판.

청구항 3.

제1항에서,

상기 제1 및 제2 부화소 전극은 서로 평행하게 배열되어 있는 선형의 가지 전극을 포함하는 박막 트랜지스터 표시판.

청구항 4.

제3항에서,

상기 공통 전극은 상기 가지 전극 사이에서 연속적인 면으로 이루어져 있는 박막 트랜지스터 표시판.

청구항 5.

제3항에서,

상기 제1 및 제2 부화소 전극의 상기 가지 전극은 서로 다른 영역에 각각 배치되어 있는 박막 트랜지스터 표시판.

청구항 6.

제5항에서,

상기 제1 및 제2 부화소 전극은 상기 게이트선을 중심으로 양쪽에 배치되어 있는 박막 트랜지스터 표시판.

청구항 7.

제3항에서,

상기 제1 및 제2 부화소 전극의 상기 가지 전극은 서로 교대로 배치되어 있는 박막 트랜지스터 표시판.

청구항 8.

제3항에서,

상기 제1 및 제2 부화소 전극의 상기 가지 전극은 상기 게이트선 또는 상기 데이터선에 대하여 임의의 각으로 기울어져 있는 박막 트랜지스터 표시판.

청구항 9.

제8항에서,

상기 제1 및 제2 부화소 전극의 상기 가지 전극은 상기 게이트선과 평행한 상기 공통 전극의 중심선에 대하여 대칭 구조를 가지는 박막 트랜지스터 표시판.

청구항 10.

제3항에서,

상기 공통 전극을 공통으로 연결하는 공통 전극선을 더 포함하는 박막 트랜지스터 표시판.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터 표시판에 관한 것으로, 더욱 상세하게는 액정 표시 장치의 한 기관으로 사용하는 박막 트랜지스터 표시판에 관한 것이다.

액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전계 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 전계 생성 전극에 전압을 인가하여 액정층에 전계를 생성하고 이를 통하여 액정층의 액정 분자들의 배향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

그 중에서도 전계가 인가되지 않은 상태에서 액정 분자의 장축을 상하 표시판에 대하여 수직을 이루도록 배열한 수직 배향(VA, vertical alignment) 모드 액정 표시 장치는 대비비가 커서 각광받고 있다.

그러나, 광시야각에 문제가 있어 수직 배향 모드의 액정 표시 장치에 절개부를 적용한 PVA(patterned vertically aligned) 모드의 액정 표시 장치, IPS(in-plane switching) 모드의 액정 표시 장치 및 PLS(plane to line switching) 모드의 액정 표시 장치가 개발되었다.

그런데, IPS 모드 및 FFS 모드의 액정 표시 장치는 하나의 표시판에 공통 전극과 화소 전극을 형성하기 때문에 공통 전극과 화소 전극이 서로 단락되어 화소가 어렵게 표시되는 오프 화소 불량(off pixel defect)이 빈번히 발생하며, 이로 인하여 공정 수율이 감소하는 단점을 가지고 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 기술적 과제는 PLS 모드에서 오프 화소 불량을 방지할 수 있는 박막 트랜지스터 표시판을 제공하는 것이다.

발명의 구성

본 발명의 일 실시예에 박막 트랜지스터 표시판은 기판, 상기 기판 위에 형성되어 있는 복수의 게이트선, 상기 기판 위에 형성되어 있으며 투명한 도전체로 이루어진 복수의 공통 전극, 상기 게이트선과 교차하는 데이터선, 상기 게이트선 및 상기 데이터선과 연결되어 있는 박막 트랜지스터, 상기 박막 트랜지스터와 연결되어 있으며, 상기 공통 전극과 중첩하고 있는 복수의 화소 전극을 포함하고, 상기 화소 전극은 서로 분리되어 있는 제1 및 제2 부화소 전극을 포함한다.

박막 트랜지스터의 드레인 전극은 제1 및 제2 부화소 전극에 각각 연결되어 있는 제1 및 제2 드레인 전극을 포함하는 것이 바람직하고, 제1 및 제2 부화소 전극은 서로 평행하게 배열되어 있는 선형의 가지 전극을 포함하는 것이 바람직하다.

공통 전극은 가지 전극 사이에서 연속적인 면으로 이루어져 있는 것이 바람직하다.

제1 및 제2 부화소 전극의 가지 전극은 서로 다른 영역에 각각 배치되어 있을 수 있으며, 제1 및 제2 부화소 전극은 게이트선을 중심으로 양쪽에 배치되어 있을 수 있다.

제1 및 제2 부화소 전극의 가지 전극은 서로 교대로 배치되어 있을 수 있다.

제1 및 제2 부화소 전극의 가지 전극은 게이트선 또는 데이터선에 대하여 임의의 각으로 기울어져 있는 것이 바람직하고, 제1 및 제2 부화소 전극의 가지 전극은 게이트선과 평행한 공통 전극의 중심선에 대하여 대칭 구조를 가지는 것이 바람직하다.

이러한 박막 트랜지스터 표시판은 공통 전극을 공통으로 연결하는 공통 전극선을 더 포함할 수 있다.

그러면, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예에 대하여 첨부한 도면을 참고로 하여 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

이제 본 발명의 실시예에 따른 액정 표시 장치의 한 기관으로 사용하는 박막 트랜지스터 표시판에 대하여 도면을 참고로 하여 상세하게 설명한다.

먼저, 본 발명의 실시예에 따른 박막 트랜지스터 표시판을 포함하는 액정 표시 장치에 대하여 도 1 및 도 2를 참고로 하여 상세하게 설명한다.

도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.

도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300) 및 이에 연결된 게이트 구동부(400), 데이터 구동부(500), 데이터 구동부(500)에 연결된 계조 전압 생성부(800), 그리고 이들을 제어하는 신호 제어부(600)를 포함한다.

액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 신호선(G1-Gn, D1-Dm)과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)를 포함한다. 반면, 도 2에 도시한 구조로 볼 때 액정 표시판 조립체(300)는 서로 마주하는 하부 및 상부 표시판(100, 200)과 그 사이에 들어 있는 액정층(3)을 포함한다.

신호선(G1-Gn, D1-Dm)은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선(G1-Gn)과 데이터 신호를 전달하는 데이터선(D1-Dm)을 포함한다. 게이트선(G1-Gn)은 대략 행 방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선(D1-Dm)은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다.

각 화소, 예를 들면 I번째 ($i=1, 2, 3, 4, \dots, n$) 게이트선(G_i)과 j번째($j=1, 2, 3, 4, \dots, m$) 데이터선(D_j)에 연결된 화소는 신호선(G_i, D_j)에 연결된 스위칭 소자(Q)와 이에 연결된 액정 축전기(liquid crystal capacitor)(Clc) 및 유지 축전기(storage capacitor)(Cst)를 포함한다. 유지 축전기(Cst)는 필요에 따라 생략할 수 있다.

스위칭 소자(Q)는 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서 그 제어 단자 및 입력 단자는 각각 게이트선(G_1-G_n) 및 데이터선(D_1-D_m)에 연결되어 있으며, 출력 단자는 액정 축전기(ClC) 및 유지 축전기(Cst)에 연결되어 있다.

액정 축전기(ClC)는 하부 표시판(100)의 화소 전극(191) 및 공통 전극(131)을 두 단자로 하며 두 전극(191, 131) 사이의 액정층(3)은 유전체로서 기능한다. 화소 전극(191)은 스위칭 소자(Q)와 연결되며 공통 전극(131)은 하부 표시판(200)의 전면에 형성되어 있고 공통 전압(Vcom)을 인가받는다.

액정 축전기(ClC)의 보조적인 역할을 하는 유지 축전기(Cst)는 하부 표시판(100)에 구비된 화소 전극(191)과 공통 전극(131)이 절연체를 사이에 두고 중첩되어 이루어진다.

이때, 화소 전극(191)은 두 부분으로 분리된 제1 및 제2 부화소 전극(1911, 1912)을 포함하며, 액정 축전기(ClC) 및 유지 축전기(Cst) 각각 또한 서로 병렬로 연결되어 있는 제1 및 제2 액정 축전기(ClC1, ClC2)와 제1 및 제2 유지 축전기(Cst1, Cst2)를 포함한다.

한편, 색 표시를 구현하기 위해서는 각 화소가 기본색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소가 시간에 따라 번갈아 기본색을 표시하게(시간 분할) 하여 이들 기본색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 기본색의 예로는 적색, 녹색, 청색 등 삼원색을 들 수 있다. 도 2는 공간 분할의 한 예로서 각 화소가 화소 전극(191)에 대응하는 상부 표시판(200)의 영역에 기본색 중 하나를 나타내는 색 필터(230)를 구비함을 보여주고 있다. 도 2와는 달리 색 필터(230)는 하부 표시판(100)의 화소 전극(191) 위 또는 아래에 형성할 수도 있다.

액정 표시판 조립체(300)의 바깥 면에는 빛을 편광시키는 적어도 하나의 편광자(도시하지 않음)가 부착되어 있다.

다시, 도 1을 참고하면, 계조 전압 생성부(800)는 화소의 투과율과 관련된 두 벌의 복수 계조 전압(또는 복수의 기준 계조 전압)을 생성한다. 두 벌 중 한 벌은 공통 전압(Vcom)에 대하여 양의 값을 가지고 다른 한 벌은 음의 값을 가진다.

게이트 구동부(400)는 액정 표시판 조립체(300)의 게이트선(G_1-G_n)에 연결되어 외부로부터의 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호를 게이트선(G_1-G_n)에 인가한다.

데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선(D_1-D_m)에 연결되어 있으며, 계조 전압 생성부(800)로부터의 계조 전압을 선택하고 이를 데이터 신호로서 데이터선(D_1-D_m)에 인가한다. 그러나, 계조 전압 생성부(800)가 모든 계조에 대한 전압을 모두 제공하는 것이 아니라 정해진 수의 기준 계조 전압만을 제공하는 경우에, 데이터 구동부(500)는 기준 계조 전압을 분압하여 전체 계조에 대한 계조 전압을 생성하고 이 중에서 데이터 신호를 선택한다.

신호 제어부(600)는 게이트 구동부(400) 및 데이터 구동부(500) 등의 동작을 제어한다.

이러한 구동 장치(400, 500, 600, 800) 각각은 적어도 하나의 집적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(300)에 부착되거나 별도의 인쇄 회로 기판(printed circuit board)(도시하지 않음) 위에 장착될 수 있다. 이와는 달리, 이들 구동 장치(400, 500, 600, 800)가 신호선(Gi-Gn, Dj-Dm) 및 박막 트랜지스터 스위칭 소자(Q) 따위와 함께 액정 표시판 조립체(300)에 직접될 수도 있다. 또한, 구동 장치(400, 500, 600, 800)는 단일 칩으로 집적될 수 있으며, 이 경우 이들 중 적어도 하나 또는 이들을 이루는 적어도 하나의 회로 소자가 단일 칩 바깥에 있을 수 있다.

그러면 이러한 액정 표시 장치의 표시 동작에 대하여 좀더 상세하게 설명한다.

신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호를 수신한다. 입력 제어 신호의 예로는, 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클럭(MCLK), 데이터 인에이블 신호(DE) 등이 있다.

신호 제어부(600)는 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 영상 신호(R, G, B)를 액정 표시판 조립체(300)의 동작 조건에 맞게 적절히 처리하고 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(DAT)는 데이터 구동부(500)로 내보낸다.

게이트 제어 신호(CONT1)는 게이트 온 전압(Von)의 주사 시작을 지시하는 주사 시작 신호(STV)와 게이트 온 전압(Von)의 출력을 제어하는 적어도 하나의 클럭 신호 등을 포함한다. 게이트 제어 신호(CONT1)는 또한 게이트 온 전압(Von)의 지속 시간을 한정하는 출력 인에이블 신호(OE)를 더 포함할 수 있다.

데이터 제어 신호(CONT2)는 한 화소행의 화소에 대한 영상 데이터의 전송을 알리는 수평 동기 시작 신호(STH)와 데이터 선(D1-Dm)에 데이터 전압을 인가하라는 로드 신호(LOAD) 및 데이터 클럭 신호(HCLK) 등을 포함한다. 데이터 제어 신호(CONT2)는 또한 공통 전압(Vcom)에 대한 데이터 전압의 극성(이하 "공통 전압에 대한 데이터 전압의 극성"을 줄여 "데이터 전압의 극성"이라 함)을 반전시키는 반전 신호(RVS)를 더 포함할 수 있다.

신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라, 데이터 구동부(500)는 한 행의 화소에 대한 영상 데이터(DAT)를 수신하고, 각 영상 데이터(DAT)에 대응하는 게조 전압을 선택함으로써, 영상 데이터(DAT)를 아날로그 신호로 변환할 다음, 이를 해당 데이터선(D1-Dm)에 인가한다.

게이트 구동부(400)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(Von)을 게이트선(G1-Gn)에 인가하여 이 게이트선(G1-Gn)에 연결된 스위칭 소자(Q)를 턴 온시킨다. 그러면, 데이터선(D1-Dm)에 인가된 데이터 신호가 턴온된 스위칭 소자(Q)를 통하여 해당 화소에 인가된다.

화소에 인가된 데이터 신호의 전압과 공통 전압(Vcom)의 차이는 액정 축전기(Clc)의 충전 전압, 즉 화소 전압으로서 나타난다. 액정 분자들은 화소 전압의 크기에 따라 그 배열을 달리하며 이에 따라 액정층(3)을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 표시판 조립체(300)에 부착된 편광자에 의하여 빛의 투과율 변화로 나타나며, 이를 통해 화소는 영상 신호(DAT)의 계조가 나타내는 휘도를 표시한다.

본 발명의 실시예에 따른 액정 표시 장치는 앞에서 설명한 바와 같이, 하나의 박막 트랜지스터(Q)를 통하여 게이트선(121) 및 데이터선(171)에 연결되어 있는 화소 전극(191)이 제1 및 제2 부화소 전극(1911, 1912)으로 나뉘어 있어 제1 및 제2 화소 전극(1911, 1912) 중 하나와 공통 전극(131)이 서로 단락되더라도 나머지 다른 하나의 부화소 전극(1911, 1912)은 공통 전극(131)과 단락되지 않아 스위칭 소자(Q)를 통하여 정상적으로 데이터 전압을 인가받는다. 그러므로 화소는 소정의 투과율로 화상을 표시하게 되어 화소가 어둡게 표시되는 화소 오프 불량이 나타나는 것을 방지할 수 있다.

1 수평 주기(또는 "1H") [수평 동기 신호(Hsync), 데이터 인에이블 신호(DE), 게이트 클럭(CPV)의 한 주기]가 지나면 데이터 구동부(500)와 게이트 구동부(400)는 다음 행의 화소에 대하여 동일한 동작을 반복한다. 이러한 방식으로, 한 프레임(frame) 동안 모든 게이트선(G1-Gn)에 대하여 차례로 게이트 온 전압(Von)을 인가하여 모든 화소에 데이터 전압을 인가한다.

한 프레임이 끝나면 다음 프레임이 시작되고 각 화소에 인가되는 데이터 전압의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다("프레임 반전"). 이때, 한 프레임 내에서도 반전 신호(RVS)의 특성에 따라 한 데이터선을 통하여 흐르는 데이터 전압의 극성이 바뀌거나(보기: 행반전, 점반전), 한 화소행에 인가되는 데이터 전압의 극성도 서로 다를 수 있다(보기: 열반전, 점반전).

그러면, 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판에 대하여 도 3 내지 도 6을 참고로 하여 상세하게 설명한다.

도 3은 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 4 내지 도 6은 도 3의 박막 트랜지스터 표시판을 IV-IV, V-V 및 VI-VI 선을 따라 잘라 도시한 단면도이다.

투명한 유리 또는 플라스틱 따위로 만들어진 절연 기판(110) 위에 복수의 게이트선(gate line)(121), 복수의 공통 전극선(125) 및 복수의 공통 전극(common electrode)(131)이 형성되어 있다.

게이트선(121)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있다. 각 게이트선(121)은 복수의 게이트 전극(gate electrode)(124)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(129)을 포함한다. 게이트 신호를 생성하는 게이트 구동 회로(도시하지 않음)는 집적 회로 칩의 형태로 기판(110) 위에 부착되는 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되거나, 기판(110) 위에 직접 장착될 수 있고, 또는 기판(110)에 집적될 수 있다. 게이트 구동 회로가 기판(110) 위에 집적되어 있는 경우 게이트선(121)이 연장되어 이와 직접 연결될 수 있다.

공통 전극선(125)은 공통 전압(common voltage)을 전달하며, 게이트선(121)과 거의 평행하게 가로 방향으로 뻗어 있다. 공통 전극선(125)은 게이트선(121)과 동일한 층으로 이루어져 있는데, 이웃하는 두 게이트선(121) 사이의 중앙에 위치하며, 누설되는 빛을 차단하기 위해 아래위로 돌출한 확장부를 가질 수 있다.

복수의 공통 전극(131)은 공통 전극선(121)에 공통으로 연결되어 공통 전극선(131)으로부터 공통 전압(common voltage)을 인가 받는다. 공통 전극(131)은 직사각형으로 모양을 이루고 매트릭스 형태로 배열되어 게이트선(121) 사이의 공간을 거의 채우고 있다. 공통 전극(131)은 ITO(indium tin oxide) 또는 IZO(indium zinc oxide) 등의 투명한 도전 물질로 만들어지며, 공통 전극선(125)은 공통 전극(131)과 동일한 층으로 만들어질 수 있다.

게이트선(121) 및 공통 전극선(125)은 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은 계열 금속, 구리(Cu)나 구리 합금 등 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 만들어질 수 있다. 그러나 이들은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수도 있다. 이 중 한 도전막은 신호 지연이나 전압 강하를 줄일 수 있도록 비저항(resistivity)이 낮은 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 만들어진 다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 탄탈륨, 티타늄 등으로 만들어진 다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄(합금) 상부막 및 알루미늄(합금) 하부막과 몰리브덴(합금) 상부막을 들 수 있다. 그러나 게이트선(121)은 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.

게이트선(121) 및 공통 전극선(125)의 측면은 기판(110) 면에 대하여 경사져 있으며 그 경사각은 약 30도 내지 약 80도인 것이 바람직하다.

게이트선(121), 공통 전극선(125) 및 공통 전극(131) 위에는 질화규소(SiNx) 또는 산화규소(SiOx) 따위로 만들어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다. 게이트 절연막(140)은 게이트선(121)과 공통 전극(131)이 서로 단락되는 것을 방지하고, 이들 위에 형성되는 다른 도전성 박막과의 절연을 도모한다.

게이트 절연막(140) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 또는 다결정 규소(polysilicon) 등으로 만들어진 복수의 섬형 반도체(154)가 형성되어 있다. 섬형 반도체(154)는 게이트 전극(124) 위에 위치하며, 게이트선(121)의 경계를 덮는 연장부(extension)를 포함한다.

섬형 반도체(154) 위에는 복수의 섬형 저항성 접촉 부재(ohmic contact)(163, 165)가 형성되어 있다. 저항성 접촉 부재(163, 165)는 인 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다. 섬형 저항성 접촉 부재(163, 165)는 쌍을 이루어 섬형 반도체(154) 위에 배치되어 있다.

섬형 반도체(154)와 저항성 접촉 부재(163, 165)의 측면 역시 기판(110) 면에 대하여 경사져 있으며 경사각은 30도 내지 80도 정도이다.

저항성 접촉 부재(163, 165) 및 게이트 절연막(140) 위에는 복수의 데이터선(data line)(171)과 복수의 드레인 전극(drain electrode)(175)이 형성되어 있다.

데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121)과 교차한다. 각 데이터선(171)은 게이트 전극(124)을 향하여 뻗은 복수의 소스 전극(source electrode)(173)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(179)을 포함한다. 데이터 신호를 생성하는 데이터 구동 회로(도시하지 않음)는 기판(110) 위에 부착되는 가요성 인쇄 회로막(도시하지 않음) 위에 장착되거나, 기판(110) 위에 직접 장착되거나, 기판(110)에 집적될 수 있다. 데이터 구동 회로가 기판(110) 위에 집적되어 있는 경우, 데이터선(171)이 연장되어 이와 직접 연결될 수 있다.

드레인 전극(175)은 데이터선(171)과 분리되어 있고 게이트 전극(124)을 중심으로 소스 전극(173)과 마주 본다. 이때, 드레인 전극(175)은 서로 분리되어 있는 제1 및 제2 드레인 전극(175a, 175b)을 포함한다.

하나의 게이트 전극(124), 하나의 소스 전극(173) 및 하나의 드레인 전극(175)은 섬형 반도체(154)와 함께 하나의 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173)과 드레인 전극(175) 사이의 반도체(154)에 형성된다.

데이터선(171) 및 드레인 전극(175)은 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속(refractory metal) 또는 이들의 합금으로 만들어지는 것이 바람직하며, 내화성 금속막(도시하지 않음)과 저저항 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수 있다. 다중막 구조의 예로는 크롬 또는 몰리브덴 (합금) 하부막과 알루미늄 (합금) 상부막의 이중막, 몰리브덴 (합금) 하부막과 알루미늄 (합금) 중간막과 몰리브덴 (합금) 상부막의 삼중막을 들 수 있다. 그러나 데이터선(171) 및 드레인 전극(175)은 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.

저항성 접촉 부재(163, 165)는 그 아래의 반도체(154)와 그 위의 데이터선(171) 및 드레인 전극(175) 사이에만 존재하며 이들 사이의 접촉 저항을 낮추어 준다. 게이트선(121) 위에 위치한 반도체(154)의 연장부는 표면의 프로파일을 부드럽게 함으로써 데이터선(171)이 단선되는 것을 방지한다. 반도체(154)에는 소스 전극(173)과 드레인 전극(175) 사이를 비롯하여 데이터선(171) 및 드레인 전극(175)으로 가리지 않고 노출된 부분이 있다.

데이터선(171), 드레인 전극(175) 및 노출된 반도체(151) 부분 위에는 보호막(passivation layer)(180)이 형성되어 있다. 보호막(180)은 무기 절연물로 만들어지며, 무기 절연물의 예로는 질화규소와 산화규소를 들 수 있다. 그러나 보호막(180)은 유기막의 우수한 절연 특성을 살리면서도 노출된 반도체(151) 부분에 해가 가지 않도록 하부 무기막과 상부 유기막의 이중막 구조를 가질 수 있다.

보호막(180)에는 데이터선(171)의 끝 부분(179)과 제1 및 제2 드레인 전극(175a, 175b)을 각각 드러내는 복수의 접촉 구멍(contact hole)(182, 185a, 185b)이 형성되어 있으며, 보호막(180)과 게이트 절연막(140)에는 게이트선(121)의 끝 부분(129)을 드러내는 복수의 접촉 구멍(181)이 형성되어 있다.

보호막(180) 위에는 복수의 화소 전극(pixel electrode line)(191) 및 복수의 접촉 보조 부재(contact assistant)(81, 82)가 형성되어 있다. 이들은 ITO(indium tin oxide) 또는 IZO(indium zinc oxide) 등의 투명한 도전 물질로 만들어질 수 있다.

화소 전극(191)은 주로 세로 방향으로 뻗어 있으며 공통 전극(31)과 중첩하고 서로 분리되어 있는 제1 및 제2 부화소 전극(191a, 191b)을 포함한다.

서로 분리되어 있는 제1 및 제2 부화소 전극(191a, 191b)은 게이트선(121) 및 데이터선(171)으로 둘러싸인 영역을 좌우로 이등분하는 선에 대하여 대략 우반부와 좌반부에 각각 위치한다.

제1 부화소 전극(191a)은 소정의 각도로 꺾여 있어 게이트선(121)과 평행한 공통 전극(131)의 중심선에 대하여 대칭을 이루는 복수의 하부 및 상부 가지 전극(191a1, 191a2)과 복수의 하부 및 상부 가지 전극(191a1, 191a2)들의 상단 및 하단을 연결하며 이웃하는 두 게이트선(121)에 인접하게 각각 배치되어 있는 하단 및 상단 연결부(192a1, 192a2)를 포함한다. 또한, 제1 부화소 전극(191a)은 하부 및 상부 가지 전극(191a1, 191a2)과 각각 평행하며 오른쪽 최외각의 하부 및 상부 가지 전극(191a1, 191a2)에 연결되어 있는 우측 가지 전극(191a3, 191a4)을 포함한다. 우측 가지 전극(191a3, 191a4)은 하부 및 상부 가지 전극(191a1, 191a2)보다 짧으며 공통 전극선(125)과 중첩하는 연결부를 통하여 하부 및 상부 가지 전극(191a1, 191a2)에 연결되어 있다.

제2 부화소 전극(191b) 또한 소정의 각도로 꺾여 있어 게이트선(121)과 평행한 공통 전극(131)의 중심선에 대하여 대칭을 이루는 복수의 하부 및 상부 가지 전극(191b1, 191b2)과 복수의 하부 및 상부 가지 전극(191b1, 191b2)들의 하단 및 상단을 연결하며 이웃하는 두 게이트선(121)에 인접하게 각각 배치되어 있는 하단 및 상단 연결부(192b1, 192b2)를 포함한다. 또한, 제2 부화소 전극(191b)은 하부 및 상부 가지 전극(191b1, 191b2)과 각각 평행하며 왼쪽 최외각의 하부 및 상부 가지 전극(191b1, 191b2)에 연결되어 있는 좌측 가지 전극(191b3, 191b4)을 포함한다. 좌측 가지 전극(191b3, 191b4)은 하부 및 상부 가지 전극(191b1, 191b2)보다 짧으며 하단 및 상단 연결부(192b1, 192b2)를 통하여 하부 및 상부 가지 전극(191b1, 191b2)에 연결되어 있다.

화소 전극(191)의 가지 전극(191a1, 191a2, 191b1, 191b2)은 그 중앙이 약간 굴절되어 있어서 데이터선(171)과 소정 각도(θ s)를 이루며 기울어져 있다. 상부 가지 전극(191a2, 191b2)은 왼쪽 아래에서 오른쪽 위로 비스듬하게 뻗어 있으며, 상부 가지 전극(191a1, 191b1)은 오른쪽 위에서 왼쪽 아래로 비스듬하게 뻗어 있다. 여기서, 수직 방향은 "R"이고, 상부 가지 전극(191a2, 191b2)이 뻗은 방향은 "S"이다.

제1 및 제2 화소 전극(191a, 191b) 각각은 접촉 구멍(185a, 185b)을 통하여 제1 및 제2 드레인 전극(175a, 175b)과 물리적 및 전기적으로 연결되어 있으며, 각각 제1 및 제2 드레인 전극(175a, 175b)으로부터 데이터 전압을 인가 받는다. 이때, 화소 전극(191)은 제1 및 제2 부화소 전극(191a, 191b)으로 나뉘어 있고, 서로 분리된 제1 및 제2 드레인 전극(175a, 175b)으로부터 데이터 전압을 인가 받아 하나의 박막 트랜지스터(Q)로부터 데이터 전압을 인가 받더라도 제1 및 제2 부화소 전극(191a, 191b)은 전기적으로 서로 독립되어 있다. 따라서, 제1 및 제2 화소 전극(191a, 191b)이 각각 위치하는 두 영역(A, A')에서 동일한 데이터 전압이 인가되더라도 독립적으로 구동된다. 그러므로, 제1 및 제2 화소 전극(191a, 191b) 중 하나와 공통 전극(131)이 서로 단락되더라도 나머지 다른 하나의 부화소 전극(191a, 191b)은 공통 전극(131)과 단락되지 않아 스위칭 소자(Q)를 통하여 정상적으로 데이터 전압을 인가 받는다. 그러므로 화소는 소정의 투과율로 화상을 표시하게 되어 화소가 어둡게 표시되는 화소 오프 불량이나 나타나는 것을 방지할 수 있으며, 이를 통하여 공정 수율을 향상시킬 수 있다.

데이터 전압이 인가된 화소 전극(191)은 공통 전압을 인가 받는 공통 전극(131)과 함께 전기장을 생성함으로써 두 전극(191, 131) 위에 위치하는 액정층(3)의 액정 분자의 방향을 결정한다. 이와 같이 결정된 액정 분자의 방향에 따라 액정층을 통과하는 빛의 편광이 달라진다.

화소 전극(191)과 공통 전극(131)은 액정층(3)을 유전체로 액정 축전기(Cl_c, 도 2 참조)를 이루어 박막 트랜지스터가 턴 오프된 후에도 인가된 전압을 유지하는데, 이들(191, 131)은 또한 게이트 절연막(140) 및 보호막(180)을 유전체로 유지 축전기(C_{st})를 이루어 액정 축전기의 전압 유지 능력을 강화시킨다.

접촉 보조 부재(81, 82)는 각각 접촉 구멍(181, 182)을 통하여 게이트선(121)의 끝 부분(129) 및 데이터선(171)의 끝 부분(179)과 연결된다. 접촉 보조 부재(81, 82)는 게이트선(121)의 끝 부분(129) 및 데이터선(171)의 끝 부분(179)과 외부 장치와의 접촉성을 보완하고 이들을 보호한다.

이하에서 본 발명의 한 실시예에 따른 액정 표시 장치가 동작하는 방법에 대해 상세히 설명한다.

도 7은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 전극을 나타내는 배치도이고, 도 8은 도 7에서 VIII-VIII 선을 잘라 도시한 액정 표시 장치의 단면도로서, 상부 기관 및 하부 기관 사이의 전기력선을 함께 도시한 도면이다.

도 7 및 도 8에 도시한 바와 같이, 하부 기관(110) 위에는 면형의 공통 전극(131)이 형성되어 있으며, 공통 전극(131) 위에는 게이트 절연막(140) 및 보호막(180)이 덮여 있고, 보호막(180) 위에는 폭이 좁은 복수의 화소 전극(191)이 세로 방향으

로 서로 평행하게 뻗어 있다. 화소 전극(191)의 폭은 화소 전극(191) 사이의 간격보다 작다. 화소 전극(191) 위에는 폴리이미드(polyimide) 따위의 물질로 만들어진 배향막(alignment layer)(11)이 도포되어 있으며 이들은 수평 배향막일 수 있다. 하부 기판(110)의 바깥 면에는 편광판(12)이 부착되어 있다.

상부 기판(210) 위에는 색필터(230)가 형성되어 있으며, 색필터(230) 위에는 폴리이미드 따위의 물질로 만들어진 배향막(21)이 도포되어 있으며 이들은 수평 배향막일 수 있다. 상부 기판(210)의 바깥 면에는 편광판(22)이 부착되어 있다.

그리고, 두 기판(110, 210)의 배향막(11, 21) 사이에는 양의 유전율 이방성을 가지는 액정층(3)이 주입되어 있다. 따라서, 액정층(3)의 액정 분자는 전기장이 없는 상태에서 그 장축이 화소 전극(191)의 방향과 거의 평행하게(화소 전극의 방향과 소정 각도(Φ_s , 도 1참조)를 이루면서) 배향되어 있으며, 전압이 인가된 경우에는 화소 전극(191)과 공통 전극(131)사이에서 형성되는 전기력에 의해 액정 분자의 장축이 화소 전극(191)의 방향과 수직하도록 배열되며 이에 따라 액정층을 통과하는 빛의 편광이 달라진다.

이러한 액정 표시 장치는 하부 기판(110)의 하부에 위치하는 조명부(backlight unit)(도시하지 않음)로부터 발생한 빛의 투과율을 조절하여 표시 동작을 할 수도 있지만, 반사형 액정 표시 장치의 경우에는 아래 편광판(12)은 필요하지 않다. 반사형 액정 표시 장치의 경우에는 화소 전극(191)과 공통 전극(131) 모두를 불투명하고 반사율이 높은 알루미늄(Al) 등의 물질로 만드는 것이 바람직하다.

도 8에 도시한 바와 같이, 이러한 액정 표시 장치의 공통 전극(131) 및 화소 전극(191)에 전압을 인가하여 전위차를 주면 전기장이 생성되며, 도 8에 점선으로 전기력선을 표시하였다.

전기장의 형태는 화소 전극(191) 위의 좁은 영역(NR)의 세로 방향 중앙선(C)(실제로는 면에 해당함) 및 화소 전극(191) 사이의 넓은 영역(WR)의 세로 방향 중앙선(B)(실제로는 면에 해당함)에 대하여 대칭이다. 좁은 영역(NR)의 중앙선(C)으로부터 넓은 영역(WR)의 중앙선(B)까지의 영역에는 좁은 영역(NR)과 넓은 영역(WR)의 경계선(A)(실제로는 면에 해당함)에 정점을 두고 있는 반타원 모양 또는 포물선 모양(이하에서는 편의상 반타원 모양인 것으로 설명한다)의 전기력선 형태를 가지는 전기장이 생성된다. 전기력선의 접선은 좁은 영역(NR)과 넓은 영역(WR)의 경계선(A) 상에서 기판(10)에 대하여 거의 평행하고, 좁은 영역(NR) 및 넓은 영역(WR)의 중앙 위치에서는 기판(10)에 대하여 거의 수직이 된다. 또한, 타원의 중심 및 세로 방향 정점은 좁은 영역(NR)과 넓은 영역(WR)의 경계선(A) 상에 위치하고, 가로 방향의 두 정점은 각각 넓은 영역(WR) 및 좁은 영역(NR)에 위치한다. 이때, 좁은 영역(NR)에 위치하는 가로 방향 정점은 넓은 영역(WR)에 위치하는 가로 방향 정점에 비하여 타원의 중심으로부터의 거리가 짧기 때문에 타원은 경계선(A)에 대하여 대칭을 이루지 않는다. 또한, 전기력선의 밀도가 위치에 따라 달라지고 전기장의 세기도 이에 비례하여 달라진다. 따라서, 좁은 영역(NR)과 넓은 영역(WR) 사이의 경계선(A-A) 상에서 전기장의 세기가 가장 크고, 좁은 영역(NR) 및 넓은 영역(WR)의 중앙선(C-C, B-B)으로 갈수록, 그리고 상부 기판(210)으로 갈수록 작아진다.

그러면, 이러한 전기장에 의하여 액정 분자가 재배열된 상태를 기판에 수평인 성분과 이에 수직인 성분으로 나누어 살펴본다. 먼저, 초기 상태를 설명한다.

두 배향막(11, 21)은 러빙 또는 자외선 조사법으로 배향 처리되어, 액정 분자들이 모두 한 방향으로 배열되되 기판(110, 210)에 대하여 약간의 선경사각을 가지지만 거의 수평이 되고, 기판(110, 210)에 평행한 면상에서 볼 때 화소 전극(191) 방향 및 이에 수직인 방향에 대하여 일정 각(θ_s , 도 1 참조)을 이루도록 배향되어 있다. 편광판(12, 22)의 편광축은 서로 직교하도록 배치하며, 하부 편광판(12)의 편광축은 러빙 방향과 거의 일치한다.

다음, 화소 전극(191) 및 공통 전극(131)에 각각 전압을 인가하되, 화소 전극(191)에 높은 전압을 인가한다. 이 때 액정 분자의 배열은 전기장에 의한 힘(전기장의 방향과 세기에 의존)과 배향 처리로 인하여 발생하는 탄성 복원력이 평형을 이루으로써 결정된다.

이러한 액정 분자의 재배열 상태를 기판에 평행한 성분과 수직인 성분으로 나누어 살펴본다. 설명의 편의상 기판에 수직인 방향을 z축, 기판과 평행하고 화소 전극(191) 방향에 수직인 방향을 x축, 화소 전극(191)의 방향에 평행한 방향을 y축으로 정한다. 즉, 도 7에서 왼쪽에서 오른쪽을 향하는 방향을 x축, 화소 전극(191)을 따라 아래에서 위로 향하는 방향을 y축, 도 8에서 하부 기판(110)에서 상부 기판(210)을 향하는 방향을 z축으로 정한다.

먼저, 액정 분자(310)의 비틀림각, 즉, x축 또는 초기 배열 방향에 대하여 액정 분자의 장축이 기판에 평행한 면(xy 평면) 위에서 이루는 각의 변화를 도 9, 도 10 및 도 11을 참고로 설명한다.

도 9는 본 발명의 한 실시예에 따른 액정 표시 장치에서 액정 분자들의 비틀림각 변화를 설명하기 위한 배치도이고, 도 10은 본 발명의 실시예에 따른 액정 표시 장치에서 기판에 수평이고 화소 전극에 수직인 선에 대한 액정 분자들의 비틀림각 변화를 도시한 그래프이고, 도 11은 본 발명의 실시예에 따른 액정 표시 장치에서 기판에 수직인 선에 대한 액정 분자들의 비틀림각 변화를 도시한 그래프이다.

도 9에 도시한 바와 같이, 러빙 방향은 벡터 $\vec{R}$ 로, 전기장의 x-y 평면 성분은 벡터 $\vec{E}_{xy}$ 로, 아래 편광판(12)의 광축은 벡터 $\vec{P}$ 로 나타내었으며, 러빙 방향이 x축과 이루는 각은 ΦR 로, 액정 분자의 장축이 x축과 이루는 각을 ΦLC 로 나타내었다. 그런데 여기에서 아래 편광판(12)의 광축은 러빙 방향과 일치하므로 아래 편광판(12)의 광축이 x축과 이루는 각 $\Phi P = \Phi R$ 이다.

전기장의 x-y 평면 성분($\vec{E}_{xy}$)의 방향은 경계선(A)으로부터 넓은 영역(WR)의 중앙선(B)에 이르기까지는 양의 x 방향이고, 넓은 영역(WR)의 중앙선(B)으로부터 다음 경계선(D)까지는 음의 x 방향이다. 전기장 성분의 세기는 경계선(A, D) 상에서 가장 크고 중앙선(B-B) 쪽으로 갈수록 작아져 중앙선(B-B) 상에서는 0이 된다.

배향 처리에 의한 탄성적 복원력의 크기는 xy 평면상에서는 위치에 관계없이 일정하다. 액정 분자들은 이러한 두 가지 힘이 평형을 이루도록 배열하여야 하므로, 도 10에 도시한 바와 같이, 경계선(A, D)에서는 액정 분자의 장축 방향이 전기장 성분($\vec{E}_{xy}$)에 대하여 거의 평행하고 러빙 방향에 대해서는 큰 각도를 가지지만, 영역(NR, WR)의 중심선(C, B)으로 갈수록 액정 분자의 장축이 러빙 방향에 대하여 이루는 각($|\Phi R - \Phi LC|$)이 작아지고, 중심선(B, C)에서는 액정 분자의 장축과 러빙 방향이 동일해진다. 아래 편광판(20)의 광축은 러빙 방향과 평행하므로, 아래 편광판(20)의 광축과 액정 분자의 장축이 이루는 각도도 이와 동일한 분포를 가지며, 이 값은 빛의 투과율과 밀접한 관련이 있다.

좁은 영역(NR)과 넓은 영역(WR)의 폭의 비를 변화시켜 다양한 형태의 전기장을 만들어 낼 수 있다. 화소 전극(191)을 투명한 물질로 만드는 경우에는 좁은 영역(NR) 또한 표시 영역으로 사용할 수 있으나, 불투명 전극으로 하는 경우에는 화소 전극(191) 위의 좁은 영역(NR)을 표시 영역으로 사용할 수 없다.

한편, 전기장의 xy 평면 성분($\vec{E}_{xy}$)은 아래 배향막(11)으로부터 위 배향막(21)에 이르기까지, 즉 z축을 따라가며 점점 작아지며, 배향에 의한 탄성적 복원력은 배향막(11, 21)의 표면에서 가장 크고, 두 배향막(11, 21) 사이 액정층의 중앙으로 갈수록 점점 작아진다.

도 11은 z축을 따라가며 액정 분자의 장축 방향이 x축과 이루는 비틀림각을 도시한 도면으로서, 두 배향막 사이의 간격, 즉 셀 간격이 d인 경우이다. 여기에서 가로축은 아래 배향막(11)으로부터의 높이를 뜻하고, 세로축은 비틀림각을 나타낸다.

도 11에 도시한 바와 같이, 비틀림각은 배향막(11, 21)의 표면에서는 배향력에 의한 힘이 강하기 때문에 크고, 액정층의 중앙으로 갈수록 작아져 전기장의 방향에 가깝게 되는 것을 알 수 있으며, 배향막(11, 21) 바로 위에서는 액정 분자의 장축이 러빙 방향과 동일한 방향으로 배열한다. 여기에서 인접한 액정 분자의 비틀림각의 차이를 비틀림(twist)이라고 하면, 도 11에서 비틀림은 곡선의 기울기에 해당되고, 이는 배향막(11, 21)의 표면에서는 크고 액정층의 중앙으로 갈수록 작아진다.

액정 분자의 경사각, 즉, x축 또는 초기 배열 방향에 대하여 액정 분자의 장축이 기판에 수직인 면(zx 평면) 위에서 이루는 각의 변화를 도 12, 도 13 및 도 14를 참고로 설명한다.

도 12는 본 발명의 실시예에 따른 액정 표시 장치에서 액정 분자들의 경사각 변화를 설명하기 위한 도면이고, 도 13은 본 발명의 실시예에 따른 액정 표시 장치에서 기판에 수직인 선에 대한 액정 분자들의 경사각 변화를 도시한 그래프이고, 도 14는 본 발명의 한 실시예에서 기판에 수평이고 화소 전극에 수직인 선에 대한 액정 분자들의 경사각 변화를 도시한 그래프이다.

도 12에서는 편의상 기관(110, 210)만을 도시한 것이며, 도 9에서 도시한 러빙 방향을 나타내는 벡터 $\vec{R}$ 의 zx 평면에 대한 성분을 벡터 $\vec{R}_{zx}$ 로, 전기장의 zx 평면 성분은 벡터 $\vec{E}_{zx}$ 로 나타내었으며, 전기장의 zx 평면 성분 $\vec{E}_{zx}$ 가 x축과 이루는 각은 θ_E 로, 액정 분자의 장축이 x축과 이루는 경사각을 θ_{LC} 로 나타내었다. 그런데, 여기에서 벡터 $\vec{R}$ 은 xy 평면상에 존재하므로(경사각은 무시) $\vec{R}_{zx}$ 는 x 방향이 된다.

전기장의 zx 평면 성분($\vec{E}_{zx}$)의 크기는 아래 기관(10)에서 위 기관(11)으로 갈수록 작아지고, 각도 θ_E 또한 아래 기관(10)에서 위 기관(11)으로 갈수록 작아진다.

앞서 설명한 것처럼 배향 처리에 의한 탄성적 복원력의 크기는 두 기관(10, 11)의 표면에서 가장 크고, 액정층의 중앙으로 갈수록 작아진다.

액정 분자들은 이러한 두 가지 힘이 평형을 이루도록 배열하여야 한다. 도 13에 나타난 것처럼, 하부 기관(110) 표면에서는 배향력이 강하므로 액정 분자들이 x축과 평행하게 배열하지만, 위로 올라갈수록 전기장에 의한 힘이 상대적으로 커지므로 경사각(θ_{LC})의 크기가 어느 정도 지점까지는 계속해서 증가하다가 다시 감소하여 위 기관(11) 표면에서는 다시 x축과 평행하게 배열한다. 이때, 곡선의 정점은 아래 기관(10)에 가까운 위치에서 나타난다.

한편, 전기장의 zx 평면 성분($\vec{E}_{zx}$)이 x축에 대하여 이루는 각 θ_E 는 경계선(A, D) 상에서는 0에 가깝고 중앙선(B-B) 쪽으로 갈수록 커지며, 전기장의 zx 평면 성분($\vec{E}_{zx}$)의 크기는 경계선(A, D) 상에서 가장 크고 중앙선(B-B) 쪽으로 갈수록 작아진다.

배향 처리에 의한 탄성적 복원력의 크기는 x 축 상에서는 위치에 관계없이 일정하다.

따라서, 도 14에 도시한 바와 같이, 경계선(A, D)에서는 액정 분자의 경사각이 거의 0에 가깝지만 중심선(C, B)으로 갈수록 커져 전기장의 zx 평면 성분($\vec{E}_{zx}$)이 x축과 이루는 각(θ_E)과 유사한 분포를 가진다. 그러나, θ_E 보다는 완만하게 변화한다.

이와 같이 공통 전극 및 화소 전극(131, 191)에 전압이 인가되면 액정 분자들은 비틀림각 및 경사각을 가지며 재배열하는데, 그 비틀림각 및 경사각의 변화로 인하여 빛의 투과율이 변화한다. 경계선(A, D) 상에서는 z축을 따라 볼 때 경사각의 변화는 거의 없지만 비틀림각의 변화는 크다. 반면에, 중앙선(B, C) 상에서는 z축을 따라 볼 때 비틀림각의 변화는 거의 없지만 경사각은 약간 변화한다. 따라서, 경계선(A, D)과 중앙선(B, C) 사이의 영역에서는 비틀림각과 경사각이 모두 변화하는 영역이 된다. 결국, 위치에 따른 투과율 곡선은 전기력선의 형태와 유사한 형태가 된다.

또한, 도 3에 도시한 바와 같이, 제1 및 제2 부화소 전극(191a, 191b)의 상부 가지 전극(191a2, 191b2)에 대응하는 영역에 위치하는 액정 분자(310)는 가지 전극(191a2, 191b2)에 대하여 초기 비틀림각(θ_s)을 가지도록 배향되어 있으며, 제1 및 제2 부화소 전극(191a, 191b)의 하부 가지 전극(191a1, 191b1)에 대응하는 영역에 위치하는 액정 분자(310)는 하부 가지 전극(191a1, 191b1)에 대하여 초기 비틀림각(θ_s)을 가지며 배향되어 있다.

초기 비틀림각(θ_s)은 러빙 방향(P)과 화소 전극(191)의 길이 방향(S)이 이루는 각 또는 러빙 방향(P)과 화소 전극(191)이 각으로 정의되며, 휘도 감소를 방지하기 위해 0도보다 크고 10도보다 작거나 같은 것이 바람직하다.

이 때, 제1 및 제2 부화소 전극(191a, 191b)의 상부 가지 전극(191a2, 191b2)에 대응하는 영역에 위치하는 액정 분자(310)는 전압 인가 시 초기 비틀림각(θ_s)에 의해 시계 반대 방향으로 회전하며, 제1 및 제2 부화소 전극(191a, 191b)의 하부 가지 전극(191a1, 191b1)에 대응하는 영역에 위치하는 액정 분자(310)는 전압 인가 시 초기 비틀림각(θ_s)에 의해 시계 방향으로 회전한다. 따라서, 두 개의 도메인이 형성되며, 좌우 방향에서의 시인성이 향상된다.

본 발명의 실시예에서는 양의 유전율 이방성을 가지는 액정층(3)에 대해서 설명하였지만, 액정층(3)은 음의 유전율을 가질 수 있다. 이때, 액정 분자는 화소 전극(191)과 공통 전극(131) 사이에서 형성되는 전기장에 대하여 수직하여 배열되므로, 액정 분자의 배향 방향은 화소 전극(191)의 가지 전극(191a1, 191b1, 191a2, 191b2) 방향에 대하여 거의 수직이며, 이 경우에도 전압 인가시 액정 분자가 회전하는 방향을 결정하기 위해 초기 비틀림각(θ_s)을 가지는 것이 바람직하다.

다음은, 본 발명의 다른 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판에 대하여 도 15 내지 도 18을 참조하여 설명하기로 한다.

도 15 내지 도 18은 본 발명의 다른 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조를 도시한 배치도이다.

본 실시예들에 따른 박막 트랜지스터 표시판(100)의 층상 구조는 도 3 내지 도 6과 거의 동일하다.

게이트 전극(124)을 포함하는 복수의 게이트선(121), 복수의 공통 전극(131) 및 공통 전극(131)을 연결하는 복수의 공통 전극선(125)이 기판(110) 위에 형성되어 있고, 그 위에 게이트 절연막(140), 복수의 섬형 반도체(154) 및 복수의 선형 저항성 접촉 부재(163, 165)가 차례로 형성되어 있다. 소스 전극(173)을 포함하는 복수의 데이터선(171) 및 복수의 드레인 전극(175)이 저항성 접촉 부재(163, 165) 및 게이트 절연막(140) 위에 형성되어 있고, 보호막(180)이 그 위에 형성되어 있으며, 보호막(180) 및 게이트 절연막(140)에는 복수의 접촉 구멍(181, 182, 185)이 형성되어 있다. 보호막(180) 위에는 복수의 화소 전극(190) 및 복수의 접촉 보조 부재(81, 82)가 형성되어 있다.

하지만, 도 3 내지 도 6과 달리, 도 15에서 보는 바와 같이 본 실시예에 따른 박막 트랜지스터 표시판에는 화소 전극(191)은 주로 가로 방향으로 뻗어 있으며, 서로 분리되어 있는 제1 및 제2 부화소 전극(191c, 191d)을 포함한다.

서로 분리되어 있는 제1 및 제2 부화소 전극(191c, 191d)은 게이트선(121) 및 데이터선(171)으로 둘러싸인 영역을 상하로 이등분하는 공통 전극선(125)에 대하여 대부분이 상반부와 하반부에 각각 위치한다.

접촉 구멍(185c)을 통하여 제1 드레인 전극(175c)에 연결되어 있는 제1 부화소 전극(191c)은 게이트선(121) 또는 수평 방향에 대하여 소정의 각도(θ_s)로 기울어져 있는 복수의 하부 가지 전극(191c)과 복수의 하부 가지 전극(191c)들의 우측단을 연결하며 우측 데이터선(171)에 인접하게 위치하는 연결부(192c)를 포함한다.

접촉 구멍(185d)을 통하여 제2 드레인 전극(175d)에 연결되어 있는 제2 부화소 전극(191d)은 게이트선(121) 또는 수평 방향에 대하여 소정의 각도(Φ_s)로 기울어져 있으며, 대부분 공통 전극선(125)에 대하여 하부 가지 전극(191c)과 대칭으로 이루는 복수의 상부 가지 전극(191d)과 복수의 상부 가지 전극(191d)들의 좌측단 및 우측단을 연결하며 양쪽의 데이터선(171)에 인접하게 각각 위치하는 제1 및 제2 연결부(192d1, 192d2)를 포함한다. 우측 데이터선(171)에 인접하게 배치되어 있는 제1 연결부(192d1)는 데이터선(171)과 게이트선(121)을 따라 연장되어 있는 세로 및 가로 연장부를 포함하며, 가로 연장부는 제2 드레인 전극(175d)의 하부까지 연장되어 있으며, 하부 가지 전극(191c)과 평행하다. 제1 및 제2 드레인 전극(175a, 175b)과 중첩하는 제1 및 제2 연결부(192d1, 192d2) 일부는 다른 부분보다 넓은 폭으로 확장되어 있다.

공통 전극선(125)는 가지 전극(191c, 191d)과 평행한 경계선을 가지는 돌출부(125')를 가진다.

또한, 도 16 및 도 17에서 보는 바와 같이 본 실시예에 따른 박막 트랜지스터 표시판에는 이전의 실시예와 같이 화소 전극(191)은 주로 가로 방향으로 뻗어 있으며, 서로 분리되어 있는 제1 및 제2 부화소 전극(191e, 191f)을 포함한다.

서로 분리되어 있는 제1 및 제2 부화소 전극(191c, 191d)은 게이트선(121) 및 데이터선(171)으로 둘러싸인 영역을 상하로 이등분하는 공통 전극선(125)에 대하여 상반부와 하반부에 각각 위치한다.

접촉 구멍(185e)을 통하여 제1 드레인 전극(175e)에 연결되어 있는 제1 부화소 전극(191e)은 게이트선(121) 또는 수평 방향에 대하여 소정의 각도(θ_s)로 기울어져 있는 복수의 하부 가지 전극(191e)과 복수의 하부 가지 전극(191e)들의 양단을 연결하며 양측 데이터선(171)에 인접하게 위치하는 제1 및 제2 연결부(192e1, 192e2)를 포함한다.

접촉 구멍(185f)을 통하여 제2 드레인 전극(175f)에 연결되어 있는 제2 부화소 전극(191f)은 게이트선(121) 또는 수평 방향에 대하여 소정의 각도(θ_s)로 기울어져 있으며, 대부분 공통 전극선(125)에 대하여 하부 가지 전극(191e)과 대칭으로 이루는 복수의 상부 가지 전극(191f)과 복수의 상부 가지 전극(191f)들의 좌측단 및 우측단을 연결하며 양쪽의 데이터선(171)에 인접하게 각각 위치하는 제1 및 제2 연결부(192f1, 192f2)를 포함한다.

이때, 제2 드레인 전극(175f)은 데이터선(171)과 게이트선(121)을 따라 연장되어 있는 세로 및 가로 연장부를 포함하며, 세로 연장부의 끝단이 접촉 구멍(185f)을 통하여 제2 연결부(192f2)와 연결되어 있다.

도 16에서 보는 바와 같이 본 발명의 한 실시예에서는 제2 드레인 전극(175f)의 세로 연장부는 데이터선(171)에 인접하게 배치되어 제1 화소 전극(191e)의 제2 연결부(192e2)와 중첩하고 있는데 반하여 도 17에서와 같은 실시예에서는 제2 드레인 전극(175f)의 세로 연장부가 그렇지 않다.

또한, 본 발명의 다른 실시예에서는 도 18에서 보는 바와 같이, 제1 및 제2 부화소 전극(191g, 191h)은 게이트선(121)을 중심으로 분리되어 게이트선(121)은 제1 및 제2 부화소 전극(191g, 191h)의 중앙에 배치되어 있으며, 제1 및 제2 드레인 전극(175g, 175h) 또한 게이트 전극(124)을 중심으로 상하에 배치되어 있다.

공통 전극(131)은 게이트선(121)을 중심으로 하부 및 상부에 각각 위치하는 복수의 하부 및 상부 공통 전극(131g, 131h)을 포함하며, 공통 전극선(125) 또한 복수의 하부 공통 전극(131g)을 공통으로 연결하는 하부 공통 전극선(1251)과 복수의 상부 공통 전극(131h)을 연결하는 상부 공통 전극선(1252)을 포함한다.

접촉 구멍(185g)을 통하여 제1 드레인 전극(175g)에 연결되어 있는 제1 부화소 전극(191g)은 게이트선(121) 또는 수평 방향에 대하여 소정의 각도(θ_s)로 기울어져 있는 복수의 하부 가지 전극(191g)과 복수의 하부 가지 전극(191g)들의 양단을 연결하며 양측 데이터선(171)에 인접하게 위치하는 제1 및 제2 연결부(192g1, 192g2)를 포함한다.

접촉 구멍(185h)을 통하여 제2 드레인 전극(175h)에 연결되어 있는 제2 부화소 전극(191h)은 게이트선(121) 또는 수평 방향에 대하여 소정의 각도(θ_s)로 기울어져 있으며, 대략 게이트선(121)에 대하여 하부 가지 전극(191g)과 대칭으로 이루는 복수의 상부 가지 전극(191h)과 복수의 상부 가지 전극(191h)들의 양단을 각각 연결하며 양쪽의 데이터선(171)에 인접하게 각각 위치하는 제1 및 제2 연결부(192h1, 192h2)를 포함한다.

도 3 내지 도 6 및 도 15 내지 도 18과 달리, 도 19 내지 도 22에 도시한 실시예에서는 화소 전극을 두 부화소 전극을 분할 하되 서로 다른 영역으로 배치하였지만, 선형의 제1 부화소 전극과 제2 부화소 전극이 교대로 배치될 수 있으며, 이에 대하여 구체적으로 설명하기로 한다.

도 19 내지 도 22는 본 발명의 또 다른 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조를 도시한 배치도이다.

본 실시예들에 따른 박막 트랜지스터 표시판의 층상 구조는 도 3 내지 도 6 및 도 15 내지 도 18과 거의 동일하다.

게이트 전극(124)을 포함하는 복수의 게이트선(121), 복수의 공통 전극(131) 및 공통 전극(131)을 연결하는 복수의 공통 전극선(125)이 기판(110) 위에 형성되어 있고, 그 위에 게이트 절연막(140), 복수의 섬형 반도체(154) 및 복수의 선형 저항성 접촉 부재(163, 165)가 차례로 형성되어 있다. 소스 전극(173)을 포함하는 복수의 데이터선(171) 및 복수의 드레인 전극(175)이 저항성 접촉 부재(163, 165) 및 게이트 절연막(140) 위에 형성되어 있고, 보호막(180)이 그 위에 형성되어 있으며, 보호막(180) 및 게이트 절연막(140)에는 복수의 접촉 구멍(181, 182, 185)이 형성되어 있다. 보호막(180) 위에는 복수의 화소 전극(190) 및 복수의 접촉 보조 부재(81, 82)가 형성되어 있다.

하지만, 도 19 내지 도 22에서 보는 바와 같이 본 실시예들에서는 서로 분리된 쌍의 제1 및 제2 부화소 전극이 서로 교대로 배치되어 있다.

먼저, 도 19에서 보는 바와 같이, 본 실시예에서 서로 분리되어 있는 제1 및 제2 부화소 전극(191j, 191k)은 게이트선(121) 및 데이터선(171)으로 둘러싸인 영역을 상하로 이등분하는 공통 전극선(125)에 대하여 대칭 구조를 가진다.

접촉 구멍(185j)을 통하여 제1 드레인 전극(175j)에 연결되어 있는 제1 부화소 전극(191j)은 게이트선(121) 또는 수평 방향에 대하여 소정의 각도(Φ_s)로 기울어져 있으며, 공통 전극선(125)에 대하여 대칭 구조를 가지는 복수의 하부 및 상부 가지 전극(191j1, 191j2)과 복수의 하부 및 상부 가지 전극(191j1, 191j2)들의 좌측단을 연결하며 좌측 데이터선(171)에 인접하게 위치하는 연결부(192j)를 포함한다.

접촉 구멍(185k)을 통하여 제2 드레인 전극(175k)에 연결되어 있는 제2 부화소 전극(191k)은 게이트선(121) 또는 수평 방향에 대하여 소정의 각도(Φ_s)로 기울어져 있으며, 공통 전극선(125)에 대하여 대칭 구조를 가지는 복수의 하부 및 상부 가지 전극(191k1, 191k2)과 복수의 하부 및 상부 가지 전극(191k1, 191k2)들의 우측단을 연결하며 우측의 데이터선(171)에 인접하게 위치하는 연결부(192k)를 포함한다.

이때, 제1 및 제2 부화소 전극(191j, 191k)의 하부 및 상부 가지 전극(191j1, 191j2, 191k1, 191k2)은 서로 교대로 배치되어 있다.

다음, 도 20에서 보는 바와 같이, 본 실시예에 따른 박막 트랜지스터 표시판은 도 19에 도시한 구조와 거의 동일하다.

하지만, 데이터선(171)과 동일한 층으로 형성되어 있는 제1 및 제2 보조 연결부(172j, 172k)가 형성되어 있다.

제1 보조 연결부(172j)는 제2 부화소 전극(191k)의 연결부(192k)와 중첩하며, 접촉 구멍(186j)을 통하여 제1 부화소 전극(191j)의 하부 및 상부 가지 전극(191j1, 191j2)의 끝단과 각각 연결되어 있으며, 하부 및 상부 가지 전극(191j1, 191j2)의 끝단과 각각 연결되는 일부는 제1 보조 연결부(172j)로부터 돌출되어 돌출부를 이룬다.

제2 보조 연결부(172k)는 제1 부화소 전극(191j)의 연결부(192j)와 중첩하며, 접촉 구멍(186k)을 통하여 제2 부화소 전극(191k)의 하부 및 상부 가지 전극(191k1, 191k2)의 끝단과 각각 연결되어 있으며, 하부 및 상부 가지 전극(191k1, 191k2)의 끝단과 각각 연결되는 일부는 제2 보조 연결부(172k)로부터 돌출되어 돌출부를 이룬다.

다음, 도 21에 도시한 바와 같이 본 실시예에 따른 박막 트랜지스터 표시판에서 화소 전극(191)은 공통 전극선(125)을 가로 중심으로 대칭을 이루어 거의 세로 방향으로 뻗어 있으며, 서로 분리되어 있는 제1 및 제2 부화소 전극(191p, 191q)을 포함한다.

제1 부화소 전극(191p)은 소정의 각도로 꺾여 있어 게이트선(121)과 평행한 공통 전극(131)의 중심선에 대하여 대칭을 이루는 복수의 하부 및 상부 가지 전극(191p1, 191p2)과 복수의 하부 및 상부 가지 전극(191p1, 191p2)들의 상단을 공통으로 연결하며 이웃하는 상부 게이트선(121)에 인접하게 배치되어 있는 상단 연결부(192p)를 포함한다. 또한, 제1 부화소 전극(191p)은 하부 및 상부 가지 전극(191p1, 191p2)과 각각 평행하며 오른쪽 최외각의 하부 및 상부 가지 전극(191p1, 191p2)에 연결되어 있는 우측 가지 전극(191p3, 191p4)과 하부 및 상부 가지 전극(191p1, 191p2)과 각각 평행하며 왼쪽 최외각에 위치하는 좌측 가지 전극(191p5)을 포함한다.

제2 부화소 전극(191q)은 소정의 각도로 꺾여 있어 게이트선(121)과 평행한 공통 전극(131)의 중심선에 대하여 대칭을 이루는 복수의 하부 및 상부 가지 전극(191q1, 191q2)과 복수의 하부 및 상부 가지 전극(191q1, 191q2)들의 하단을 공통으로 연결하며 이웃하는 하부 게이트선(121)에 인접하게 배치되어 있는 하단 연결부(192q)를 포함한다. 또한, 제2 부화소 전극(191q)은 하부 및 상부 가지 전극(191q1, 191q2)과 각각 평행하며 왼쪽 최외각에 위치하는 좌측 가지 전극(191p3)을 포함한다.

이때, 제1 및 제2 부화소 전극(191p, 191q)의 가지 전극들 대부분은 서로 교대로 배치되어 있다.

다음, 도 22에서 보는 바와 같이 본 실시예에 따른 박막 트랜지스터 표시판의 구조는 도 21과 동일하다.

하지만, 도 20에서와 같이 데이터선(171)과 동일한 층으로 형성되어 있는 제1 및 제2 보조 연결부(172p, 172q)가 형성되어 있다.

제1 보조 연결부(172p)는 제2 부화소 전극(191q)의 연결부(192q)에 인접하게 배치되어 있으며, 접촉 구멍(186p)을 통하여 제1 부화소 전극(191p)의 하부가지 전극(191p1)의 끝단과 각각 연결되어 있으며, 제1 드레인 전극(175p)과 연결되어 있다.

제2 보조 연결부(172q)는 제1 부화소 전극(191p)의 연결부(192p)와 중첩하며, 접촉 구멍(186q)을 통하여 제2 부화소 전극(191q)의 상부 가지 전극(191k2)의 끝단과 각각 연결되어 있으며, 상부 가지 전극(191q2)의 끝단과 각각 연결되는 일부는 제2 보조 연결부(172q)로부터 돌출되어 돌출부를 이룬다.

도 19 내지 도 22에서 도시한 바와 같은 박막 트랜지스터 표시판의 구조에서도 제1 및 제2 부화소 전극(191j, 191k, 191p, 191q) 중 하나가 공통 전극(131)과 단락되더라도 다른 하나의 부화소 전극은 정상적으로 구동된다. 이때, 공통 전극(131)과 단락된 부화소 전극에는 공통 전압이 전달되어 공통 전극(131)과 동일한 역할을 하게 된다. 따라서, 보호막(180)의 상부에 공통 전극과 화소 전극이 평행하게 교대로 배치되어 있는 평면 구동 방식(In-plane switching mode)의 전극 구조가 이루어진다. 이러한 구조에서는 공통 전극과 단락된 부화소 전극을 수리하지 않더라도 정상적인 구조의 투과율에 대비하여 80% 이상의 투과율을 얻을 수 있으며, 이를 통하여 단락에 의한 불량을 원천적으로 제거할 수 있다.

발명의 효과

본 발명에 따른 박막 트랜지스터 표시판은 IPS 모드 및 FFS 모드의 액정 표시 장치에서 오프 화소 불량을 방지할 수 있다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다. 따라서, 본 발명의 권리 범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면의 간단한 설명

도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고,

도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이고,

도 3은 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조를 도시한 배치도이고,

도 4 내지 도 6은 도 3의 박막 트랜지스터 표시판을 IV-IV, V-V 및 VI-VI 선을 따라 잘라 도시한 각각의 단면도이고,

도 7은 본 발명의 실시예에 따른 박막 트랜지스터 표시판에서 화소 전극과 공통 전극의 구조를 나타내는 배치도이고,

도 8은 도 7에서 VII-VII 선을 잘라 도시한 액정 표시 장치의 단면도로서, 상부 표시판 및 하부 표시판에서 형성되는 전기력선을 함께 도시한 도면이고,

도 9는 본 발명의 실시예에 따른 액정 표시 장치에서 액정 분자들의 비틀림각 변화를 설명하기 위한 배치도이고,

도 10은 본 발명의 실시예에 따른 액정 표시 장치에서 기판에 수평이고 화소 전극에 수직인 선에 대한 액정 분자들의 비틀림각의 관계를 나타내는 그래프이고,

도 11은 본 발명의 실시예에 따른 액정 표시 장치에서 기판에 수직인 선에 대한 액정 분자들의 비틀림각 변화를 나타내는 그래프이고,

도 12는 본 발명의 실시예에 따른 액정 표시 장치에서 액정 분자들의 경사각 변화를 나타내는 그래프이고,

도 13은 본 발명의 실시예에 따른 액정 표시 장치에서 기판에 수직인 선에 대한 액정 분자들의 경사각 변화를 도시한 그래프이고,

도 14는 본 발명의 실시예에서 기판에 수평이고 화소 전극에 수직인 선에 대한 액정 분자들의 경사각 변화를 도시한 그래프이고,

도 15 내지 도 18은 본 발명의 다른 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조를 도시한 배치도이고,

도 19 내지 도 22는 본 발명의 또 다른 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조를 도시한 배치도이다.

<도면의 주요부분에 대한 부호의 설명>

110: 기판 121, 129: 게이트선

124: 게이트 전극 131: 공통 전극

140: 게이트 절연막 151, 154: 반도체

161, 165: 저항성 접촉 부재 171, 179: 데이터선

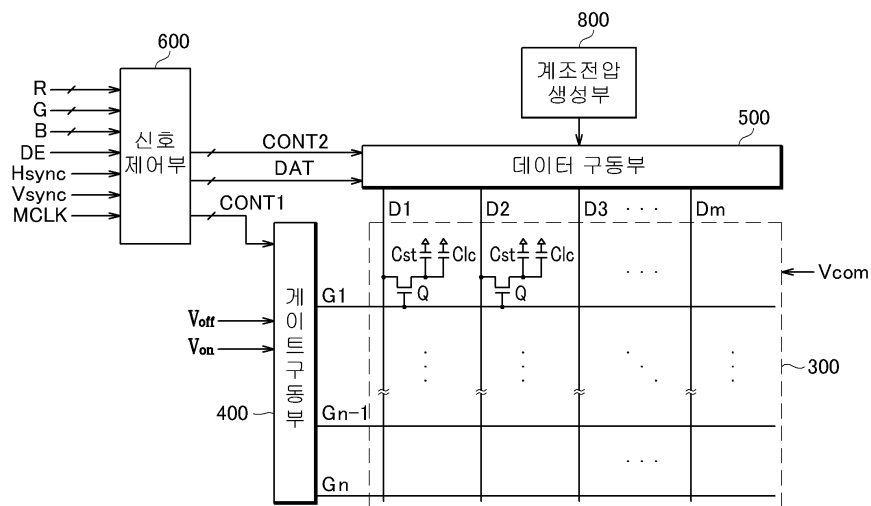
173: 소스 전극 175: 드레인 전극

180: 보호막 181, 182, 185: 접촉 구멍

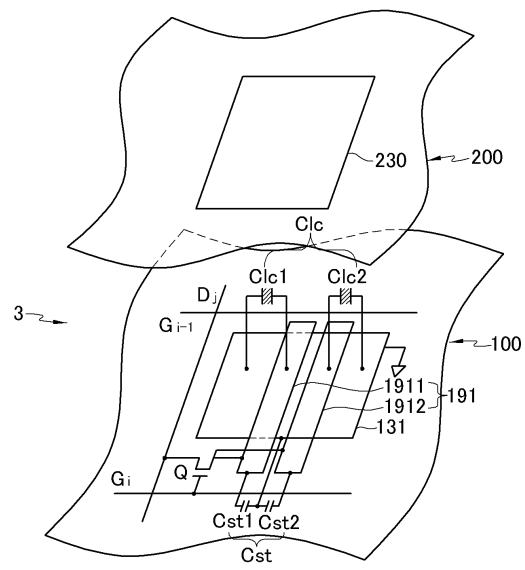
191: 화소 전극 81, 82: 접촉 보조 부재

도면

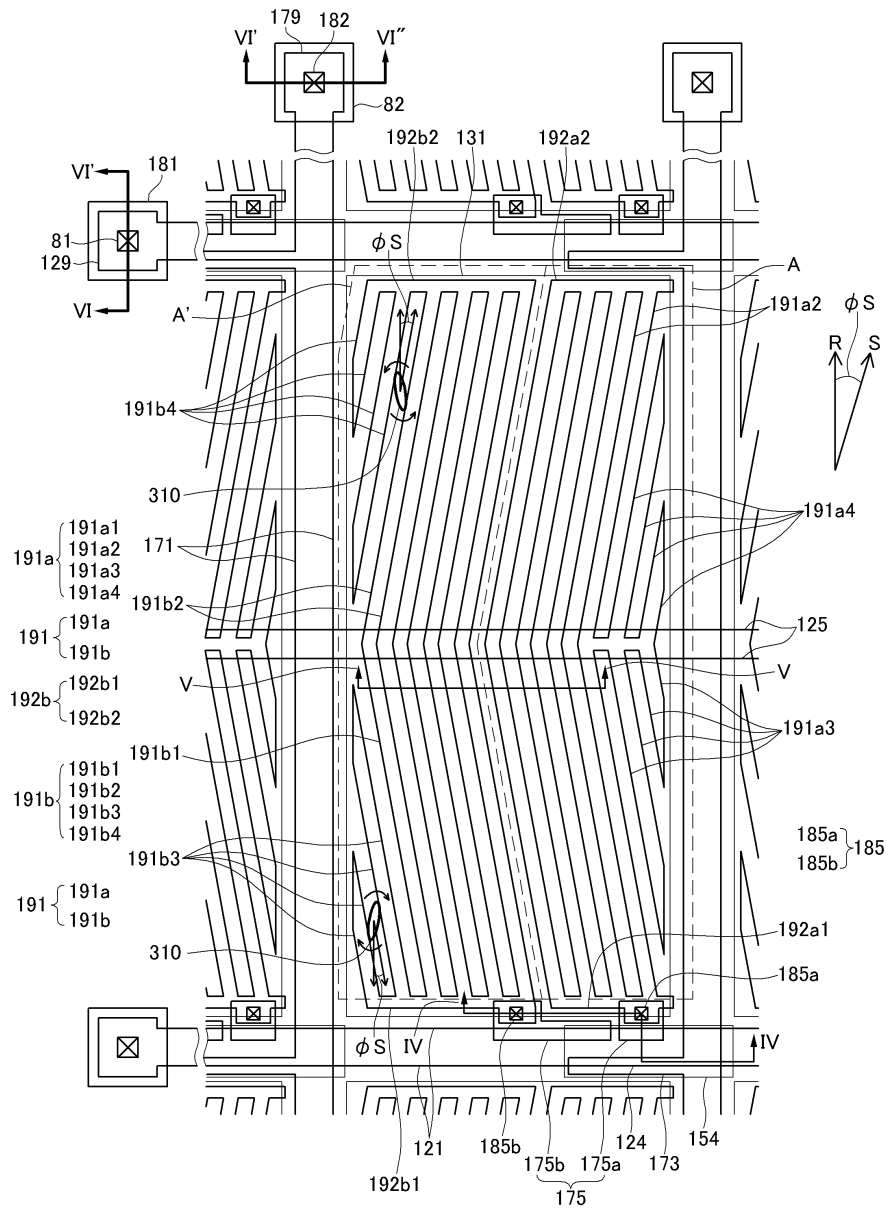
도면1



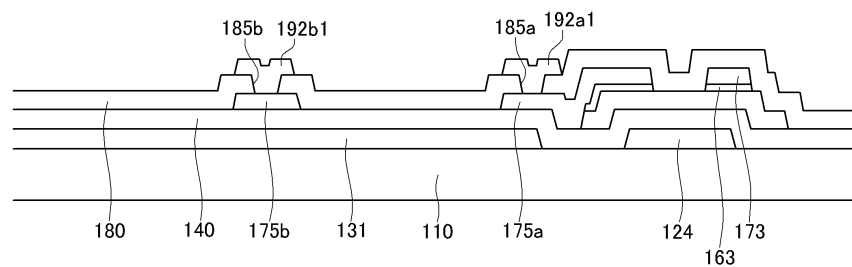
도면2



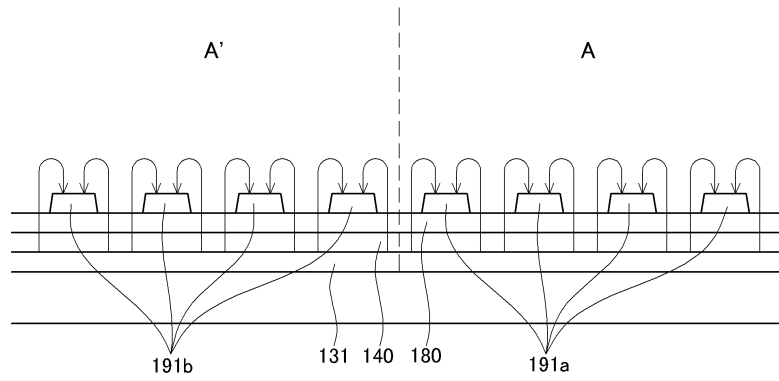
도면3



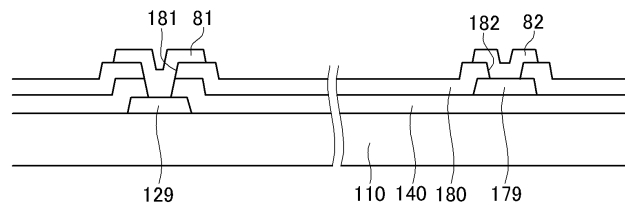
도면4



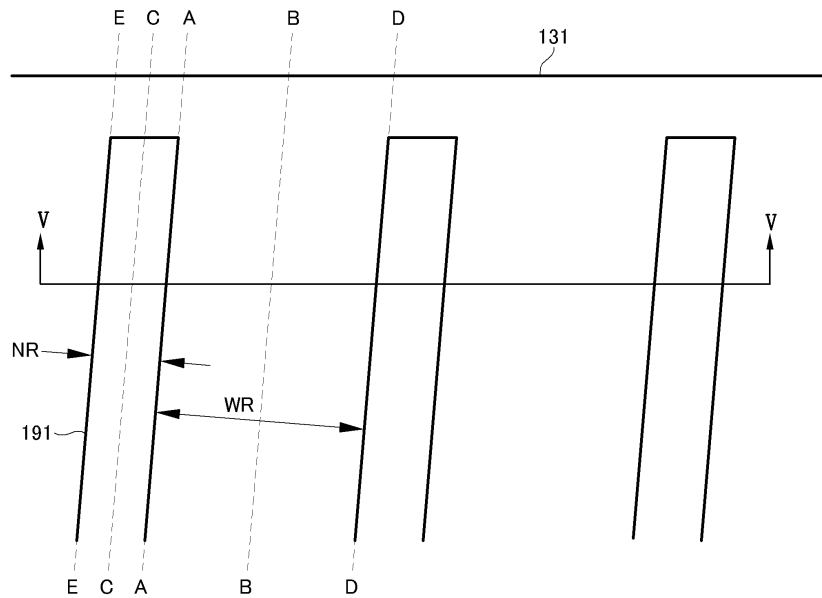
도면5



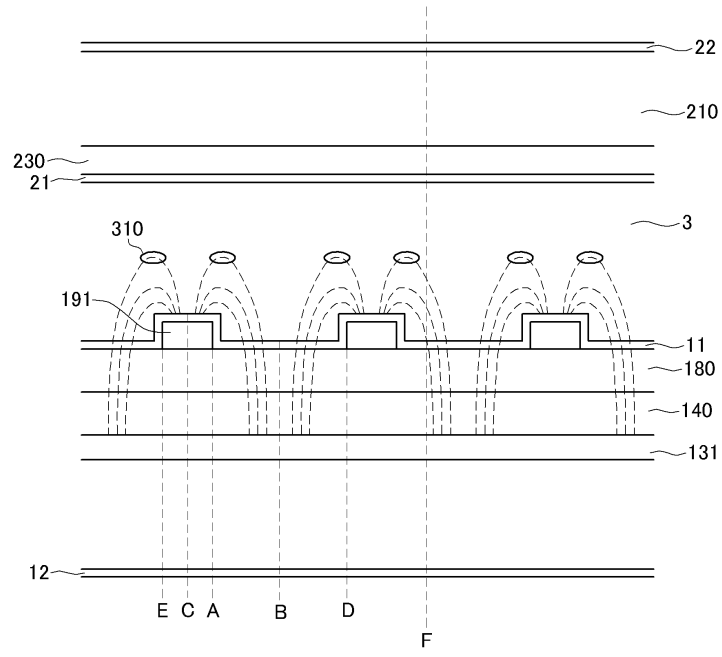
도면6



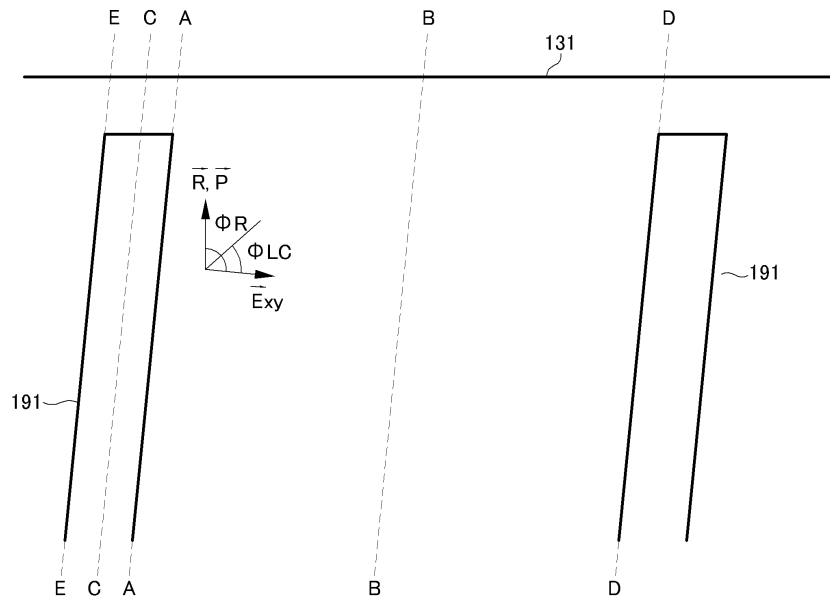
도면7



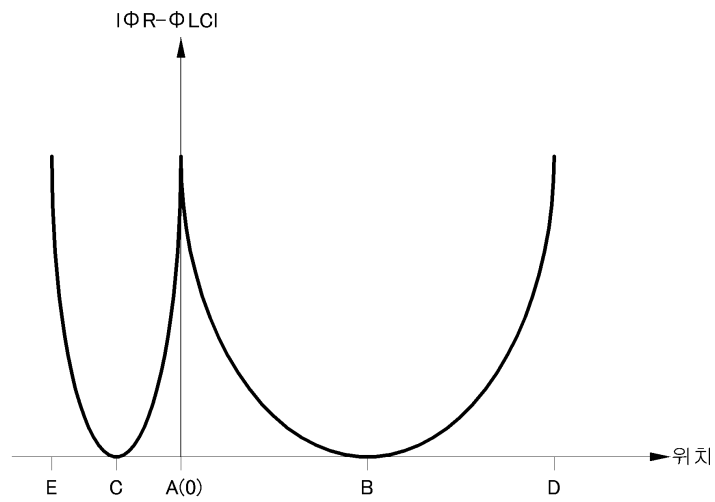
도면8



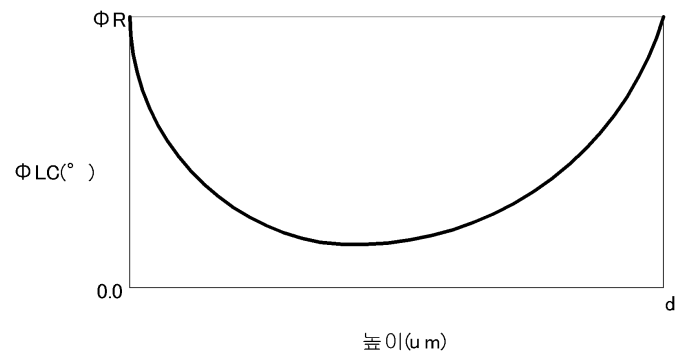
도면9



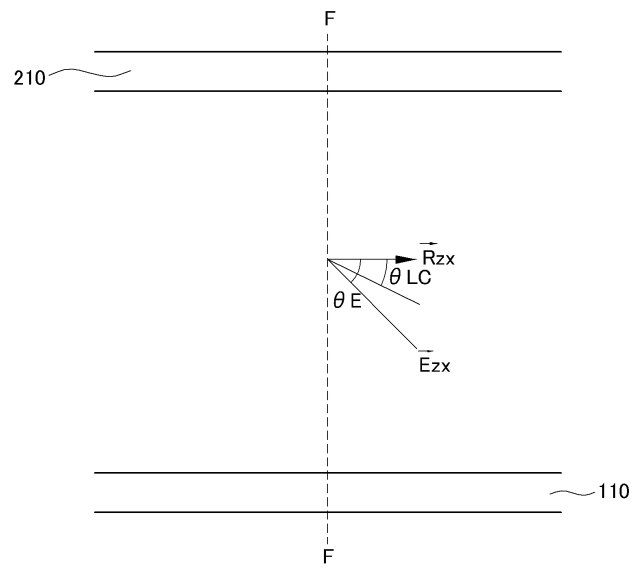
도면10



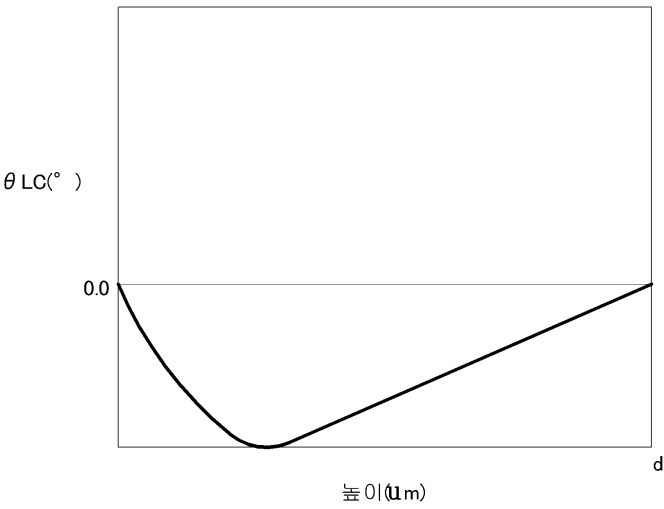
도면11



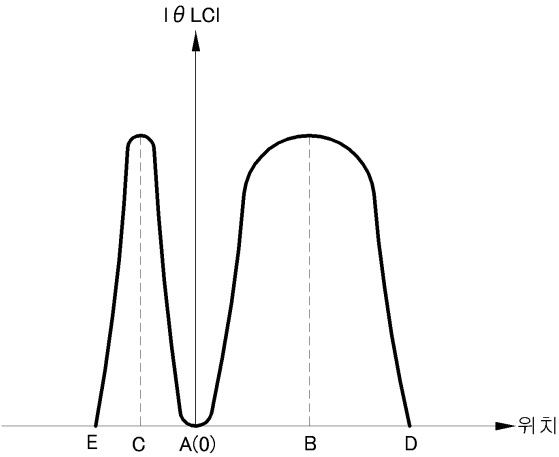
도면12



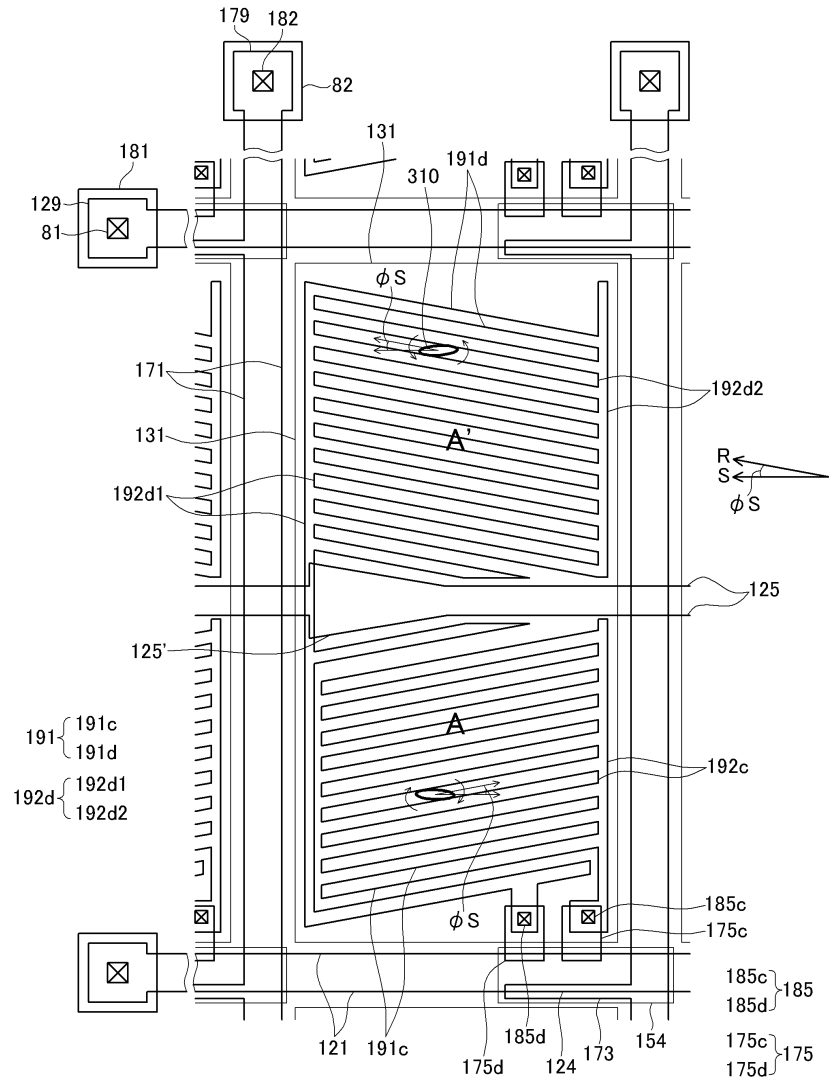
도면13



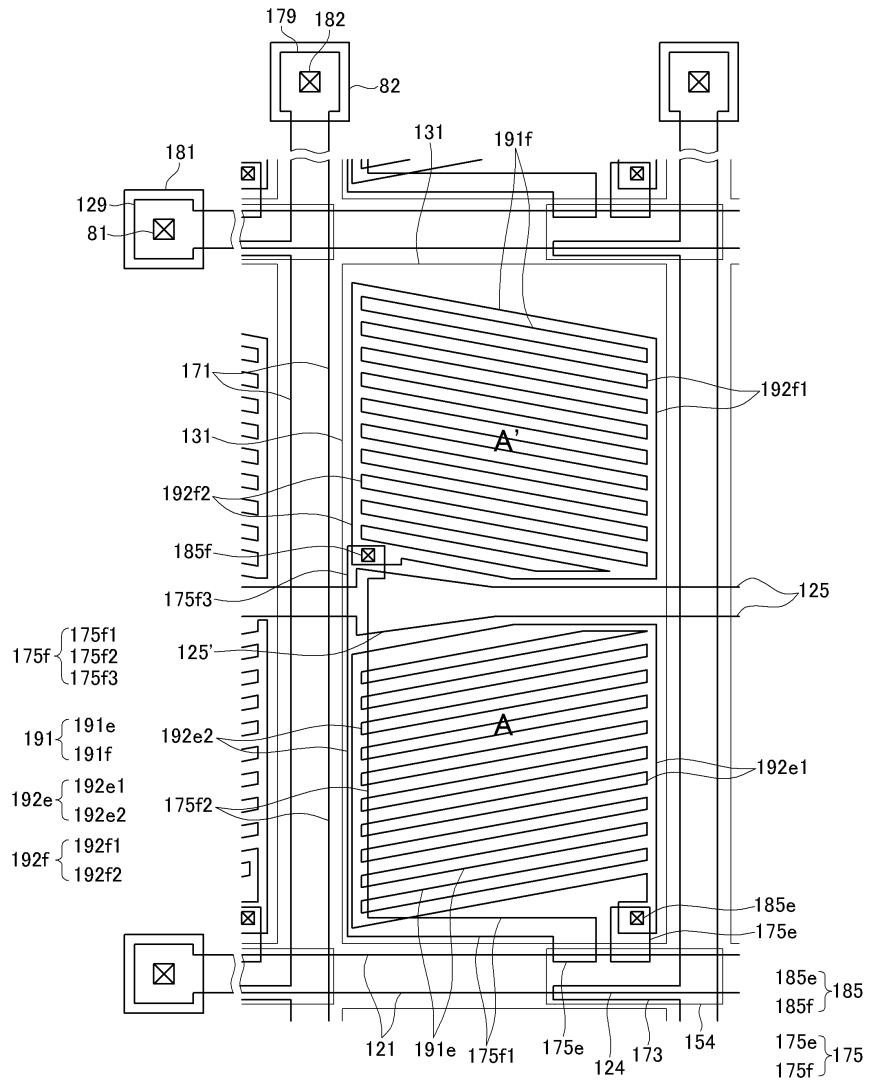
도면14



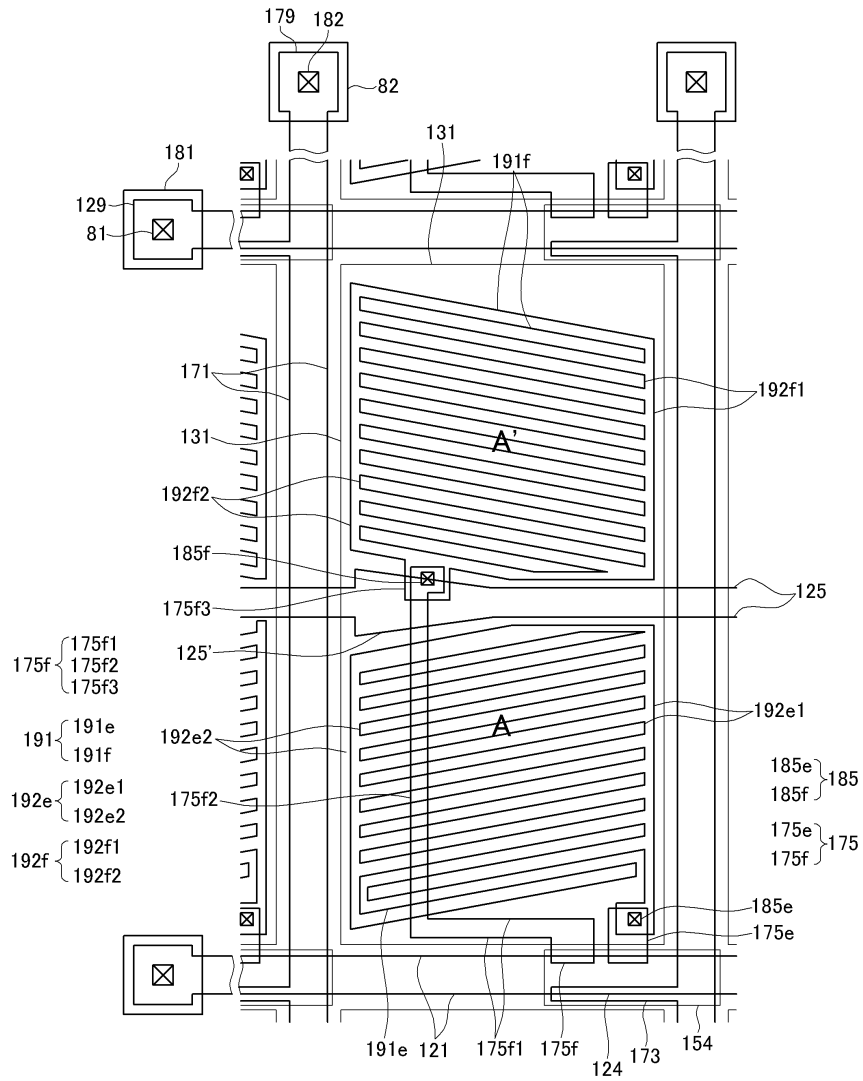
도면15



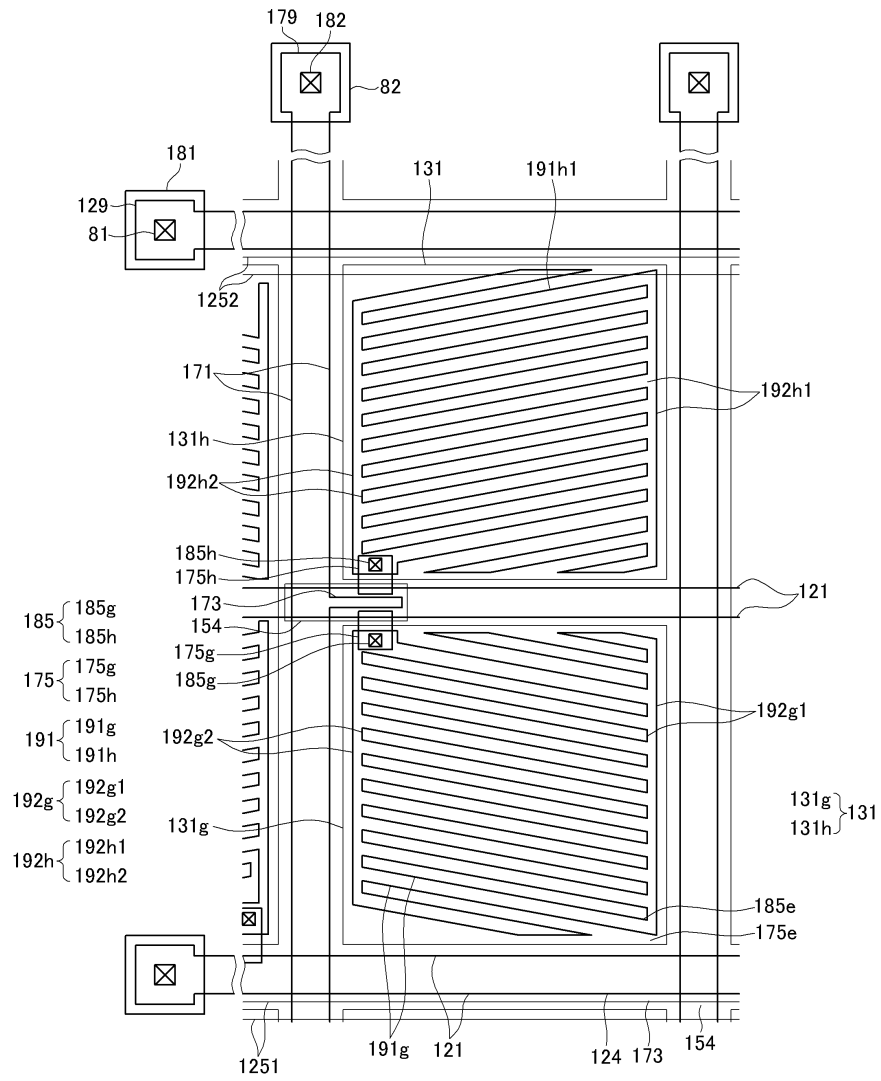
도면16



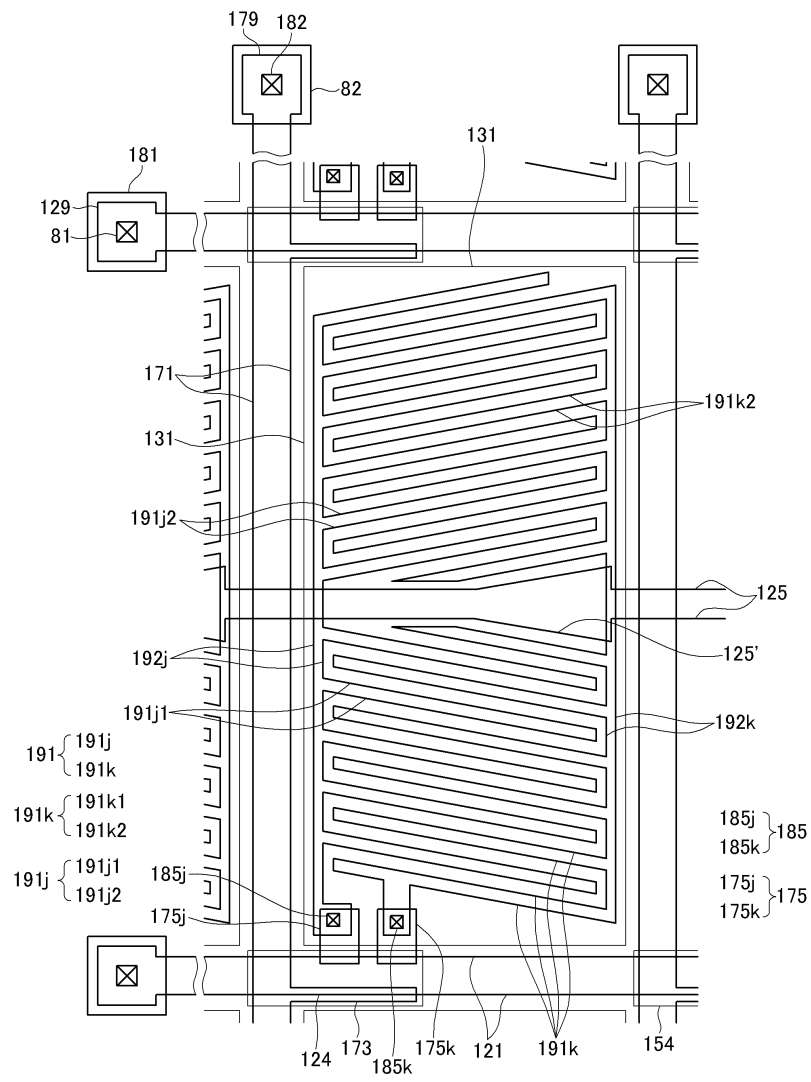
도면17



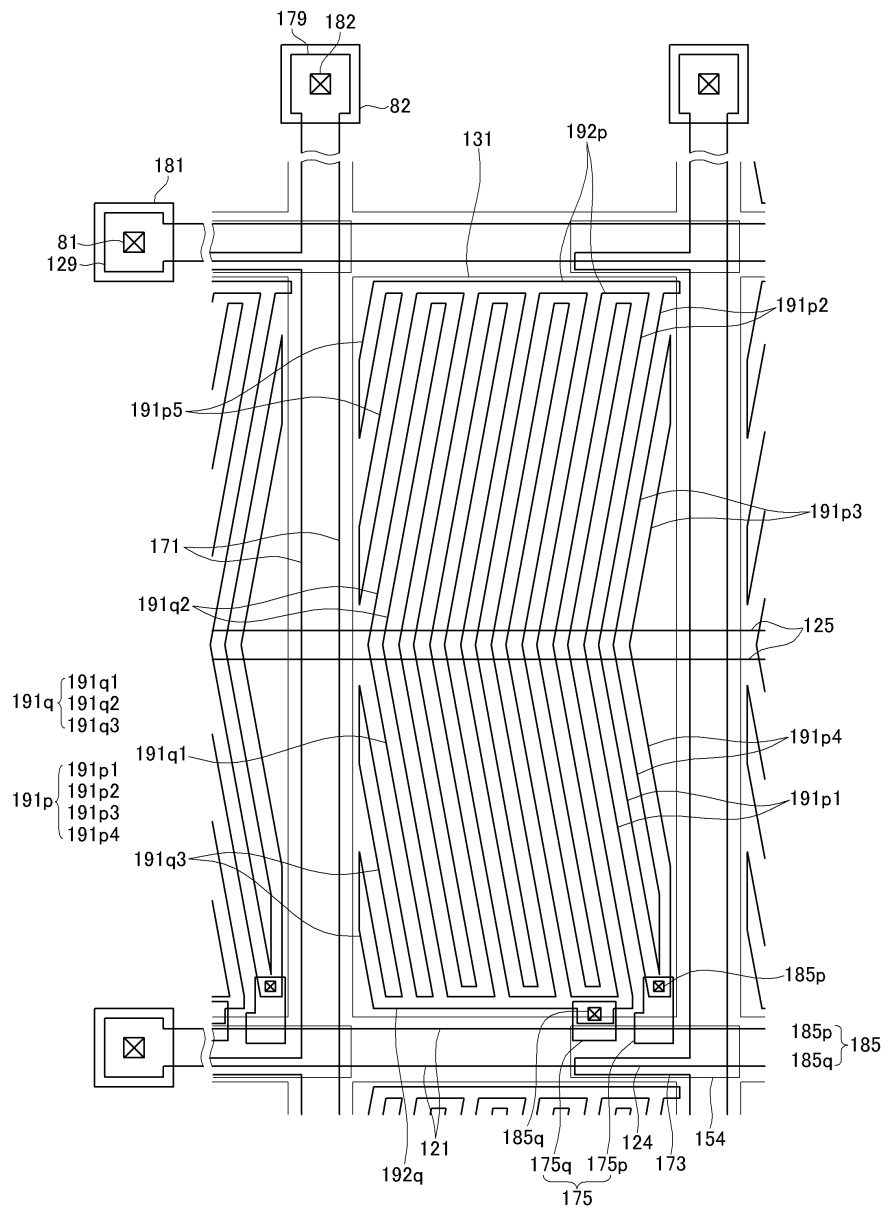
도면18



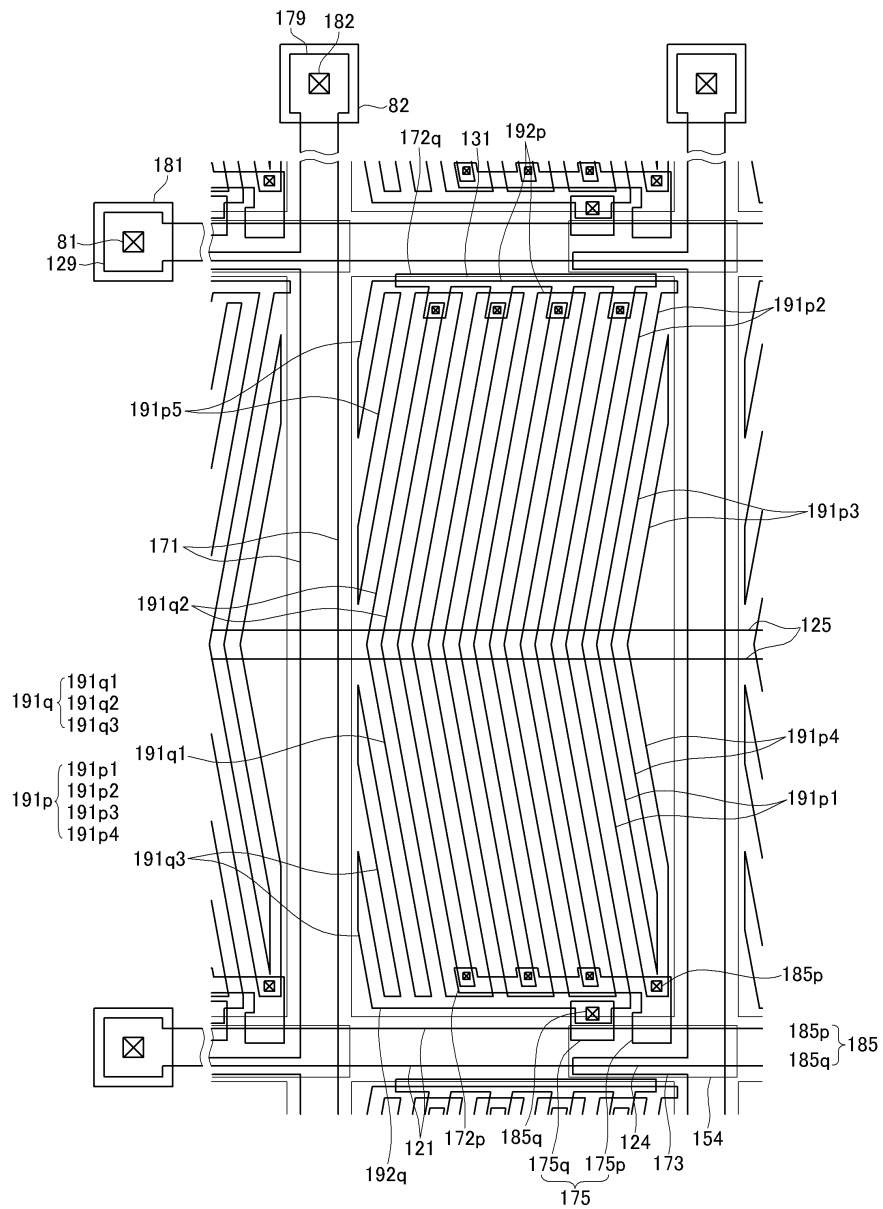
도면19



도면21



도면22



专利名称(译)	薄膜晶体管标志		
公开(公告)号	KR1020070018262A	公开(公告)日	2007-02-14
申请号	KR1020050072749	申请日	2005-08-09
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	UM YOON SUNG 엄윤성 LYU JAE JIN 유재진 CHANG HAK SUN 창학선 YOO SEUNG HOO 유승후 KIM HYUN WUK 김현욱 DO HEE WOOK 도희욱 KIM YEON JU 김연주		
发明人	엄윤성 유재진 창학선 유승후 김현욱 도희욱 김연주		
IPC分类号	G02F1/1343		
CPC分类号	G09G2300/0443 G09G2300/0809 G09G2330/10 G09G2320/028 G02F2001/134372 G09G3/3648 G02F1/134363		
其他公开文献	KR101240644B1		
外部链接	Espacenet		

摘要(译)

像素电极是多个公共电极，与栅极线交叉的数据线，连接到栅极线和数据线的薄膜晶体管，以及由根据本发明的薄膜晶体管显示面板基板构成的多个像素电极，在基板上形成多条栅极线，并且包括在基板上形成的透明导体包括彼此分开的第一和第二子像素电极。多个像素电极连接到薄膜晶体管并与公共电极重叠。由此，尽管像素电极和公共电极的一部分被电路短路，但是可以防止像素被暗指示的像素断开故障。液晶显示器，PLS，IPS，像素电极，公共电极，短路。

