

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2006-0070221
G02F 1/136 (2006.01) (43) 공개일자 2006년06월23일

(21) 출원번호 10-2004-0108882

(22) 출원일자 2004년12월20일

(71) 출원인 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자 문성재
 서울 동대문구 휘경1동 신성은하수아파트 102동 706호

(74) 대리인 박영우

심사청구 : 없음

(54) 액정표시장치

요약

표시 특성을 향상시킬 수 있는 액정표시장치를 개시한다. 액정표시장치는 제1 도전층, 제1 도전층의 상면에 위치하고, 소정의 거리로 이격되어 위치하는 제2 및 제3 도전층을 갖는 드레인 전극을 구비한다. 제2 도전층과 제3 도전층이 이격된 공간은 제1 도전층만 위치한다. 이에 따라, 액정표시장치는 제2 도전층과 제3 도전층이 이격된 공간에 위치하는 제1 도전층 및 액티브 층의 폭을 감소시킬 수 있다. 그 결과, 액정표시장치는 액티브 층의 면적을 줄일 수 있으므로, 박막 트랜지스터가 턴 오프될 때의 전류를 안정적으로 감소시켜 잔상이 발생하는 것을 방지할 수 있다.

대표도

도 1

색인어

잔상, 액티브 층

명세서

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 액정표시장치를 나타낸 평면도이다.

도 2는 도 1에 도시된 'A' 부분을 확대하여 나타낸 평면도이다.

도 3은 도 2의 절단선 I-I'에 따른 단면도이다.

도 4는 도 2의 절단선 II-II'에 따른 단면도이다.

도 5a 내지 도 5c는 도 4에 도시된 액정표시장치를 형성하는 과정을 나타낸 공정 단면도이다.

<도면의 주요부분에 대한 부호의 설명>

100 : 투명 기판 200 : 게이트 라인

300 : 데이터 라인 400 : 박막 트랜지스터

500 : 보호막 600 : 화소 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 보다 상세하게는 표시 특성을 향상시킬 수 있는 액정표시장치에 관한 것이다.

일반적으로, 액정표시장치는 평판표시장치의 일종으로, 액정의 광학적 특성을 이용하여 영상을 표시한다. 액정표시장치는 광을 이용하여 입력된 영상 데이터에 대응하는 영상을 표시하는 액정표시패널 및 액정표시패널로 광을 제공하는 백라이트 어셈블리를 포함한다.

액정표시패널은 박막 트랜지스터(Thin Film Transistor : 이하, TFT)는 게이트 전극, 게이트 전극의 상부에 형성되는 액티브 층, 액티브 층의 상부에 채널 영역을 중심으로 서로 대향하여 위치하는 소오스 전극 및 드레인 전극을 포함한다.

액정표시패널을 형성하는 공정은 마스크를 이용한 사진 식각 공정이 많이 사용된다. 사진 식각 공정은 고가의 마스크를 이용하므로, 마스크의 개수가 증가할수록 액정표시패널의 제조 비용이 증가한다. 이에 따라, 액정표시패널을 형성하는 공정은 마스크의 개수를 최대한 줄여 제조 비용을 절감하는 방안이 대두되고 있다.

이러한 추세에 따라, 5개의 마스크를 이용하여 액정표시패널을 형성하는 공정이 개발되었다. 5 마스크 공정은 액티브 층, 및 소오스 및 드레인 전극을 형성하기 위한 금속층을 형성하고, 금속막을 패터닝하여 소오스 및 드레인 전극을 형성하는 과정에서 액티브 층을 패터닝한다.

소오스 및 드레인 전극이 이중막으로 이루어질 경우, 소오스 및 드레인 전극은 크롬으로 이루어진 제1 금속막 및 알루미늄 또는 알루미늄 합금으로 이루어진 제2 금속막으로 형성된다. 제2 금속막의 폭은 제1 금속막의 폭보다 좁게 형성된다. 제1 금속막의 아래에 위치하는 액티브 층은 TFT의 상부에 위치하는 화소 전극이 패터닝될 때, 제1 금속막이 침식될 수 있으므로, 제1 금속막의 외곽으로 돌출되도록 형성된다. 이에 따라, 액정표시패널은 TFT가 턴 오프될 때 전류가 정상적으로 감소되지 않고 증가하여 잔상이 발생한다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 잔상을 방지하여 표시 특성을 향상시킬 수 있는 액정표시장치를 제공하는 것이다.

발명의 구성 및 작용

상기한 본 발명의 목적을 실현하기 위한 하나의 특징에 따른 액정표시장치는, 기판, 게이트 라인, 데이터 라인, 및 박막 트랜지스터로 이루어진다.

기판은 게이트 영역 및 게이트 영역과 연결된 드레인 영역으로 이루어진다. 게이트 라인은 기판 상에 제1 방향으로 연장되어 형성되고, 게이트 신호를 전송한다. 데이터 라인 기판 상에 제1 방향과 실질적으로 직교하는 제2 방향으로 연장되어 형성되고, 데이터 신호를 전송한다. 박막 트랜지스터는 기판 상에 형성되고, 게이트 라인 및 데이터 라인과 전기적으로 연결된다. 박막 트랜지스터는 게이트 전극, 액티브 층, 드레인 전극, 및 소오스 전극을 구비한다. 게이트 전극은 게이트 영역에 구비되고, 게이트 라인과 연결된다. 액티브 층은 게이트 전극의 상부 및 드레인 영역에 위치한다. 드레인 전극은 액티브 층

의 상부에 위치하고, 드레인 영역 및 게이트 영역에 구비되는 제1 도전층, 드레인 영역에서 제1 도전층의 상면에 위치하고, 부분적으로 제거되어 제1 도전층을 노출하는 제2 도전층, 및 게이트 영역에서 제1 도전층의 상면에 위치하고, 제2 도전층과 소정의 거리로 이격되어 위치하는 제3 도전층을 구비한다. 소오스 전극은 게이트 영역에서 액티브 층의 상부에 위치하고, 데이터 라인과 연결된다.

이러한 액정표시장치에 의하면, 드레인 전극은 제2 도전층과 제3 도전층의 사이에 위치하는 영역이 단일막으로 형성되기 때문에, 단일막으로 형성되는 부분의 폭을 감소시킬 수 있다. 이에 따라, 액정표시장치는 액티브 층의 면적을 감소시킬 수 있으므로, 박막 트랜지스터가 턴 오프될 때 전류가 증가하여 잔상이 발생하는 것을 방지할 수 있다.

이하, 첨부한 도면을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.

도 1은 본 발명의 일 실시예에 따른 액정표시장치를 나타낸 평면도이다.

도 1은 본 발명에 따른 액정표시장치는 제1 방향(D1)으로 연장되어 형성된 게이트 라인(200), 상기 제1 방향(D1)과 실질적으로 직교하는 제2 방향으로 연장되어 형성된 데이터 라인(300), 및 상기 게이트 라인(200) 및 상기 데이터 라인(300)과 연결된 박막 트랜지스터(400)를 포함한다.

액정표시장치는 영상이 표시되는 기본 단위인 화소(Px)가 매트릭스 형태로 형성된다. 상기 화소(Px)는 상기 게이트 라인(200) 및 상기 데이터 라인(300)에 의해 정의된다.

상기 게이트 라인(200)은 게이트 신호를 전송한다. 상기 게이트 라인(200)은 도전성 금속, 예컨대, 알루미늄(Al), 크롬(Cr), 몰리브덴(Mo)과 같은 재료로 이루어지며, 단일막 또는 이중막으로 형성된다.

상기 데이터 라인(200)은 데이터 신호를 전송한다. 상기 데이터 라인(200)은 상기 게이트 라인(200)과 마찬가지로, 상기 도전성 금속으로 이루어지며, 단일막, 이중막 및 삼중막 중 어느 하나의 구조로 형성된다.

상기 TFT(400)는 상기 게이트 라인(200) 및 상기 데이터 라인(300)과 전기적으로 연결된다. 상기 TFT(400)는 상기 화소(Px)로 신호 전압을 인가하거나 차단한다. 상기 TFT(400)에 대한 구체적인 설명은 후술하는 도 2에서 설명하기로 한다.

도 2는 도 1에 도시된 'A' 부분을 확대하여 나타낸 평면도이다.

도 2를 참조하면, 상기 TFT(400)는 상기 게이트 라인(200)으로부터 분기된 게이트 전극(410), 상기 게이트 전극(410)의 상부에 위치하는 액티브 층(430), 상기 액티브 층(430)의 상부에 위치하는 소오스 전극(450) 및 드레인 전극(460)을 포함한다.

구체적으로, 상기 게이트 전극(410)은 게이트 영역(GA)에 형성되며, 상기 게이트 라인(200)으로부터 상기 게이트 신호를 인가 받는다.

상기 게이트 전극(410)의 상부에는 상기 액티브 층(430)이 구비된다. 상기 액티브 층(430)은 상기 게이트 영역(GA), 상기 게이트 영역(GA)과 연결된 드레인 영역(DA), 및 상기 데이터 라인(400)이 형성된 영역에 위치한다.

상기 액티브 층(430)의 상부에는 상기 소오스 전극(450) 및 상기 드레인 전극(460)이 구비된다.

상기 소오스 전극(450)은 상기 게이트 영역(GA)에 형성되며, 상기 데이터 라인(300)으로부터 상기 제1 방향(D1)으로 분기되어 형성된다. 상기 소오스 전극(450)은 상기 드레인 전극(460)과 소정의 거리로 이격되어 위치하며, 상기 소오스 전극(450)과 상기 드레인 전극(460)이 이격된 공간은 상기 액티브 층(430)을 노출하는 채널 영역(CA)이 된다.

상기 소오스 전극(450)은 상기 데이터 라인(300)으로부터 상기 제1 방향(D1)으로 분기되어 형성된 제1 소오스 전극(451), 및 상기 데이터 라인(300)으로부터 상기 제1 방향(D1)으로 분기되어 형성되고, 상기 제1 소오스 전극(451)과 소정의 거리로 이격되어 위치하는 제2 소오스 전극(452)을 포함한다.

상기 액티브 층(430)은 상기 게이트 영역(G2)에서 상기 제2 방향(D2)에 대응하는 폭(W1)이 상기 제2 방향(D2)에 대응하는 상기 소오스 전극(450)의 폭(W2)과 동일하거나 작게 형성된다.

즉, 상기 액티브 층(430)의 폭(W1)은 상기 채널 영역(CA)과 접하지 않는 상기 제1 소오스 전극(451)의 제1 단부로부터 상기 채널 영역(CA)과 접하지 않는 상기 제2 소오스 전극(451)의 제1 단부까지의 최단 거리(W2)와 동일하게 형성되거나 작게 형성된다.

이와 같이, 상기 게이트 영역(GA)에서 상기 액티브 층(430)의 폭(W1)이 종래에 비해 감소되므로, 상기 게이트 영역(GA)에 위치하는 상기 액티브 층(430)의 면적이 감소된다. 상기 게이트 영역(GA)에서 상기 액티브 층(430)의 면적은 약 $1237 \mu\text{m}^2$ 이며, 종래에 비해 약 12%정도 감소된다.

상기 제1 소오스 전극(451)의 폭(W3)과 상기 제2 소오스 전극(452)의 폭(W4)은 서로 동일하며, 상기 제1 및 제2 소오스 전극(451, 452)의 폭(W3, W4)은 약 $5 \mu\text{m}$ 내지 $6 \mu\text{m}$ 로 형성된다.

이와 같이, 상기 액정표시장치는 상기 액티브 층(430)의 면적이 기존에 비해 감소된다. 이에 따라, 상기 액정표시장치는 박막 트랜지스터가 턴 오프될 때의 전류를 정상적으로 감소시킬 수 있으므로, 잔상이 발생하는 것을 방지할 수 있다.

상기 드레인 전극(460)은 상기 게이트 영역(GA) 및 상기 드레인 영역(DA)에 형성된다. 상기 드레인 전극(460)은 제1 단부가 상기 제1 소오스 전극(451)과 상기 제2 소오스 전극(452)과의 사이에 위치한다.

상기 드레인 전극(460)은 상기 게이트 영역(GA) 및 상기 드레인 영역(DA)에 위치하는 제1 도전층(461), 상기 제1 도전층(461)의 상면에 소정의 거리로 이격되어 위치하는 제2 및 제3 도전층(462, 463)을 포함한다.

상기 제1 도전층(461)은 상기 게이트 영역(GA) 및 상기 드레인 영역(DA)에서 상기 액티브 층(430)의 상부에 위치하고, 크롬(Cr)으로 이루어진다.

상기 제1 도전층(461)의 상면에 구비되는 상기 제2 도전층(462)은 상기 드레인 영역(DA)에 위치하고, 알루미늄 또는 알루미늄 합금으로 이루어진다. 상기 제2 도전층(462)은 상기 제1 도전층(461)을 부분적으로 노출하도록 제거되며, 상기 제1 도전층(461)이 노출된 영역에는 콘택홀(CH)이 형성된다.

도면에는 도시하지 않았으나, 상기 TFT(400)의 상부에는 화소 전극이 형성되며, 상기 화소 전극은 상기 콘택홀(CH)을 통해 상기 제1 도전층(461)과 전기적으로 연결된다. 상기 액정표시장치는 상기 화소 전극이 구비되는 영역 중에서 상기 콘택홀(CH)이 형성된 영역이 다른 영역에 비해서 얇게 형성된다.

이로 인해, 상기 화소 전극은 상기 콘택홀(CH)의 어깨 부분에서 단절되어 상기 제1 도전층(461)과의 전기적인 연결이 끊어질 수 있다. 상기 제2 도전층(462)은 상기 콘택홀(CH)의 어깨 부분에서 상기 화소 전극이 단절되는 것을 방지하도록 'U'자 형상으로 형성된다. 즉, 상기 제2 도전층(462)은 상기 콘택홀(CH)을 부분적으로 둘러싼다.

이에 따라, 상기 액정표시장치는 상기 콘택홀(CH)과 인접하는 영역 중에서 상기 제2 도전층(462)이 위치하지 않는 영역은 상기 콘택홀(CH)이 형성된 영역과의 단차를 줄일 수 있다. 그 결과, 상기 액정표시장치는 상기 화소 영역이 상기 제1 도전층(461)과 절연되는 것을 방지할 수 있다.

상기 제3 도전층(463)은 상기 게이트 영역(GA)에 위치하며, 상기 제2 도전층(462)과 동일한 재질로 형성된다. 상기 제3 도전층(463)은 상기 제2 도전층(462)과 이격되어 위치한다. 따라서, 상기 제1 도전층(461)은 상기 제2 도전층(462)과 상기 제3 도전층(463)과의 사이로 일부분이 노출된다. 상기 제1 도전층(461)이 노출된 부분(CGS)의 폭(W5)은 약 $3 \mu\text{m}$ 내지 약 $7 \mu\text{m}$ 이며, 상기 제1 도전층(461)이 노출된 부분(CGS)의 하부면에 위치하는 상기 액티브 층(430)도 상기 제1 도전층(461)과 동일한 폭으로 형성된다. 상기 제1 도전층(461)이 노출된 부분(CGS)의 면적은 약 $98.3 \mu\text{m}^2$ 이며, 종래에 비해 약 30%정도 감소된다.

이와 같이, 상기 드레인 전극(460)은 상기 드레인 영역(DA)에 위치하는 부분 중에서 상기 게이트 영역(GA)과 인접하는 부분(CGS)이 단일막으로 형성되며, 그 폭(W5)이 종래에 비해 감소된다. 상기 액티브 층(430)은 상기 드레인 영역(DA)에서 상기 드레인 전극(460)과 동일하게 패터닝되므로, 상기 액티브 층(430)의 폭도 상기 드레인 전극(460)과 동일하게 종래에 비해 감소된다.

이에 따라, 상기 드레인 영역(DA)에 위치하는 상기 액티브 층(430)의 면적이 감소되므로, 상기 액정표시장치는 상기 TFT(400)가 턴 오프될 때 전류를 정상적으로 감소시킬 수 있다.

도 3은 도 2의 절단선 I-I'에 따른 단면도이다.

도 3을 참조하면, 광을 투과할 수 있는 투명 기판(100)의 상면에 상기 게이트 전극(410)이 구비된다. 상기 게이트 전극(410)은 상기 투명 기판(100)의 상면의 상기 게이트 영역(GA)에 구비되는 제1 게이트 전극(411), 및 상기 제1 게이트 전극(411)의 상면에 위치하는 제2 게이트 전극(412)으로 이루어진다.

상기 게이트 전극(410)이 형성된 상기 투명 기판(100)의 상부에는 상기 게이트 전극(410)을 보호하기 위한 게이트 절연막(420)이 구비된다. 상기 게이트 절연막(420)은 금속물질과 접착력이 좋고 계면에 공기층 형성을 억제하는 산화실리콘(SiO_2)이나 질화실리콘(SiN_x)과 같은 절연 물질로 이루어진다. 상기 게이트 절연막(420)은 플라즈마 화학기상증착(plasma-enhanced chemical vapor deposition : 이하, PECVD) 방법에 의해 증착되며, 약 4500Å의 두께를 갖는 것이 바람직하다.

상기 게이트 절연막(420)의 상면에는 상기 액티브 층(430) 및 오믹 콘택층(440)이 순차적으로 구비된다. 상기 액티브 층(430)은 상기 게이트 영역(GA)에 위치하고, 비정질실리콘으로 이루어진다. 상기 액티브 층(430)은 약 2500Å의 두께를 갖는 것이 바람직하다.

상기 액티브 층(430)의 상면에 구비된 상기 오믹 콘택층(440)은 n+ 비정질실리콘으로 이루어지며, 약 500Å의 두께를 갖는 것이 바람직하다. 상기 오믹 콘택층(430)은 일부분이 제거되어 상기 채널 영역(CA)을 형성한다.

상기 오믹 콘택층(440)의 상면에는 상기 소오스 전극(450) 및 상기 드레인 전극(460)이 구비된다. 상기 제1 소오스 전극(451)은 상기 오믹 콘택층(440)의 상면에 위치하는 제1 전극층(451a) 및 상기 제1 전극층(451a)의 상면에 위치하는 제2 전극층(451b)으로 이루어진다. 상기 제2 소오스 전극(452)은 상기 오믹 콘택층(440)의 상면에 위치하는 제3 전극층(452a) 및 상기 제3 전극층(452a)의 상면에 위치하는 제4 전극층(452b)으로 이루어진다.

상기 제1 및 제3 전극층(451a, 452a)은 동일한 재질로 이루어지며, 일반적으로, 크롬으로 이루어진다. 상기 제1 및 제3 전극층(451a, 452a)은 약 500Å의 두께를 갖는 것이 바람직하다.

상기 제2 및 제4 전극층(451b, 452b)은 동일한 재질로 이루어지며, 일반적으로, 알루미늄 또는 알루미늄 합금으로 이루어진다. 상기 제2 및 제4 전극층(451b, 452b)은 약 3000Å의 두께를 갖는 것이 바람직하다.

상기 제1 및 제2 소오스 전극(451, 452)과의 사이에는 상기 드레인 전극(460)이 위치한다. 상기 오믹 콘택층(440)의 상면에는 상기 드레인 전극(460)의 제1 도전층(461)이 구비되며, 상기 제1 도전층(461)은 약 500Å의 두께를 갖는 것이 바람직하다. 상기 제1 도전층(461)의 상면에는 상기 제3 도전층(463)이 구비되며, 상기 제3 도전층(463)은 약 3000Å의 두께를 갖는 것이 바람직하다.

상기 제1 소오스 전극(451)과 상기 드레인 전극(460)과의 사이, 및 상기 제2 소오스 전극(452)과 상기 드레인 전극(460)과의 사이에는 상기 채널 영역(CH)이 위치한다.

상기 TFT(400)가 형성된 투명 기판(100)의 상부에는 보호막(500)이 구비된다. 상기 보호막(500)은 외부로부터의 충격 및 공정 과정에서 상기 TFT(400)가 손상되는 것을 방지한다. 상기 보호막(500)은 산화실리콘(SiO_2)이나 질화실리콘(SiN_x)과 같은 무기 절연물질로 이루어지며, 약 2000Å 두께를 갖는 것이 바람직하다.

도 4는 도 2의 절단선 II-II'에 따른 단면도이다.

도 4를 참조하면, 상기 투명 기판(100)의 상기 게이트 영역(GA)에는 게이트 전극(410) 및 상기 소오스 전극(450)이 구비된다. 상기 액티브 층(430), 상기 오믹 콘택 층(440) 및 상기 드레인 전극(460)은 사익 게이트 영역(GA) 및 상기 드레인 영역(DA)에 구비된다.

상기 드레인 전극(460)의 제1 도전층(461)은 상기 게이트 영역(GA) 및 사익 드레인 영역(DA)에 걸쳐 구비된다. 상기 제2 도전층(462)은 상기 드레인 영역(DA)에서 상기 제1 도전층(461)의 상면에 구비되고, 상기 제3 도전층(463)은 상기 게이트 영역(GA)에서 상기 제1 도전층(461)의 상면에 구비된다.

상기 제2 도전층(462)은 상기 드레인 영역(DA)에서 상기 제1 도전층(461)의 상면에 부분적으로 구비된다. 상기 제2 도전층(462)은 상기 콘택홀(CH)이 형성되는 영역이 제거되어 상기 제1 도전층(461)을 노출한다.

상기 제1 도전층(461)은 일부분(CGS)이 상기 제2 도전층(462)과 상기 제3 도전층(463)과의 사이로 노출된다. 즉, 상기 드레인 전극(460)은 상기 소오스 전극(450)과 인접하여 위치하는 제1 단부는 이중막으로 형성된다. 상기 드레인 전극(460)은 상기 콘택홀(CH)이 형성되는 제2 단부는 부분적으로 이중막으로 형성된다. 상기 드레인 전극(460)의 제2 단부는 상기 콘택홀(CH)이 형성되는 부분은 단일막으로 형성된다.

상기 제1 단부와 상기 제2 단부와 사이에 위치하는 중앙부(CGS)는 단일막으로 형성된다. 단일막으로 형성되는 상기 드레인 전극(460)의 중앙부(CGS)는 상기 드레인 영역(DA)에 위치한다.

상기 소오스 전극(450) 및 상기 드레인 전극(460)의 상부에는 상기 보호막(500)이 구비된다. 상기 보호막(500)은 상기 드레인 영역(DA)의 상기 제2 도전층(462)이 부분적으로 제거된 부분에서 제거되어 상기 콘택홀(CH)을 형성한다.

상기 드레인 영역(DA)에서 상기 보호막(500)의 상면에는 화소 전극(600)이 부분적으로 구비된다. 상기 화소 전극(600)은 상기 콘택홀(CH)을 통해 상기 제1 도전층(461)과 전기적으로 연결된다. 상기 화소 전극(600)은 인듐 틴 옥사이드(Indium Tin Oxide : ITO) 또는 인듐 징크 옥사이드(Indium Zinc Oxide : IZO)로 이루어진다.

도면에는 도시하지 않았으나, 상기 화소 전극(600)은 상기 화소(Px)(도 1 참조)별로 절연되어 위치한다.

도 5a 내지 도 5c는 도 4에 도시된 액정표시장치를 형성하는 과정을 나타낸 공정 단면도이다.

도 5a를 참조하면, 상기 투명 기판(100)의 상면에 도전성 금속막을 이중막으로 형성한다. 상기 이중 금속막은 제1 마스크를 이용한 사진 식각 공정을 통해 패터닝되어 상기 게이트 라인(200)(도 1 참조) 및 상기 게이트 전극(410)을 형성한다.

상기 게이트 라인(200) 및 상기 게이트 전극(410)이 형성된 상기 투명 기판(100)의 상부에 상기 게이트 절연막(420), 상기 액티브 층(430) 및 상기 오믹 콘택층(440)이 순차적으로 형성된다. 상기 게이트 절연막(420), 상기 액티브 층(430) 및 상기 오믹 콘택층(440)은 상기 PECVD 방법에 의해 형성된다.

상기 오믹 콘택층(440)의 상부에는 상기 데이터 라인(300)(도 1 참조), 상기 소오스 전극(450)(도 4 참조), 및 상기 드레인 전극(460)을 형성하기 위한 제1 금속층 및 제2 금속층(464)이 순차적으로 형성된다.

상기 제1 금속층 및 상기 제2 금속층(464)은 제2 마스크를 이용한 사진 식각 공정을 통해 패터닝되어 상기 채널 영역(CA)에 위치하는 부분이 제거되고, 상기 소오스 전극(450), 상기 데이터 라인(300), 및 상기 제1 도전층(461)을 형성한다.

도 5b를 참조하면, 상기 제2 금속층(464)은 제3 마스크를 이용한 사진 식각 공정을 통해 패터닝되어 상기 제2 도전층(462) 및 상기 제3 도전층(463)을 형성한다. 상기 제2 도전층(462)은 상기 콘택홀(CH)과 대응하는 부분이 제거된다.

상기 액티브 층(430) 및 상기 오믹 콘택층(440)은 상기 제2 금속층(464)이 패터닝 될 때 함께 패터닝되어 상기 데이터 라인(300), 상기 소오스 전극(450), 및 상기 제1 도전층(461)과 오버랩되는 영역을 제외한 나머지 영역이 제거된다. 상기 오믹 콘택층(440)은 일부분이 제거되어 상기 액티브 층(430)을 노출하는 상기 채널 영역(CH)을 형성한다. 이때, 상기 액티브 층(430)은 상기 채널 영역(CH)이 형성되는 부분에서 식각되어 상기 채널 영역(CH)에 위치하는 상기 액티브 층(430)은 다른 영역보다 얇은 두께로 형성된다.

도 4 및 도 5c를 참조하면, 상기 드레인 전극(460)이 형성된 상기 투명 기판(100)의 상부에는 상기 보호막(500)이 형성된다. 상기 보호막(500)은 제4 마스크를 이용한 사진 식각 공정을 통해 패터닝되어 상기 제1 도전층(461)을 노출하는 상기 콘택홀(CH)을 형성한다.

상기 보호막(500)의 상면에는 상기 화소 전극(600)이 구비된다. 상기 화소 전극(600)은 제5 마스크를 이용한 사진 식각 공정을 통해 패터닝되어 상기 게이트 영역(GA)에서 제거된다.

발명의 효과

상술한 본 발명에 따르면, 액정표시장치는 드레인 전극은 소오스 전극과 인접하여 위치하는 제1 단부 및 콘택홀이 형성되는 제2 단부가 이중막으로 형성되고, 제1 및 제2 단부와 사이에 위치하는 중앙부가 단일막으로 형성된다. 이로 인해, 드레인 전극의 중앙부에 대응하는 액티브 층 및 드레인 전극의 중앙부의 폭을 감소시킬 수 있다. 또한, 액티브 층은 소오스 전극이 형성된 영역에서 채널 영역을 제외하고는 소오스 전극의 외측으로 돌출되지 않는다.

이에 따라, 액티브 층은 드레인 전극 및 소오스 전극의 외측으로 돌출되는 면적이 감소된다. 그 결과, 액정표시장치는 턴 오프할 때 전류가 증가되는 것을 방지할 수 있으므로, 잔상이 발생하는 것을 방지할 수 있고, 더 나아가서는, 표시 특성을 향상시킬 수 있다.

이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

게이트 영역 및 상기 게이트 영역과 연결된 드레인 영역으로 이루어진 기관;

상기 기관 상에 제1 방향으로 연장되어 형성되고, 게이트 신호를 전송하는 게이트 라인;

상기 기관 상에 상기 제1 방향과 직교하는 제2 방향으로 연장되어 형성되고, 데이터 신호를 전송하는 데이터 라인; 및

상기 기관 상에 형성되고, 상기 게이트 라인 및 상기 데이터 라인과 연결된 박막 트랜지스터를 포함하고,

상기 박막 트랜지스터는,

상기 게이트 영역에 구비되고, 상기 게이트 라인과 연결된 게이트 전극;

상기 게이트 전극의 상부 및 상기 드레인 영역에 위치하는 액티브 층;

상기 액티브 층의 상부에 위치하고, 상기 드레인 영역 및 상기 게이트 영역에 구비되는 제1 도전층, 상기 드레인 영역에서 상기 제1 도전층의 상면에 위치하는 제2 도전층, 및 상기 게이트 영역에서 상기 제1 도전층의 상면에 위치하고, 상기 제2 도전층과 소정의 거리로 이격되어 위치하는 제3 도전층을 구비하는 드레인 전극; 및

상기 게이트 영역에서 상기 액티브 층의 상부에 위치하고, 데이터 라인과 연결된 소오스 전극을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 2.

제1항에 있어서, 상기 제2 도전층과 상기 제3 도전층과의 사이로 노출된 상기 제1 도전층의 폭은 약 $3\mu\text{m}$ 내지 $7\mu\text{m}$ 인 것을 특징으로 하는 액정표시장치.

청구항 3.

제2항에 있어서, 상기 제2 도전층과 상기 제3 도전층과의 사이에 위치하는 상기 액티브 층의 폭은 상기 제1 도전층의 폭과 동일한 것을 특징으로 하는 액정표시장치.

청구항 4.

제1항에 있어서, 상기 소오스 전극,

상기 데이터 라인으로부터 상기 제1 방향으로 연장된 제1 소오스 전극;

상기 데이터 라인으로부터 상기 제1 방향으로 연장되어 형성되고, 상기 제1 소오스 전극과 소정의 거리로 이격되어 구비된 제2 소오스 전극을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 5.

제4항에 있어서, 상기 드레인 전극의 제1 단부는 상기 제1 소오스 전극과 상기 제2 소오스 전극과의 사이에 위치하고, 상기 액티브 층을 노출하여 채널 영역을 형성하도록 상기 제1 및 제2 소오스 전극과 소정의 거리로 이격하여 위치하는 것을 특징으로 하는 액정표시장치.

청구항 6.

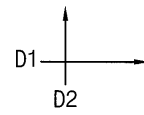
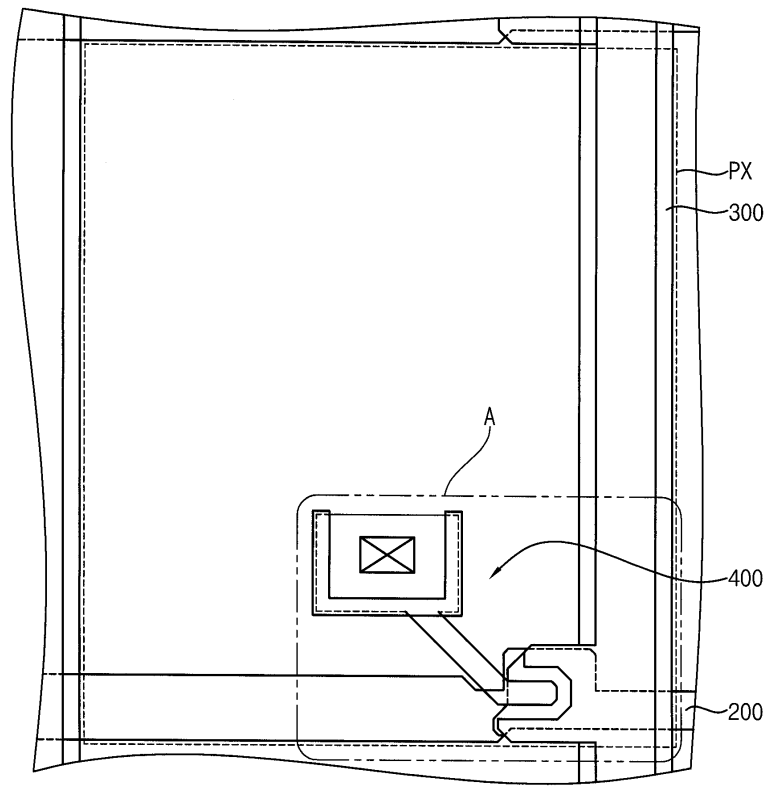
제4항에 있어서, 상기 게이트 영역에 위치하는 상기 액티브 층은 상기 제2 방향에 대응하는 폭이 상기 소오스 전극의 상기 제2 방향에 대응하는 폭보다 작거나 같은 것을 특징으로 하는 액정표시장치.

청구항 7.

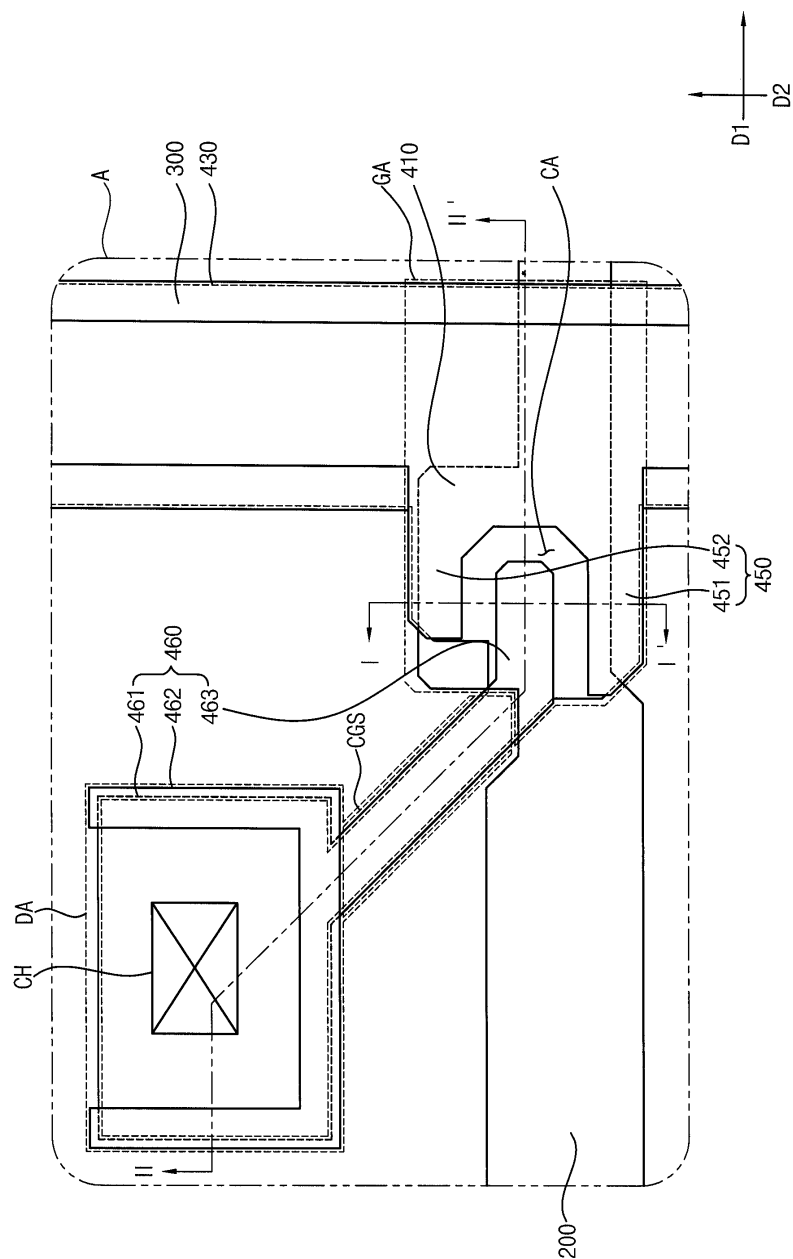
제1항에 있어서, 상기 제2 도전층은 'U'자 형상을 갖는 것을 특징으로 하는 액정표시장치.

도면

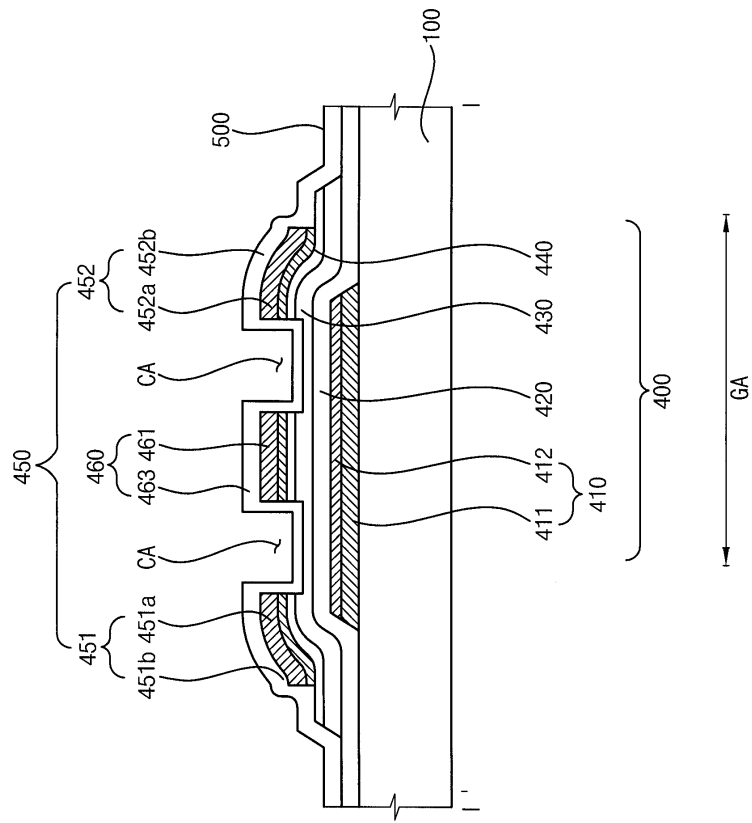
도면1



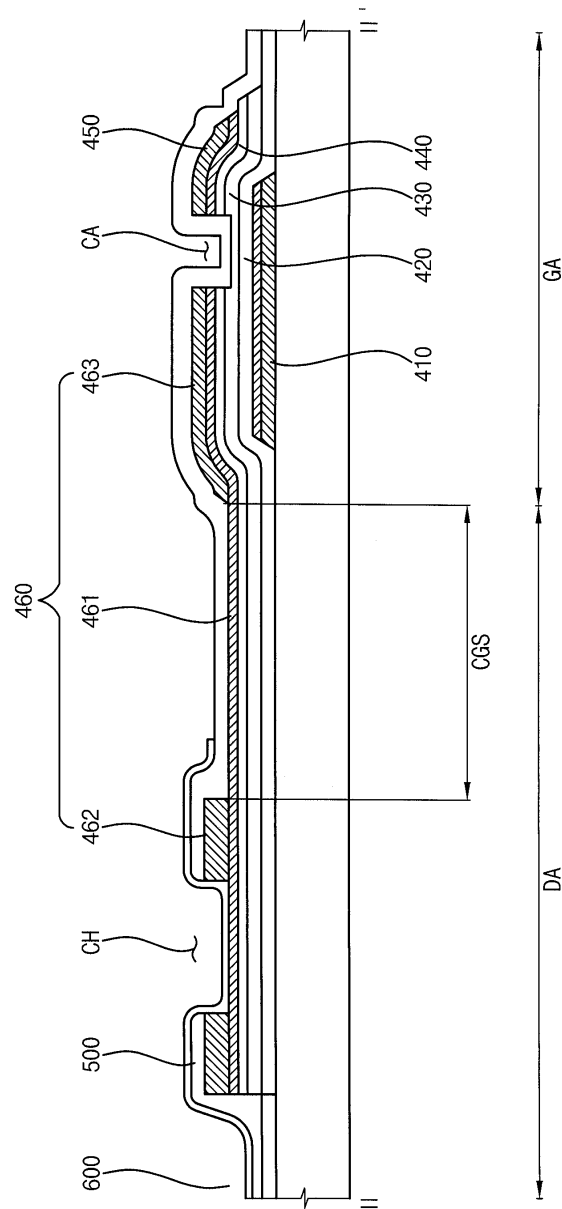
도면2



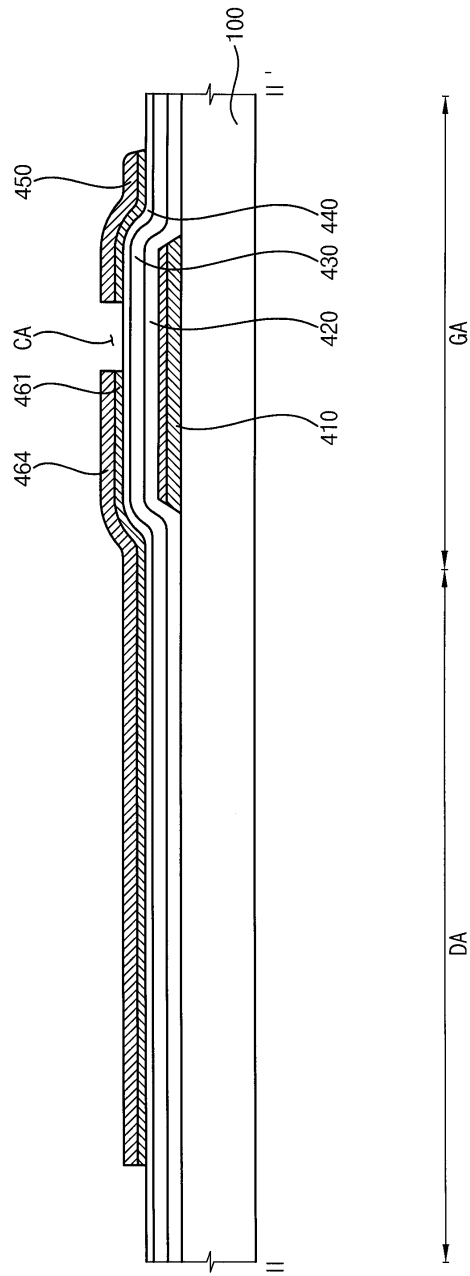
도면3



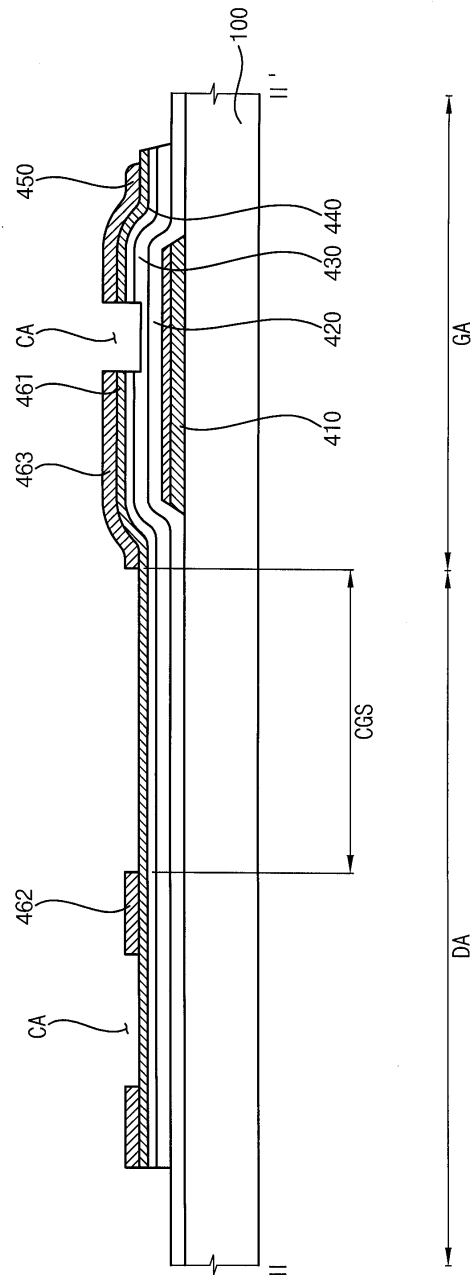
도면4



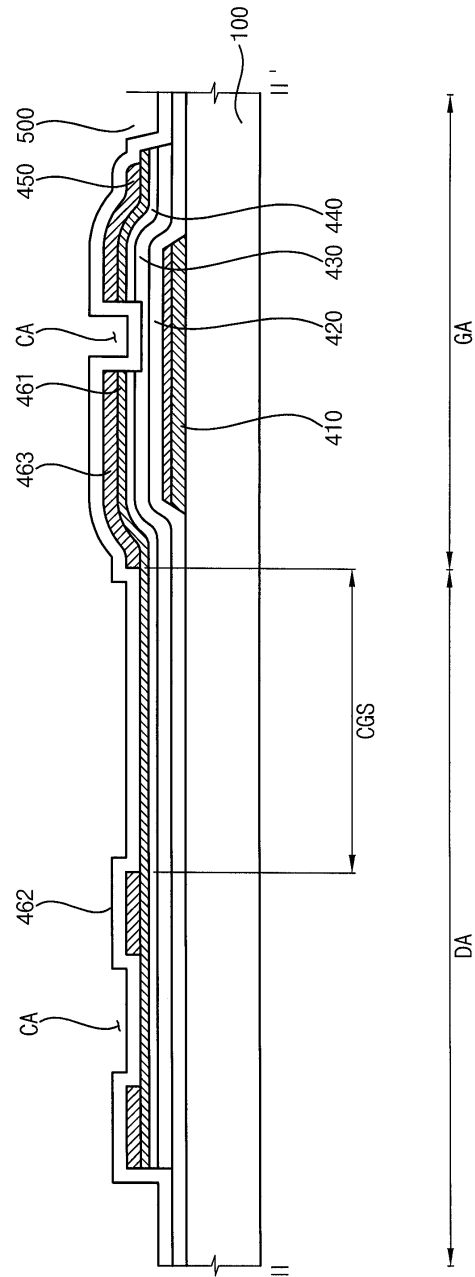
도면5a



도면5b



도면5c



专利名称(译)	液晶显示器		
公开(公告)号	KR1020060070221A	公开(公告)日	2006-06-23
申请号	KR1020040108882	申请日	2004-12-20
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	MOON SUNGJAE		
发明人	MOON,SUNGJAE		
IPC分类号	G02F1/136		
CPC分类号	G02F1/136286 G02F1/1368 H01L29/41733 H01L29/458		
代理人(译)	PARK , YOUNG WOO		
外部链接	Espacenet		

摘要(译)

公开了改善指示特性的液晶显示器。液晶显示器包括第一导电层，第二导电层位于第一导电层的上侧并且分开地定位到预定距离，并且漏电极具有第三导电层。设置第二导电层和第三导电层与第一导电层分离的空间。因此，液晶显示器可以减小位于第二导电层和第三导电层分离的空间中的有源层和第一导电层的宽度。因此，液晶显示器可以减小有源层的面积。因此，当薄膜晶体管关闭时可以防止电流稳定地减小并且发生残像。残像和活动层。

