

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl. G02F 1/133 (2006.01)	(11) 공개번호 (43) 공개일자	10-2006-0063422 2006년06월12일
---	------------------------	--------------------------------

(21) 출원번호	10-2004-0102593
-----------	-----------------

(22) 출원일자	2004년12월07일
-----------	-------------

(71) 출원인	엘지.필립스 엘시디 주식회사 서울 영등포구 여의도동 20번지
----------	--------------------------------------

(72) 발명자	황한욱 서울특별시 영등포구 양평동6가 86번지 덕양연립 5동 105호 김상호 충청남도 금산군 금산읍 상옥리 5구 88번지
----------	--

(74) 대리인	박장원
----------	-----

심사청구 : 없음

(54) 액정표시장치

요약

본 발명은 횡전계방식 액정표시장치에 관한 것으로, 기관 상에 배열된 복수의 화소와, 상기 화소에 개별적으로 구비되어 수평전계를 형성하는 제 1전극 및 제 2전극과, 상기 기관 상에 종방향으로 배열되며, 각각 열 단위의 화소들에 전기적으로 접속된 복수의 데이터라인과, 상기 기관 상에 횡방향으로 배열되며, 각각 행 단위의 화소들에 전기적으로 접속된 복수의 게이트라인 및 공통전압라인과, 상기 데이터라인을 통해 상기 화소의 제 1전극에 화상정보를 인가하는 데이터구동부와, 상기 게이트라인을 통해 순차적으로 상기 행 단위의 화소들에 주사신호를 공급하는 게이트구동부와, 각 공통전압라인 일측에 구비되며, 주사신호에 동기되어 입력되는 제 1,2제어신호에 의해 제 1공통전압 또는 제 2공통전압을 상기 공통전압라인을 통해 행 단위의 화소들의 제 2전극에 선택적으로 인가하는 복수의 공통전압부와, 제 N번째 게이트라인을 통해 상기 행 단위의 화소들과 아울러 제 N+1번째 공통전압부에 주사신호를 공급하는 게이트구동부를 포함하여 구성된다.

대표도

도 5

색인어

주사신호, 공통전압, 라인인버전, 횡전계, 지연(delay), 부하(load)

명세서

도면의 간단한 설명

도1은 일반적인 횡전계방식 액정표시장치의 단위 화소를 나타낸 도면.

도2는 도1의 화소가 배열된 액정표시장치를 나타낸 도면.

도3a는 라인인버전 방식 적용시 화상정보와 공통전압의 전압 파형도.

도3b는 도트인버전 방식 적용시 화상정보와 공통전압의 전압 파형도.

도4는 횡전계방식 액정표시장치의 화소에 인가된 공통전압의 파형의 일 예를 나타낸 도면.

도5는 본 발명의 제 1실시예에 따른 액정표시장치를 나타낸 도면.

도6a는 도5의 공통전압부의 구성을 자세히 나타낸 도면.

도6b는 도6a의 구동에 의해 발생하는 파형들의 타이밍 다이어그램.

도7a는 본 발명의 제 2실시예에 따른 공통전압부의 구성을 상세히 나타낸 도면.

도7b는 도7a의 구동에 의해 발생하는 파형들의 타이밍 다이어그램.

도면의 주요 부분에 대한 부호의 설명

120: 데이터구동부 130: 게이트구동부

141: 공통 고전압라인 142: 공통 저전압라인

151: 제 1제어신호라인 152: 제 2제어신호라인

DL1~DLm: 데이터라인 GL1~GLm: 게이트라인

Vgate0~Vgate n-1: 주사신호 VL1~VLn: 공통전압라인

VC_UNT1~VC_UNTn: 공통전압부 VCOM_H: 공통 고전압

VCOM_L: 공통 저전압 Vcon1: 제 1제어신호

Vcon2: 제 2제어신호

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 횡전계방식(In-Plane Switching mode: IPS) 액정표시장치(liquid crystal display device)에 관한 것으로, 화소에 인가되는 공통전압을 원하는 레벨까지 빠르게 상승시켜 화소에 충분한 전하가 충전되도록 함으로써, 화질 저하를 방지하는 횡전계방식 액정표시장치에 관한 것이다.

일반적으로, 액정표시장치는 박막 트랜지스터 어레이 기판(thin film transistor array substrate)과 컬러필터 기판(color filter substrate)이 일정한 셀-갭(cell-gap)으로 합착되고, 그 셀-갭 사이의 공간에 액정을 충전시켜 제작하는 액정패널(liquid crystal display panel)과, 그 액정패널을 구동시켜 화상이 표시되도록 하는 구동부를 포함하여 구성된다.

상기 박막 트랜지스터 어레이 기판에는 횡방향으로 형성되는 다수의 게이트라인과, 종방향으로 형성되는 다수의 게이트라인이 서로 교차되며, 그 게이트라인과 데이터라인의 교차에 의해 구획되는 다수의 영역은 화소로 정의된다. 상기 화소에는 스위칭소자와 화소전극이 구비된다.

그리고, 상기 컬러필터 기판에는 상기 화소에 대응하는 위치에 적색, 녹색 및 청색의 컬러필터가 형성되고, 그 화소를 통과하는 빛의 색간섭을 방지하기 위한 블랙매트릭스가 상기 컬러필터의 외곽을 감싸는 그물형태로 형성된다. 또한, 상기 컬러필터 기판의 전(全)면에는 박막 트랜지스터 어레이 기판의 화소전극과 함께 액정에 전계를 인가하기 위한 공통전극이 형성된다.

근래에 사용되는 액정표시장치는 통상 트위스트 네마틱(twisted nematic: TN) 액정을 채택하고 있다. 상기 트위스트 네마틱 액정은 박막 트랜지스터 어레이 기판에 형성되는 화소전극과 컬러필터 기판에 형성되는 공통전극의 수직전계에 의해 액정이 구동되기 때문에 시야각에 따라 광투과율이 달라지는 특성이 나타난다. 특히, 상하방향의 시야각에 대해서는 광투과율이 비대칭적으로 분포하기 때문에 상하방향에서 이미지가 반전되는 범위가 발생하여 시야각이 좁아지는 문제가 있다. 따라서, 트위스트 네마틱 액정을 적용할 경우 대면적의 액정표시장치를 제작하는데 제한을 받게 된다.

상기한 바와 같은 문제를 해결하기 위하여 수평전계에 의해 액정을 구동시키는 횡전계방식 액정표시장치가 제안되었다.

상기 횡전계방식 액정표시장치는 상기 수직전계에 의해 액정이 구동되는 액정표시장치에 비해 콘트라스트(contrast), 그레이 인버전(gray inversion) 및 컬러 쉬프트(color shift) 등의 시야각 특성을 향상시킬 수 있으므로, 광시야각(wide viewing angle)을 확보할 수 있게 되어 대면적의 액정표시장치의 제작에 널리 사용되고 있다.

도1은 일반적인 횡전계방식 액정표시장치의 단위 화소를 나타낸 도면이다.

실제로 액정표시장치에는 복수의 게이트라인(1)과 복수의 데이터라인(3)이 교차하여 복수의 화소가 형성되지만, 도면에는 간단한 설명을 위해 한 화소만을 도시하였다.

도면에 도시된 바와 같이, 투명한 제1기판(10) 상에 게이트라인(1) 및 데이터라인(3)이 중첩으로 배열되어 화소를 구획한다. 상기 게이트라인(1)과 데이터라인(3)의 교차점에는 게이트전극(1a), 반도체층(5) 및 소스/드레인전극(2a,2b)으로 구성된 박막트랜지스터(thin film transistor, 9)가 형성된다. 상기 게이트전극(1a)은 상기 게이트라인(1)에 전기적으로 접속되며, 상기 소스/드레인전극(2a,2b)은 상기 데이터라인(3)에 전기적으로 접속된다.

화소 내에는 상기 게이트라인(1)과 평행하게 공통전압라인(4)이 배열되고, 액정분자를 스위칭 시키는 적어도 한쌍의 전극 즉, 공통전극(6)과 화소전극(7)이 데이터라인과 평행하게 배열되어 있다. 상기 공통전극(6)은 게이트라인(1)과 동시에 형성되어 공통전압라인(4)에 접속되며, 화소전극(7)은 소스/드레인전극(2a,2b)과 동시에 형성되어 박막트랜지스터(9)의 드레인전극(2b)과 접속된다. 그리고, 상기 소스/드레인전극(2a,2b)을 포함하는 기판 전체에 걸쳐서 보호막(11)이 형성된다. 또한, 상기 공통전압라인(4)과 중첩되어 형성되며, 화소전극(7)과 접속되는 화소전극라인(14)은 그 사이에 개재된 절연막(8)을 사이에 두고 스토리지 커패시터(Cst)를 형성한다.

또한, 제2기판(20)에는 박막트랜지스터(9), 게이트라인(1) 및 데이터라인(3)으로 빛이 새는 것을 방지하는 블랙매트릭스(21)와 컬러 화상을 구현하기 위한 컬러필터(23)가 형성되며, 그 위에는 컬러필터(23)를 평탄화하기 위한 오버코트막(25)이 도포되어 있다. 그리고, 상기 제1기판(10) 및 제2기판(20)의 대향면에는 액정의 초기 배향방향을 결정짓는 배향막(12a,12b)이 도포되어 있다.

또한, 상기 제1기판(10) 및 제2기판(20) 사이에는 상기 공통전극(6) 및 화소전극(7)에 인가되는 전압에 의해 빛의 투과율을 조절하는 액정층(13)이 구비된다.

상기와 같은 구조를 갖는 종래 횡전계방식 액정표시장치는 공통전극(6a,6b) 및 화소전극(7)이 동일평면 상에 배치되어 횡전계를 발생시키기 때문에 시야각을 향상시킬 수 있는 장점을 가진다.

도2는 도1의 화소가 배열된 액정표시장치를 나타낸 도면이다.

도2를 참조하면, 액정표시장치는 종방향으로 일정한 이격을 갖도록 배열된 복수의 데이터라인(DL1~DLm)과, 횡방향으로 일정한 이격을 갖도록 배열된 복수의 게이트라인(GL1~GLn)과, 상기 데이터라인(DL1~DLm) 및 게이트라인(GL1~GLn)의 직교에 의해 형성되는 복수의 화소(P1)와, 상기 게이트라인(GL1~GLn)에 대응하여 형성되며, 상기 화소(P1)에 공통전압을 전달하는 복수의 공통전압라인(VL1)을 포함하여 구성된다.

상기 화소(P1)는 상기 게이트라인(GL1~GLn) 및 데이터라인(DL1~DLm)과 전기적으로 접속된다. 보다 자세하게는, 상기 화소(P1) 내에 구비된 박막트랜지스터(T1)의 게이트전극이 상기 게이트라인(GL1~GLn)과 접속되고, 소스전극이 상기 데이터라인(DL1~DLm)과 접속된다. 상기 박막트랜지스터(T1)의 드레인전극과 상기 공통전압라인(VL1) 사이에는 액정 커패시터(C1c)와 스토리지 커패시터(Cst)가 병렬로 연결되어 있다.

상기 공통전압라인(VL1)은 각 화소(P1)에 공통적으로 연결되어 동일한 공통전압(VCOM)이 전체 화소(P1)에 전달된다.

도면에 도시되진 않았지만, 상기 게이트라인(GL1~GLn)은 게이트 구동부(미도시)로부터 순차적으로 주사신호를 인가받는다. 상기 주사신호는 해당 게이트라인(GL1~GLn)에 접속된 복수의 박막트랜지스터(T1)의 게이트전극에 인가되어 상기 박막트랜지스터(T1)를 턴-온(turn-on)시킨다. 전술한 바와 같이, 상기 박막트랜지스터(T1)의 소스전극은 상기 데이터라인(DL1~DLm)과 접속되므로, 상기 턴-온된 박막트랜지스터(T1)의 소스전극에는 상기 데이터라인(DL1~DLm)을 통해 전달되는 화상정보가 공급된다.

액정표시장치의 액정층에 지속적으로 일정한 전계가 인가될 경우에 액정이 열화되고, 직류전압 성분에 의해 잔상이 발생하는 결과를 초래한다. 따라서, 액정의 열화를 방지하고, 직류전압 성분을 제거하기 위해서 공통전압을 기준으로 화상정보의 전압을 양과 음이 반복되도록 인가하는데, 이와 같은 구동방식을 인버전 방식이라 한다.

상기 인버전 구동방식은 화상정보의 극성이 화상의 한 프레임(frame)단위로 반전되어 공급되는 프레임 인버전 방식, 화상정보의 극성이 게이트라인 단위로 반전되어 공급되는 라인 인버전 방식, 그리고 화상정보의 극성이 서로 인접하는 화소별로 반전되어 공급되고 아울러 화상의 한 프레임 단위로 반전되어 공급되는 도트 인버전 방식이 있다. 도3은 상기 인버전 방식들 중 많이 적용되는 라인인버전 방식과 도트인버전 방식이 적용된 구동파형을 나타낸 파형도이다.

도3a는 라인인버전 방식 적용시 화상정보와 공통전압의 전압 파형도이고, 도3b는 도트인버전 방식 적용시 화상정보와 공통전압의 전압 파형도이다. 도3a와 도3b에서 화상정보와 공통전압과의 전압차는 공통적으로 5V가 되도록 구동시켰다.

도3a를 참조하면, 공통전압라인을 통해 화소에 인가되는 공통전압(VCOM)은 매 수평주기마다 고전압(5V)에서 저전압(0V)으로 또는 저전압(0V)에서 고전압(5V)으로 천이된다. 그리고, 화상정보의 전압(Vdata)은 상기 공통전압(VCOM)과는 반대 극성으로 매 수평주기마다 화소에 인가된다. 즉, 화상정보의 전압(Vdata)의 스윙폭을 0V에서 5V사이로 작게 해주어도 각 화소에 인가되는 공통전압(VCOM)과 화상정보의 전압(Vdata)의 전압차($\Delta V1$)를 크게 해줄 수 있게 된다.

한편, 도3b를 참조하면, 공통전압(VCOM)은 매 수평주기에서 동일한 레벨을 갖는 직류전압으로 공통전압라인에 인가된다. 이와 같이, 공통전압(VCOM)의 전압 레벨이 고정되므로, 화상정보의 전압(Vdata)의 조절에 의해서만 공통전압(VCOM)과 화상정보의 전압(Vdata)의 전압차($\Delta V2$)를 조절할 수 있게 된다. 즉, 도3a의 라인인버전 방식에서처럼 화상정보의 전압(Vdata)과 공통전압(VCOM)의 전압차를 5V로 해주기 위해서는 화상정보의 전압(Vdata)을 0V에서 10V로 스윙시켜야하므로, 라인인버전 방식에 비해 소비전력이 증가한다는 단점이 있다. 이와 같이, 라인인버전 방식은 도트인버전 방식에 비해 화상정보의 전압(Vdata)을 스윙시키기 위한 소비전력을 줄일 수 있다는 장점이 있지만, 상기 화상정보의 전압(Vdata)과 함께 공통전압(VCOM)을 교류로 구동시켜야하므로, 이에 따른 전력 소비가 발생하는 문제점이 있다.

특히, 횡전계방식 액정표시장치에서는 공통전압(VCOM)을 교류로 구동시키기 위해 일반적인 트위스트 네마틱 액정표시장치보다 더 큰 공통전압(VCOM)을 인가하여야 한다. 트위스트 네마틱 액정표시장치는 공통전극이 컬러필터 기판 전면에만 형성되어 형성되기 때문에 박막트랜지스터 어레이기판의 은도트(Ag dot)를 통해 인가되는 공통전압에는 비교적 낮은 부하(load)가 걸리게 된다. 반면, 횡전계방식 액정표시장치는 박막트랜지스터 어레이기판 상의 화소 내에 공통전극과 화소전극을 함께 구비하며, 특히, 공통전극은 화소의 개구율을 높이기 위해 화소 내에 보통 길고 좁은 막대형태로 형성되어 저항이 크다. 따라서, 액정패널 외부의 구동부로부터 인가되는 공통전압에 대해 큰 부하를 갖게 되어 각 화소에 인가되는 공통전압의 파형이 지연되거나 왜곡되는 현상이 발생한다.

도4는 횡전계방식 액정표시장치의 화소에 인가된 공통전압의 파형의 일 예를 나타낸 도면이다.

도4를 참조하면, 도면에서 점선은 화소에 인가된 공통전압(VCOM)이 정상적으로 나타내야 할 파형이며, 실선은 실제로 공통전압(VCOM)이 나타내는 파형이다.

상기한 바와 같이 횡전계방식 액정표시장치에서는 각 화소에 구비된 공통전극의 저항이 높으며, 액정 패널 전체적으로 큰 저항을 갖게되므로, 각 화소에 인가된 공통전압(VCOM)은 원하는 전압레벨에 도달하기까지 일정한 지연시간을 갖게 된다.

다. 도시된 바와 같이, 매 수평주기마다 공통전압(VCOM)은 완만한 곡선형태로 상승하여 지연된 시점에서 원하는 전압 레벨에 도달하는 경우도 있고, 한 수평주기 내에서 원하는 레벨에 이르지 못한 상태에서 다시 하강하게 되는 경우도 발생한다. 공통전압(VCOM)이 원하는 전압레벨까지 상승하지 못하는 경우에 공통전극과 화소전극 사이에 원하는 전압차를 걸어주기 위해서는 화상정보의 전압을 높여주어야하므로, 구동 전력을 증가시켜야 한다. 또한, 매 수평주기에서 공통전압(VCOM)이 지연되거나 원하는 레벨에 도달하지 못하는 경우 화소에 충분한 전압이 충전되지 않게 되어 화질 저하를 가져올 수 있다.

이와 같이, 횡전계방식의 특성상 각 화소에 구비되는 공통전극에 의해 액정패널 전체의 부하가 증가함에 따라 액정표시장치에서 라인인버전 방식에 의한 전력 감소 효과가 감소하게 되며, 화질 저하가 발생하게 된다.

발명이 이루고자 하는 기술적 과제

상기한 바와 같은 종래의 문제점을 해결하기 위해 본 발명이 창안된 것으로, 본 발명의 목적은 공통전압라인마다 개별적으로 공통전압을 인가함으로써, 각 화소에 인가되는 공통전압의 부하를 줄일 수 있고, 매 수평주기에서 화소 내에 충분한 전압이 충전되도록 하는 액정표시장치를 제공하는데 있다.

발명의 구성 및 작용

상기와 같은 본 발명의 목적을 달성하기 위한 액정표시장치는 기관 상에 배열된 복수의 화소와, 상기 화소에 개별적으로 구비되어 수평전계를 형성하는 제 1전극 및 제 2전극과, 상기 기관 상에 종방향으로 배열되며, 각각 열 단위의 화소들에 전기적으로 접속된 복수의 데이터라인과, 상기 기관 상에 횡방향으로 배열되며, 각각 행 단위의 화소들에 전기적으로 접속된 복수의 게이트라인 및 공통전압라인과, 상기 데이터라인을 통해 상기 화소의 제 1전극에 화상정보를 인가하는 데이터구동부와, 상기 게이트라인을 통해 순차적으로 상기 행 단위의 화소들에 주사신호를 공급하는 게이트구동부와, 각 공통전압라인 일측에 구비되며, 주사신호에 동기되어 입력되는 제 1,2제어신호에 의해 제 1공통전압 또는 제 2공통전압을 상기 공통전압라인을 통해 행 단위의 화소들의 제 2전극에 선택적으로 인가하는 복수의 공통전압부와, 제 N번째 게이트라인을 통해 상기 행 단위의 화소들과 아울러 제 N+1번째 공통전압부에 주사신호를 공급하는 게이트구동부를 포함하여 구성된다.

도5는 본 발명의 제 1실시예에 따른 액정표시장치를 나타낸 도면이다.

도5를 참조하면, 액정표시장치는 기관 상에 종형으로 배열되어 서로 실질적으로 직교하는 복수의 데이터라인(DL1~DLm) 및 복수의 게이트라인(GL1~GLn)과, 상기 데이터라인(DL1~DLm) 및 게이트라인(GL1~GLn)이 교차하는 영역에 정의되며, 상기 데이터라인(DL1~DLm) 및 게이트라인(GL1~GLn)에 전기적으로 접속되는 복수의 화소(P11)와, 상기 데이터라인(DL1~DLm)을 통해 화소(P11)에 화상정보를 공급하는 데이터구동부(120)와, 상기 게이트라인(GL1~GLn)을 통해 화소(P11)에 주사신호를 공급하는 게이트구동부(130)와, 상기 게이트라인(GL1~GLn)에 대응하여 상기 기관 상에 횡방향으로 형성되어 화소(P11)와 전기적으로 접속되는 복수의 공통전압라인(VL1~VLn)과, 각 게이트라인(GL1~GLn)에 대응하여 형성되며, 주사신호에 동기되어 공통 고전압 또는 공통 저전압을 대응하는 공통전압라인(VL1~VLn)으로 출력하는 복수의 공통전압부(VC_UNT1~VC_UNTn)를 포함하여 구성된다.

각 화소(P11)에는 게이트전극이 상기 게이트라인(GL1~GLn)과 접속되며, 소스전극이 상기 데이터라인(DL1~DLm)과 접속되는 박막트랜지스터(T11)가 구비된다. 그리고, 상기 박막트랜지스터(T11)의 드레인전극과 공통전압라인(VL1~VLn) 사이에는 액정 커패시터(Clc)와 스토리지 커패시터(Cst)가 병렬로 연결된다. 상기 스토리지 커패시터(Cst)에는 상기 데이터라인(DL1~DLm)을 통해 인가되어 화소전극에 인가되는 화상정보의 전압과 상기 공통전압라인(VL1~VLn)을 통해 인가되어 공통전극에 인가되는 공통전압의 전압차만큼의 전하가 충전되며, 한 프레임동안 화소(P11)의 구동을 유지시킨다.

각 게이트라인(GL1~GLn)에 대응하여 기관 상에는 복수의 공통전압부(VC_UNT1~VC_UNTn)가 형성된다. 상기 공통전압부(VC_UNT1~VC_UNTn)는 최근 많이 이용되고 있는 저온 다결정실리콘(low temperature poly silicon: LTPS) 공정에 의해 기관에 직접 실장할 수 있다.

각 공통전압부(VC_UNT1~VC_UNTn)에는 공통 고전압라인(141) 및 공통 저전압라인(142)이 공통적으로 연결되며, 제 1제어신호라인(151) 및 제 2제어신호라인(152)이 연결된다.

상기 공통 고전압라인(141)과 공통 저전압라인(142)은 액정패널 외부에 구비되어 액정표시장치의 여러 구동전압을 생성하는 전압공급부(미도시)에 접속된다. 그리고, 상기 제 1제어신호라인(151) 및 제 2제어신호라인(152)은 타이밍제어부(timing controller, 미도시)에 접속됨과 아울러, 각 공통전압부(VC_UNT1~VC_UNTn)에 공통적으로 접속된다.

상기 게이트구동부(130)는 주사신호를 상기 게이트라인(GL1~GLn)에 한 라인씩 순차적으로 출력하며, 그 주사신호에 의해 해당 게이트라인(GL1~GLn)에 접속된 복수의 화소(P11)의 박막트랜지스터(T11)가 턴-온된다. 이러한 턴-온구간에 서 상기 데이터구동부(120)에서 출력된 화상정보는 상기 턴-온된 박막트랜지스터(T11)를 통해 화소(P11)에 공급된다.

상기 게이트구동부(130)에서 순차적으로 출력되는 주사신호는 게이트라인(GL1~GLn)에 공급됨과 동시에 다음 단 게이트라인(GL1~GLn)에 대응하는 공통전압부(VC_UNT1~VC_UNTn)에도 공급된다. 예를 들어, 제 1번째 게이트라인(GL1)을 통해 출력된 주사신호(Vgate1)는 동일 단의 제 1공통전압부(VC_UNT1)가 아니라 다음 단의 제 2공통전압부(VC_UNT2)에 공급된다. 그리고, 제 2번째 게이트라인(GL2)을 통해 출력된 주사신호(Vgate2)는 제 3공통전압부(VC_UNT3)에 공급된다. 즉, 다음 단 공통전압부(VC_UNT1~VC_UNTn)를 주사신호에 의해 미리 구동시킴으로써, 다음 단 게이트라인(GL1~GLn)에 대응하는 화소(P11)들의 공통전극에 인가되는 공통전압을 미리 원하는 레벨까지 상승시킨다.

상기 공통전압부(VC_UNT1~VC_UNTn)는 상기와 같이 이전 단 게이트라인(GL1~GLn)으로부터 주사신호를 공급받아 그 주사신호에 동기되어 구동되며, 입력받는 제 1제어신호(Vcon1) 및 제 2제어신호(Vcon2)에 따라 공통 저전압(VCOM_L) 또는 공통 고전압(VCOM_H)을 상기 공통전압라인(VL1~VLn)으로 선택적으로 출력하여 행 단위의 화소들에 인가한다.

상기 공통전압부(VC_UNT1~VC_UNTn)는 제 N번째 공통전압부(VC_UNTn) 및 제 N+1번째 공통전압부(VC_UNTn+1)에서 공통 저전압(VCOM_L) 또는 공통 고전압(VCOM_H)을 교번하여 출력한다. 예를 들어, 상기 제 1공통전압부(VC_UNT1)에서 공통 저전압(VCOM_L)을 출력하는 경우 제 2공통전압부(VC_UNT2)는 공통 고전압(VCOM_H)을 출력하고, 제 3공통전압부(VC_UNT3)는 다시 공통 저전압(VCOM_L)을 출력하게 된다. 그리고, 매 프레임마다 각 공통전압부(VC_UNT1~VC_UNTn)는 공통 저전압(VCOM_L) 또는 공통 고전압(VCOM_H)으로 천이된 공통전압을 출력한다. 즉, 액정표시장치를 라인 인버전 방식으로 구동시키게 된다.

상기와 같이 공통전압부(VC_UNT1~VC_UNTn)가 각 게이트라인(GL1~GLn)에 대응하여 개별적으로 형성되므로, 각 공통전압라인마다 선택적으로 공통전압을 인가할 수 있게되며, 각 공통전압부(VC_UNT1~VC_UNTn)가 하나의 공통전압라인에만 공통전압을 인가하면되기 때문에 각 공통전압라인에 인가되는 공통전압에 걸리는 부하가 줄어들게 된다.

도6a는 도5의 공통전압부의 구성을 자세히 나타낸 도면이며, 도6b는 도6a의 구동에 의해 발생하는 파형들의 타이밍 다이어그램이다.

도면을 참조하면, 공통전압부(VC_UNT2,VC_UNT3)는 주사신호(Vgate1,Vgate2)에 의해 도통되어 제 1,2제어신호(Vcon1,Vcon2)를 통과시키거나 차단하는 제 1,2트랜지스터(Tc1,Tc2)와, 상기 제 1,2트랜지스터(Tc1,Tc2)를 통과한 제 1,2제어신호(Vcon1,Vcon2)에 의해 도통되어 공통 저전압(VCOM_L) 또는 공통 고전압(VCOM_H)을 공통전압라인(VL2,VL3)에 인가하는 제 3,4트랜지스터(T_H1,T_L1)로 구성된다.

상기 공통전압부(VC_UNT2,VC_UNT3)가 형성된 기판 상에는 횡방향으로 게이트라인(GL1,GL2,GL3)이 배열되며, 종방향으로 데이터라인(DL)이 배열된다. 화소(P21)는 상기 게이트라인(GL2,GL3) 및 데이터라인(DL)이 교차함으로써, 구획되는 영역에 정의된다.

제 2번째 게이트라인(GL2)은 상기 화소(P21)에 구비된 트랜지스터(T21)의 게이트전극에 전기적으로 접속되어 그 게이트전극에 주사신호(Vgate2)를 인가한다. 상기 제 2번째 게이트라인(GL2)에 대응하여 기판 상에 형성된 제 2공통전압라인(VL2)은 상기 트랜지스터(T21)의 드레인전극에 액정 커패시터(Clc) 및 스토리지 커패시터(Cst)를 통해 접속된다. 전술한 바와 같이, 상기 제 2번째 게이트라인(GL2)은 제 2번째 공통전압부(VC_UNT2)에 접속되지 않고, 제 3번째 공통전압부(VC_UNT3)에 접속된다. 상기 제 2번째 공통전압부(VC_UNT2)는 제 1번째 게이트라인(GL1)과 연결되어 그 제 1번째 게이트라인(GL1)을 통해 주사신호(Vgate1)를 인가받는다.

제 1번째 게이트라인(GL1)을 통해 전달되는 주사신호(Vgate1)는 제 2번째 공통전압부(VC_UNT2)의 제 1,2트랜지스터(Tc1,Tc2)에 공통적으로 인가된다. 상기 제 1,2트랜지스터(Tc1,Tc2)는 피-타입(N-type)의 박막트랜지스터이다. 상기 제 1트랜지스터(Tc1) 및 제 2트랜지스터(Tc2)는 주사신호(Vgate1)에 의해 도통되어 소스전극을 통해 각각 제 1제어신호(Vcon1) 및 제 2제어신호(Vcon2)를 인가받아 드레인전극으로 출력한다.

상기 제 1트랜지스터(Tc1)를 통과한 제 2제어신호(Vcon1)는 제 3트랜지스터(T_H1)의 게이트전극에 인가되고, 상기 제 2트랜지스터(Tc2)를 통과한 제 1제어신호(Vcon2)는 제 4트랜지스터(T_L1)의 게이트전극에 인가된다. 상기 제 3트랜지스터(T_H1) 및 제 4트랜지스터(T_L1) 중 하나는 상기 제 1제어신호(Vcon1) 또는 제 2제어신호(Vcon2)에 의해 도통된다. 상기 제 1제어신호(Vcon1)와 제 2제어신호(Vcon2)는 서로 다른 전위상태의 파형을 갖기 때문에 만일 제 1제어신호(Vcon1)가 저전위 상태의 파형일 경우 피-타입인 제 3트랜지스터(T_H1)이 도통되어 공통 조전압(VCOM_H)을 인가받고, 제 4트랜지스터(T_L1)는 공통 저전압(VCOM_L)을 차단하게 된다. 반면에 제 1제어신호(Vcon1)가 고전위 상태일 경우는 제 2제어신호(Vcon2)가 저전위 상태이므로, 상기 제 4트랜지스터(T_L1)가 도통되어 공통 저전압(VCOM_L)을 인가받아 제 2번째 공통전압라인(VL2)으로 출력하고, 상기 제 3트랜지스터(T_H1)는 공통 고전압(VCOM_H)을 차단하게 된다.

한편, 상기 제 1제어신호(Vcon1)와 제 2제어신호(Vcon2)는 상기 제 3트랜지스터(T_H1)와 접지 사이에 연결된 제 1커패시터(C1) 및 제 4트랜지스터(T_L1)와 접지 사이에 연결된 제 2커패시터(C2)에 각각 충전된다. 상기 제 1커패시터(C1)와 제 2커패시터(C2)에 충전된 제 1,2제어신호(Vcon1,Vcon2)는 한 프레임동안 상기 제 3 또는 4트랜지스터(T_H1,T_L1)를 도통상태로 유지시키게 된다.

제 3번째 공통전압부(VC_UNT3)는 제 2번째 게이트라인(GL2)을 통해 제 2번째 주사신호(Vgate2)를 인가받는다. 상기 제 3번째 공통전압부(VC_UNT3)의 제 1,2트랜지스터(Tc1,Tc2)는 상기 제 2번째 주사신호(Vgate2)에 의해 도통되어 공통 고전압(VCOM_H) 및 공통 저전압(VCOM_L)을 통과시킨다. 그런데, 제 2번째 공통전압부(VC_UNT2)의 제 3트랜지스터(T_H1) 및 제 4트랜지스터(T_L1)가 각각 제 2제어신호(Vcon2)와 제 1제어신호(Vcon1)에 의해 도통된 것과는 다르게 제 3번째 공통전압부(VC_UNT3)에서 제 3트랜지스터(T_H1)는 제 1제어신호(Vcon1)에 의해 도통되며, 제 4트랜지스터(T_L1)는 제 2제어신호(Vcon2)에 의해 도통된다. 즉, 인접한 공통전압부(VC_UNT2,VC_UNT3)의 제 3트랜지스터(T_H1)와 제 4트랜지스터(T_L1)에는 제 1제어신호(Vcon1) 및 제 2제어신호(Vcon2)가 서로 반대로 인가된다.

상기 공통전압부(VC_UNT2,VC_UNT3)에서 제 1트랜지스터(Tc1) 및 제 2트랜지스터(Tc2)는 동일한 타입으로 구성되어야 한다. 이는 동일한 타입으로 구성되어야 전 단의 게이트라인(GL1,GL2,GL3)으로부터 인가되는 주사신호(Vgate1,Vgate2)에 의해 동시에 도통되어 제 1제어신호(Vcon1) 및 제 2제어신호(Vcon2)를 모두 통과시킬 수 있기 때문이다. 또한, 상기 제 1제어신호(Vcon1) 및 제 2제어신호(Vcon2)는 서로 다른 전위를 갖기 때문에 상기 제 3트랜지스터(T_H1) 및 제 4트랜지스터(T_L1)는 동일한 타입으로 구성되어야 하나의 트랜지스터(T_H1,T_L1)만 도통되어 공통 고전압(VCOM_H) 또는 공통 저전압(VCOM_L)만 공통전압라인(VL2,VL3)에 인가할 수 있게 된다.

상기한 바와 같은 공통전압부(VC_UNT2,VC_UNT3)의 구동을 도6b를 참조하여 설명하면 다음과 같다.

먼저, 제 1제어신호(Vcon1)과 제 2제어신호(Vcon2)는 한 프레임동안 서로 다른 전위상태로 인가된다.

제 1번째 주사신호(Vgate1)가 제 2번째 공통전압부(VC_UNT2)에 인가되면 공통전압(VCOM2)은 저전압으로 출력된다. 그리고, 제 2번째 주사신호(Vgate2)가 제 3번째 공통전압부(VC_UNT3)에 인가되면, 공통전압(VCOM3)은 고전압으로 출력된다. 또한, 제 3번째 주사신호(Vgate3)가 제 4번째 공통전압부에 인가되면, 공통전압(VCOM4)은 다시 저전압으로 출력된다. 이는 각 공통전압부(VC_UNT2,VC_UNT3)에 인가되는 제 1제어신호(Vcon1) 및 제 2제어신호(Vcon2)가 인접한 공통전압부(VC_UNT2,VC_UNT3)의 제 3트랜지스터(T_H1) 및 제 4트랜지스터(T_L1)를 번갈아가며 도통시키기 때문이다. 따라서, 인접한 공통전압부(VC_UNT2,VC_UNT3)에서는 서로 다른 전위를 갖는 공통전압(VCOM2~VCOM5)이 공통전압라인으로 출력된다.

한편, 상기 제 1제어신호(Vcon1) 및 제 2제어신호(Vcon2)는 매 프레임마다 반대 전위로 천이되며, 이에 따라 공통전압부(VC_UNT2,VC_UNT3)에서 출력되는 공통전압(VCOM2~VCOM5)도 반대 전위로 바뀌게 된다.

상기와 같이, 각 공통전압부(VC_UNT2,VC_UNT3)에서 서로 다른 전위의 공통전압(VCOM2~VCOM5)을 순차적으로 출력하여 화소의 공통전극에 인가할 때, 데이터구동부에서는 각 공통전압(VCOM2~VCOM5)에 반대되는 전위의 화상정보를 화소로 출력하여 화소전극에 인가함으로써, 각 화소에서 공통전극과 화소전극 간의 전압차를 크게 형성해준다. 또한,

각 공통전압부(VC_UNT2, VC_UNT3)를 기관에 직접 실장하고, 개별적으로 공통전압라인에 공통전압(VCOM2~VCOM5)을 인가해줌으로써, 각 화소의 공통전극의 부하에 의한 공통전압(VCOM2~VCOM5)의 지연 및 왜곡을 종래에 비해 크게 줄일 수 있다. 또한, 한 수평주기 전에 전 단의 게이트라인(GL2, GL3)의 주사신호(Vgate1~Vgate4)에 의해 미리 화소에 공통전압(VCOM2~VCOM5)을 인가하여 원하는 레벨까지 상승시킴으로써, 한 수평주기 후에 화소에 인가되는 화상정보와의 전압차를 원하는만큼 얻을 수 있게되어 원하는 휘도의 화상을 표시할 수 있고, 화소에 충분한 전하를 충전시킬 수 있어 화질 저하를 방지할 수 있다.

도7a는 본 발명의 제 2실시예에 따른 공통전압부의 구성을 상세히 나타낸 도면이고, 도7b는 도7a의 구동에 의해 발생하는 파형들의 타이밍 다이어그램이다.

도7a 및 7b는 본 발명의 제 1실시예를 도시한 도6a 및 도6b와 거의 동일하므로, 차별되는 특징적인 부분을 집중적으로 설명하고, 중복되는 부분을 생략하도록 하겠다.

제 2실시예가 제 1실시예와 차별화되는 부분은 공통전압부(VC_UNT1, VC_UNT2)가 동일 단의 게이트라인(GL1, GL2)으로부터 주사신호(Vgate1, Vgate2)를 인가받게 되는 것이다. 제 1실시예에서는 공통전압부가 한 수평주기 전에 미리 주사신호를 인가받아 구동되었으나, 제 2실시예에서는 공통전압부(VC_UNT1, VC_UNT2)가 동일 수평주기에서 주사신호(Vgate1, Vgate2)를 인가받아 구동된다. 이는 각 공통전압부(VC_UNT1, VC_UNT2)에 의해 공통전압라인에 개별적으로 공통전압이 인가되기 때문에 화소에 지연없이 공통전압을 인가할 수 있게되어 동일 수평주기에서 화소에 주사신호를 인가하는 동시에 공통전압을 원하는 레벨까지 도달시켜 화소에 충분한 전하를 충전할 수 있다. 따라서, 전 수평주기에서 전 단의 게이트라인을 통해 미리 주사신호를 인가받아 공통전압을 화소에 인가하는 제 1실시예와 비교하여 비슷한 화질을 구현할 수 있게 된다.

도7b의 타이밍 다이어그램은 도6b의 타이밍 다이어그램과 동일하다. 이는 공통전압부(VC_UNT1, VC_UNT2)가 주사신호(Vgate1, Vgate2)를 인가받는 시점만 다를 뿐이고, 제 1실시예와 제 2실시예 간의 구동은 차이가 없기 때문이다.

발명의 효과

상술한 바와 같이 본 발명에 따른 액정표시장치는 기관에 직접 실장된 각각의 공통전압부를 통해 공통전압라인에 개별적으로 공통전압을 인가하기 때문에 화소에 인가되어 충전되는 공통전압의 지연을 제거하여 해당 화소에 화상정보가 인가되기 전까지 원하는 레벨로 상승시킴에 따라 화상정보의 전압과 공통전압의 전압차를 원하는만큼 얻을 수 있게되어 원하는 휘도의 화상을 구현할 수 있으며, 화소에 충분한 전하를 충전시킬 수 있게되어 액정표시장치의 화질 저하를 방지할 수 있다.

(57) 청구의 범위

청구항 1.

기관 상에 배열된 복수의 화소;

상기 화소에 개별적으로 구비되어 수평전계를 형성하는 제 1전극 및 제 2전극;

상기 기관 상에 종방향으로 배열되며, 각각 열 단위의 화소들에 전기적으로 접속된 복수의 데이터라인;

상기 기관 상에 횡방향으로 배열되며, 각각 행 단위의 화소들에 전기적으로 접속된 복수의 게이트라인 및 공통전압라인;

상기 데이터라인을 통해 상기 화소의 제 1전극에 화상정보를 인가하는 데이터구동부;

상기 게이트라인을 통해 순차적으로 상기 행 단위의 화소들에 주사신호를 공급하는 게이트구동부;

각 공통전압라인 일측에 구비되며, 주사신호에 동기되어 입력되는 제 1,2제어신호에 의해 제 1공통전압 또는 제 2공통전압을 상기 공통전압라인을 통해 행 단위의 화소들의 제 2전극에 선택적으로 인가하는 복수의 공통전압부;

제 N번째 게이트라인을 통해 상기 행 단위의 화소들과 아울러 제 N+1번째 공통전압부에 주사신호를 공급하는 게이트구동부를 포함하여 구성되는 것을 특징으로 하는 액정표시장치.

청구항 2.

제 1 항에 있어서, 상기 제 1공통전압 및 제 2공통전압은 서로 다른 전위를 갖는 전압인 것을 특징으로 하는 액정표시장치.

청구항 3.

제 1 항에 있어서, 상기 공통전압부는

상기 게이트라인에 게이트전극이 공통적으로 연결되어 주사신호에 의해 상기 제 1,2제어신호를 통과 또는 차단시키는 제 1,2트랜지스터;

상기 제 1트랜지스터와 제 2트랜지스터의 드레인전극에 각각 게이트전극이 접속되며, 상기 제 1,2트랜지스터를 통해 인가된 제 1,2제어신호에 의해 어느 하나가 선택적으로 도통되어 상기 공통전압라인에 제 1공통전압 또는 제 2공통전압을 인가하는 제 3,4트랜지스터를 포함하여 구성되는 것을 특징으로 하는 액정표시장치.

청구항 4.

제 3 항에 있어서, 상기 제 1제어신호 및 제 2제어신호는 제 N번째 공통전압부 및 제 N+1번째 공통전압부의 제 1트랜지스터 및 제 2트랜지스터에 각각 교번하여 인가되는 것을 특징으로 하는 액정표시장치.

청구항 5.

제 3 항에 있어서, 상기 제 1,2트랜지스터는 동일 타입이며, 상기 제 3,4트랜지스터는 동일 타입인 것을 특징으로 하는 액정표시장치.

청구항 6.

제 3 항에 있어서, 상기 제 3,4트랜지스터에 인가되는 제 1제어신호 및 제 2제어신호는 매 프레임마다 고전압 또는 저전압으로 천이되는 것을 특징으로 하는 액정표시장치.

청구항 7.

제 3 항에 있어서, 상기 공통전압부에는 상기 제 3,4트랜지스터의 게이트전극에 각각 접속되어 상기 제 1,2트랜지스터를 통해 인가되는 제 1,2제어신호를 저장하여 한 프레임동안 상기 공통전압라인에 인가되는 전압 레벨을 일정하게 유지시키는 커패시터가 추가로 구비되는 것을 특징으로 하는 액정표시장치.

청구항 8.

제 1 항에 있어서, 상기 화소에는 인가된 제 1공통전압 또는 제 2공통전압의 전위와 반대의 전위를 갖는 화상정보가 인가되는 것을 특징으로 하는 액정표시장치.

청구항 9.

기판 상에 배열된 복수의 화소;

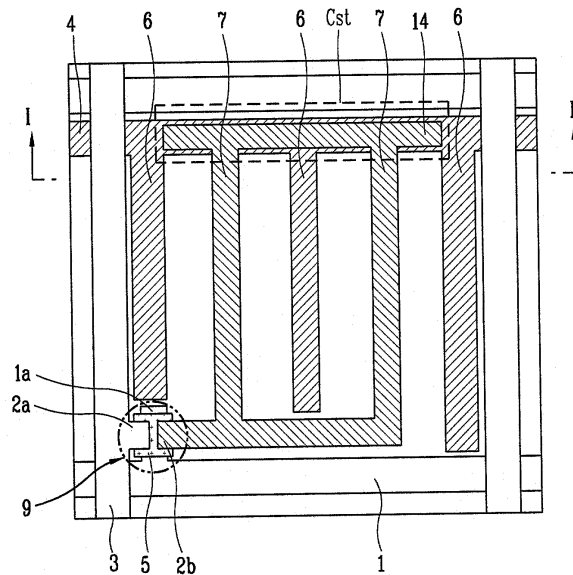
상기 기판 상에 종횡으로 배열된 복수의 데이터라인 및 게이트라인;

상기 각 게이트라인에 대응하여 형성되며, 그 대응하는 게이트라인을 통해 인가된 주사신호에 동기시켜 제1공통전압 또는 제2공통전압을 선택적으로 출력하는 복수의 공통전압부;

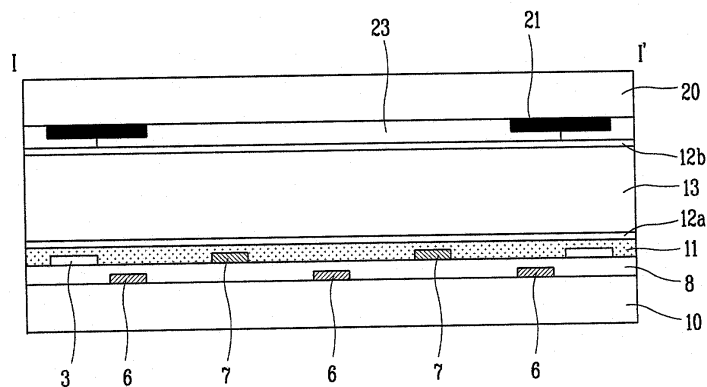
상기 화소에 개별적으로 구비되며, 상기 공통전압부로부터 인가받은 제 1공통전압 또는 제 2공통전압과 상기 데이터라인을 통해 인가받은 화상정보에 의해 수평전계를 형성하는 화소전극 및 공통전극을 포함하여 구성되는 것을 특징으로 하는 액정표시장치.

도면

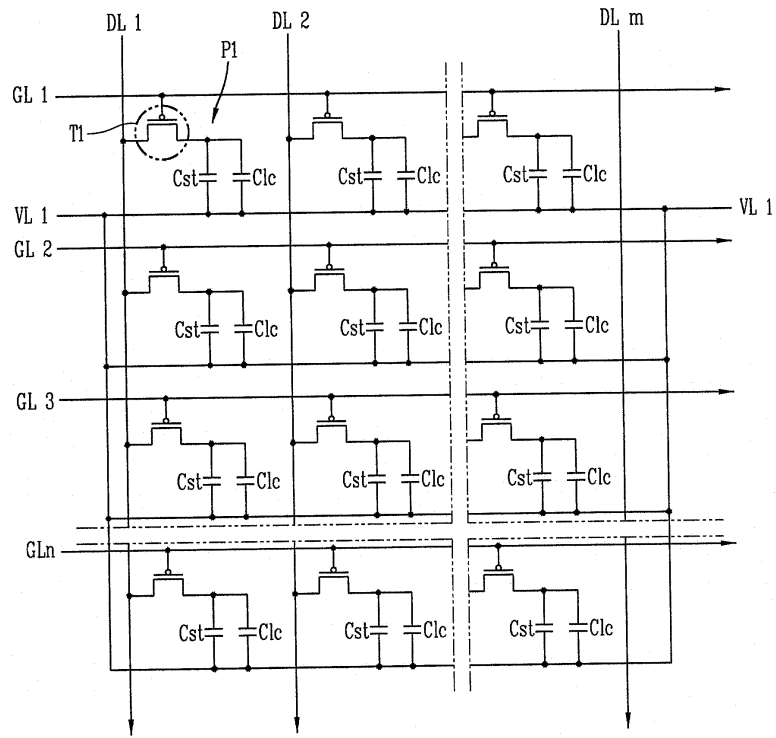
도면1a



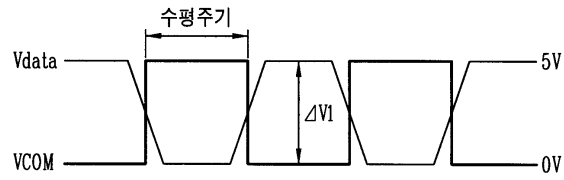
도면1b



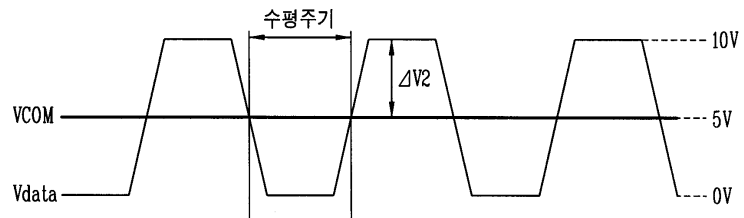
도면2



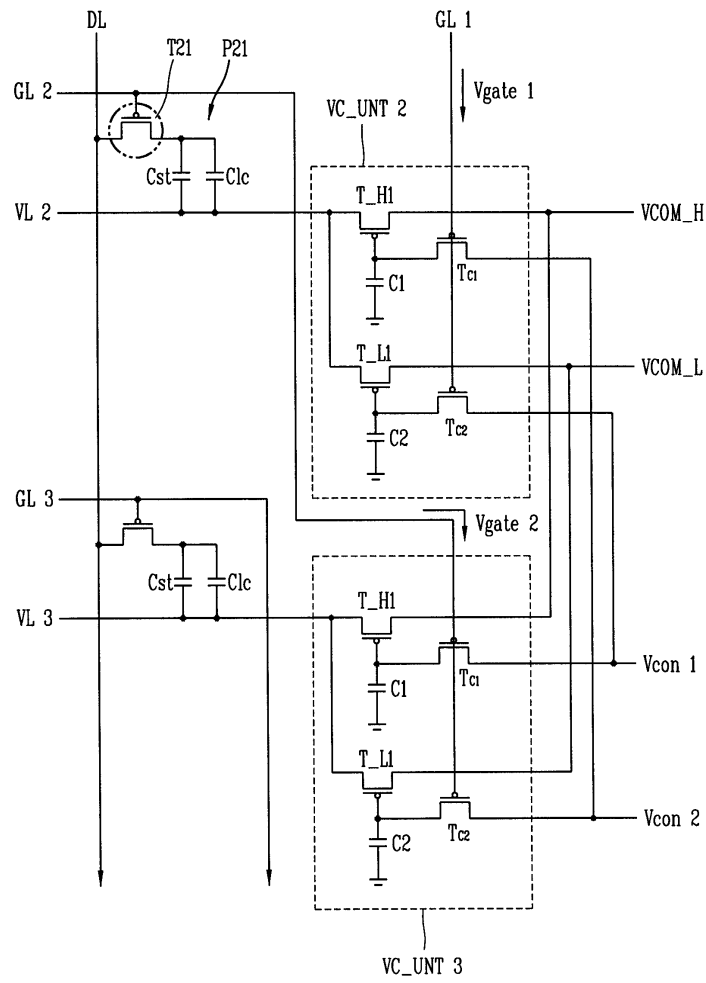
도면3a



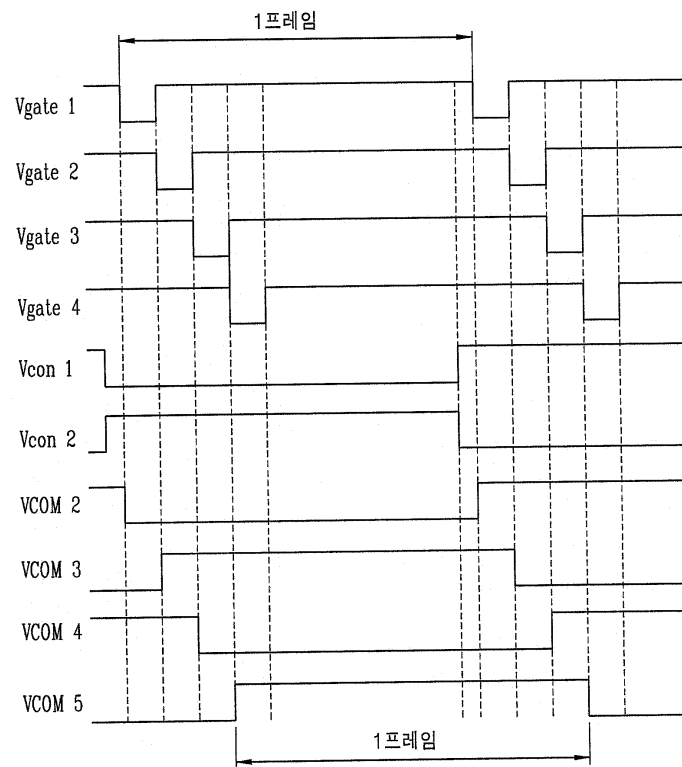
도면3b



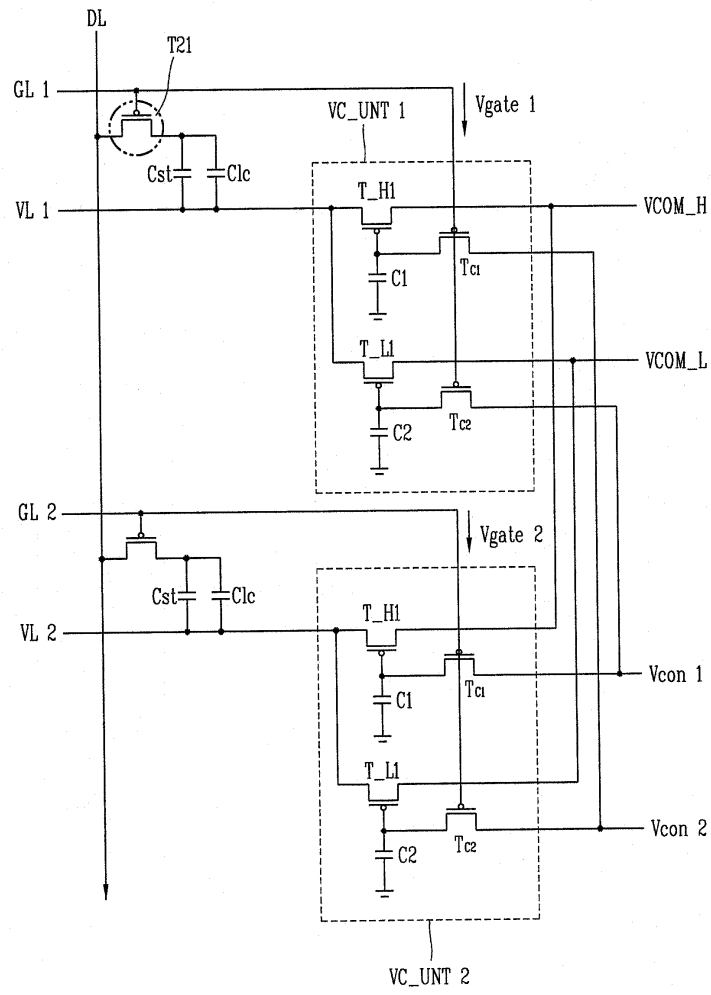
도면6a



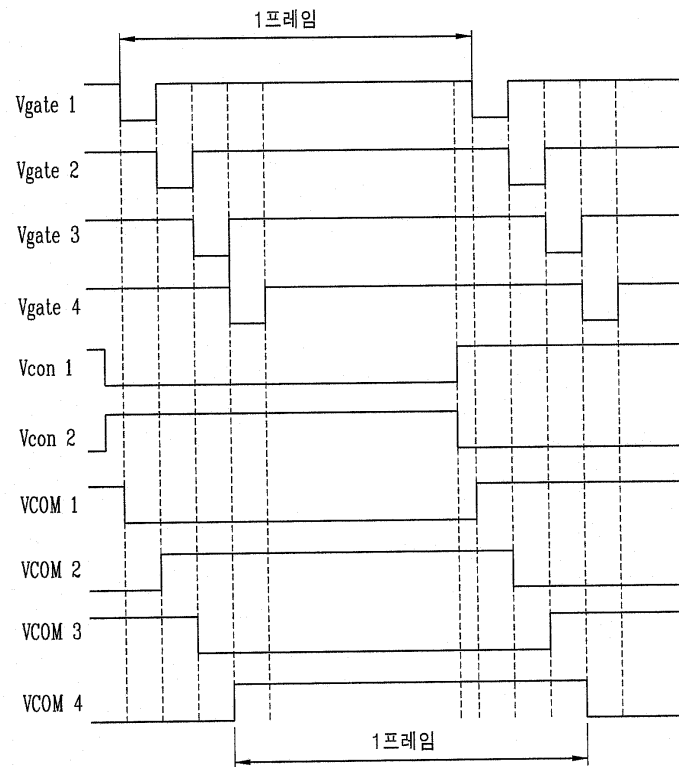
도면6b



도면7a



도면7b



专利名称(译)	液晶显示器		
公开(公告)号	KR1020060063422A	公开(公告)日	2006-06-12
申请号	KR1020040102593	申请日	2004-12-07
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HWANG HANWOOK 황한욱 KIM SANGHO 김상호		
发明人	황한욱 김상호		
IPC分类号	G02F1/133		
CPC分类号	G09G3/3655 G09G2300/0876		
代理人(译)	PARK , JANG WON		
其他公开文献	KR101108343B1		
外部链接	Espacenet		

摘要(译)

用途：提供LCD（液晶显示器）以减少施加到每个像素的公共电压的负载，并通过分别向公共电压线施加公共电压，在每个水平周期为像素充电足够的电压。

