

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.⁶
G02F 1/1333

(11) 공개번호 특2001-0020873

(43) 공개일자 2001년03월 15일

(21) 출원번호 10-2000-0027284
(22) 출원일자 2000년05월20일
(30) 우선권 주장 99-140772 1999년05월20일 일본(JP)
(71) 출원인 닛뽕덴끼 가부시끼가이샤 가네꼬 히사시
(72) 발명자 일본 도오교도 미나토구 시바 5초메 7방 1고 와타나베마코토
일본도오교도미나토구시바5초메7방1고닛뽕덴끼가부시끼가이샤나이
와타나베다카히코
일본도오교도미나토구시바5초메7방1고닛뽕덴끼가부시끼가이샤나이
(74) 대리인 특허법인코리아나 박해선, 특허법인코리아나 조영원

심사청구 : 있음

(54) 액티브 매트릭스형 액정표시장치

요약

절연기판 (100) 상에 형성된 복수의 주사선, 상기 주사선에 교차하도록 형성된 복수의 신호선, 상기 주사선과 상기 신호선 사이의 교점 부근에 각각 형성된 박막 트랜지스터, 상기 박막 트랜지스터의 일 전극에 각각 접속되는 화소전극, 및 상기 박막 트랜지스터의 소오스 전극 (4) 에 접속된 화소전극 (5) 에 각각 접속되는 부가 용량부로 이루어지는 박막 트랜지스터 어레이 기판 (250) 을 갖는 액티브 매트릭스형 액정표시장치에 있어서, 높은 콘트라스트를 제공하고 저전압으로 구동할 수 있도록 하기 위해, 부가 용량부의 일부가, 절연막 (115) 과 반도체막 (120) 을 통해, 화소전극 (5) 과 상기 화소전극 (5) 을 스위칭하는 상기 박막 트랜지스터의 게이트 전극 (1) 에 접속되어 있는 주사선 (11) 사이에 형성되어 있다.

대표도

도7

색인어

액정표시장치, 부가 용량부

명세서

도면의 간단한 설명

도 1 은 종래의 액티브 매트릭스형 액정표시장치에 설치된 박막 트랜지스터 어레이 기판의 단위 화소를 나타내는 평면도;

도 2 는 종래의 액티브 매트릭스형 액정표시장치의 단면도;

도 3 은 TFT 게이트부에서 게이트-소오스 기생용량 C_{gs} 의 설명도;

도 4 는 종래의 액정표시장치의 일 화소의 등가 회로도;

도 5 는 종래의 액티브 매트릭스형 액정표시장치의 전압 파형을 나타내는 다이어그램;

도 6 은 본 발명의 제 1 실시예에 따른 액티브 매트릭스형 액정표시장치에 설치된 박막 트랜지스터 어레이 기판의 단위 화소를 나타내는 평면도;

도 7 은 본 발명의 제 1 실시예에 따른 액티브 매트릭스형 액정표시장치의 단면도;

도 8 은 본 발명의 제 1 실시예에 따른 액티브 매트릭스형 액정표시장치의 일 화소의 등가 회로도;

도 9a 는 MIS 용량의 동작을 설명하는 개략 단면도;

도 9b 는 도 9a 에 도시된 MIS 용량의 등가 회로도;

도 10a 는 게이트 온 상태에서 MIS 용량의 변화를 나타내는 설명도;

도 10b 는 게이트 오프 상태에서 MIS 용량의 변화를 나타내는 설명도;

도 11 은 게이트 전압에 대한 MIS 용량의 의존성을 나타내는 특성도;

도 12a 는 화소전극으로의 양의 기입시 피드스로우(feedthrough)의 차이를 나타내는 설명도;

도 12b 는 화소전극으로의 음의 기입시 피드스로우의 차이를 나타내는 설명도;

도 13 은 본 발명의 제 1 실시예에 따른 액티브 매트릭스형 액정표시장치의 효과를 나타내는 특성도;

도 14 는 도 6 에서 V 라인으로 둘러싸인 부분의 확대도;

도 15 는 본 발명의 제 2 실시예에 따른 액티브 매트릭스형 액정표시장치에 설치된 박막 트랜지스터 어레이 기판의 단위 화소를 나타내는 평면도;

도 16 은 본 발명의 제 3 실시예에 따른 액티브 매트릭스형 액정표시장치에 설치된 박막 트랜지스터 어레이 기판의 단위 화소를 나타내는 평면도; 및

도 17 은 본 발명의 제 4 실시예에 따른 액티브 매트릭스형 액정표시장치에 설치된 박막 트랜지스터 어레이 기판의 단위 화소를 나타내는 평면도;

★ 도면의 주요부분에 대한 부호의 설명 ★

1 : 게이트 전극	3 : 드레인 전극
4 : 소오스 전극	5 : 화소전극
11, 101 : 주사선	12, 13 : 신호선
115 : 게이트 절연막	119, 120 : 비정질 실리콘막
250 : 박막 트랜지스터 어레이 기판	

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액티브 매트릭스형 액정표시장치에 관한 것으로, 보다 구체적으로는, 콘트라스트가 높고 저전압으로 구동될 수 있는 액티브 매트릭스형 액정표시장치에 관한 것이다.

도 1 및 도 2 에 도시된 바와 같이, 종래의 액티브 매트릭스형 액정표시장치는, 박막 트랜지스터 어레이 기판 (150), 상기 박막 트랜지스터 어레이 기판 (150) 에 평행하게 이격되어 배치된 투명한 대향기판 (글래스 기판; 140) 및 상기 박막 트랜지스터 어레이 기판 (150) 과 상기 대향기판 (140) 사이에 봉입된 액정층 (130) 으로 이루어지는 일반적인 구성을 갖는다. 도 1 은 도 2 에 도시된 액티브 매트릭스형 액정표시장치의 액정층 (130) 아래의 박막 트랜지스터 어레이 기판 (150)의 단위 화소를 나타내는 평면도이고, 도 2 는 도 1 의 X-X 라인을 따른 단면도로서, 박막 트랜지스터 어레이 기판 (150) 위쪽의 부분도 나타내고 있다.

도 1 에서, 박막 트랜지스터 (TFT) 는 게이트 전극 (1), 비정질 실리콘막 (119), 드레인 전극 (3) 및 소오스 전극 (4) 으로 구성되어 있다. 게이트 전극 (1) 은 적용가능한 스테이지에서의 주사선 (11) 에 전기적으로 접속되어 있고, 드레인 전극 (3) 은 이 칼럼에서의 신호선 (12) 에 전기적으로 접속되어 있고, 또한 소오스 전극 (4) 은 화소전극 (5) 에 전기적으로 접속되어 있다. 참조번호 13 은 인접한 신호선을 나타내고, 단위 화소가, 상기 주사선 (11), 이전 스테이지에서의 주사선 (101) 및 신호선 (12 와 13) 으로 둘러싸인 영역에 형성되어 있다.

이러한 구성을 갖는 액정표시장치에서, TFT 가 각각의 매트릭스 세그먼트에 대해 턴온되면, 화소전극 (5) 과 대향전극 (123) 사이에 전계가 발생되어 양쪽 기판 (100, 140) 사이에 봉입된 액정층 (130) 이 전기광학적 효과를 나타냄으로써 패널은 전체적으로 이미지를 표시할 수 있다.

도 3 은 TFT 의 게이트-소오스 기생용량을 나타내는 다이어그램이다. 도 3 에 도시된 바와 같이, TFT 를 사용하는 액티브 매트릭스형 액정표시장치에서는, 게이트 전극 (1), 소오스 전극 (4) 및 드레인 전극 (3) 이 서로 중첩되어 있는 영역에 게이트-소오스 기생용량 C_{gs} 이 생긴다.

도 4 는 TFT 소자가 설치된 종래의 액정표시장치의 일 화소의 등가회로를 나타내는 다이어그램이다. 도 4 에서, C_{gs} 는 TFT 의 게이트 전극 (1) 과 소오스 전극 (4) 사이의 기생용량이고, C_{LC} 는 화소전극 (5) 과 대향전극 (123) 사이의 액정층 (130) 의 용량이고, C_{sc} 는 화소전극 (5) 과 주사선 (101) 사이에 형성되는 축적 용량이다.

도 5 는 상술된 액정표시장치를 구동하는 전압 파형을 나타내는 다이어그램으로, 게이트 전극 (1) 의 전위가 높으면, 화소전극 (5) 에 전하가 점차적으로 축적되어 화소전극 전위가 신호선의 전위에 근접한다. 그 다음에, 게이트 전위가 턴오프되면, 이 전위가 기생용량 C_{gs} 를 통해 게이트 전위에 의해 마이너스 쪽으로 끌리기 때문에, 화소전극 (5) 의 전위는 전압 강하를 나타낸다.

표시화소 중 일부분에 주목하면, 대향전극 (123) 과 화소전극 (5) 사이에서 각 디스플레이 프레임에 대해 극성이 다른 교류전압 AC 를 인가함으로써 액정표시장치를 구동하여 장치의 신뢰성을 확보하는 것이 통상적이다. TFT 의 기생용량 C_{gs} 는 MIS (Metal-Insulator-Semiconductor) 로서 간주될 수 있고, 정성적인 해석으로부터, 본 출원인은 양의 기입에서의 MIS 용량의 유효값이 음의 기입에서의 것과 다르므로, 양의 기입과 음의 기입에서의 피드스로우 전압 ΔV 의 크기가 서로 상이하고, 음의 기입에서의 ΔV 의 크기가 더 커지는 것에 주목했다. 이에 대해서는 본 발명의 실시예의 상세한 설명에서 완전히 설명되고, 여기에서는 간단히만 설명된다.

발명이 이루고자하는 기술적 과제

즉, 액정층에 인가되는 전압이 공통전극 전위와 화소전극 전위 사이의 차이 (도 5 의 ΔV_{PI}) 이고, 액정표시장치에서 양의 기입과 음의 기입이 일반적으로 각 프레임에서 서로 스위치되어 신뢰성이 확보된다는 것을 고려하면, 음의 기입에서의 피드스로우 전압이 양의 기입에서의 피드스로우 전압보다 클수록, 선택구간 (게이트 전위가 고전압인 시간) 이외의 시간 (비선택구간) 에 액정층에 인가되는 전압이 더 커진다 (즉, ΔV_{PI} 가 더 커진다). C_{gs} 의 절대값이 클수록, 양의 기입과 음의 기입에서의 피드스로우 전압 사이의 차이가 더 커진다 (그러나, 비는 거의 일정하다) 는 것이 또한 정성적으로 알려져 있다.

본 출원인은 이러한 현상이, TFT 면적을 증가시킴으로써 또는 복수의 TFT 를 배치함으로써, 즉, 주사선 (11) 과 화소전극 (5) 에 결합되는 MIS 용량을 증가시킴으로써, 외부로부터 인가되는 전압보다 큰 전압이 액정층에 인가될 수 있는 효과를 나타내는 가능성을 제안한다는 것을 알았다. 그러나, TFT 영역이 증가되면, 일반적으로 오프 타임에서의 전하 누설 뿐만 아니라 개구율의 감소라는 문제가 생긴다. 또한, 게이트 펄스에서 커다란 지연이 생기면, TFT 가 오프될 때까지 화소전극 내부로 상당한 전하가 흐르므로, 상술된 전압증폭효과가 감소된다.

발명의 구성 및 작용

본 발명은 상술된 문제점의 관점에서 수행된 것으로, 종래의 액티브 매트릭스형 액정표시장치에서 고려된 개구율의 감소 및 게이트 펄스의 지연시 전압증폭효과와 저하가 발생하는 것을 회피하며, 콘트라스트가 높고 저전압으로 구동될 수 있는 액티브 매트릭스형 액정표시장치를 제공하는 것을 목적으로 한다.

본 발명은, 상술된 목적을 해결하는 수단으로서, 절연기판 상에 형성된 복수의 주사선, 주사선에 교차하도록 형성된 복수의 신호선, 주사선과 신호선 사이의 교점 부근에 각각 형성된 박막 트랜지스터, 및 박막 트랜지스터의 소오스 전극에 접속된 화소전극에 접속된 부가 용량부로 이루어지는 박막 트랜지스터 어레이 기판을 가지며, 부가 용량부의 일부가, 절연막과 반도체막을 통해, 화소전극과 상기 화소전극을 스위칭하는 박막 트랜지스터의 게이트 전극에 접속되어 있는 주사선 사이에 형성되어 있는 액티브 매트릭스형 액정표시장치를 제공한다.

상술된 구성을 갖는 액티브 매트릭스형 액정표시장치에서는, 화소전극과 주사선 사이에 설치되는 반도체막의 배치 영역 일부가 신호선과 주사선 사이의 교점에 중첩되는 것이 바람직하다.

상술된 구성을 갖는 액티브 매트릭스형 액정표시장치에 있어서, 반도체막은 주사선 상에 스트링 형상으로 형성되는 것이 바람직하다.

상술된 구성을 갖는 액티브 매트릭스형 액정표시장치에 있어서, 화소전극은, 이전 스테이지에서의 반도체막이 형성되어 있지 않은 부분에서 이전 스테이지에서의 주사선에 중첩되는 것이 바람직하다.

상술된 구성 중 어느 것을 갖는 액티브 매트릭스형 액정표시장치에 있어서, 화소전극과 주사선 사이에 배치된 반도체막은 비정질 실리콘막으로 구성되는 것이 바람직하다.

상술된 구성 중 어느 것을 갖는 액티브 매트릭스형 액정표시장치에 있어서, 화소전극과 주사선 사이에 배치된 반도체막은 다결정 실리콘막으로 구성되는 것이 바람직하다.

첨부된 도면을 참조하여, 본 발명에 따른 액티브 매트릭스형 액정표시장치의 실시예들을 아래에 설명한다.

(제 1 실시예)

도 6 및 도 7 에 도시된 바와 같이, 액티브 매트릭스형 액정표시장치는, 박막 트랜지스터 어레이 기판 (250), 상기 박막 트랜지스터 어레이 기판 (250) 으로부터 평행하게 이격되어 설치된 투명대향기판 (글래스기판) (140), 및 상기 박막 트랜지스터 어레이 기판 (250) 과 상기 대향기판 (140) 사이에 봉입된 액정층 (130) 으로 이루어지는 일반적인 구성을 갖는다. 도 6 은 도 7 에 도시된 액티브 매트릭스형 액정표시장치의 액정층 (130) 아래의 박막 트랜지스터 어레이 기판 (250) 의 단위화소를 나타내는 평면도이고 (도 6 에는, 배향막 (18) 이 도시되어 있지 않음), 도 7 은 도 6 의 II-II 라인을 따른 단면도로서, 박막 트랜지스터 어레이 기판 (250) 으로부터 상측의 부분을 나타낸다.

도 6 에서, 박막 트랜지스터 (TFT) 는 게이트 전극 (1), 비정질 실리콘막 (119), 드레인 전극 (3) 및 소오스 전극 (4) 으로 구성되어 있다. 게이트 전극 (1) 은 적용가능한 스테이지에서의 주사선 (11) 에 전기적으로 접속되어 있고, 드레인 전극 (3) 은 이 칼럼에서 신호선 (12) 에 전기적으로 접속되어 있고, 소오스 전극 (4) 은 화소 전극 (5) 에 전기적으로 접속되어 있다. 참조번호 13 은 인접하는 신호선을 나타내고, 화소전극은 주사선 (11), 이전 스테이지의 주사선 (101), 및 신호선 (12 와 13) 으로 둘러싸인 영역에 형성되어 있다. 축적 용량(accumulation capacity)을 형성하기 위해, 화소전극 (5) 의 상부측과 이전 스테이지에서의 주사선 (101) 의 하부측이 게이트 절연막 (115) 을 사이에 두고 서로 중첩되어 있다. 또한, 적용가능한 스테이지에서의 주사선 (11) 은, 다음 스테이지에서의 화소전극의 상부측과 중첩되어, 축적 용량부를 형성하는 하부측을 갖는다. 참조번호 120 은 본 발명에 따른 부가 용량을 형성하는 비정질 실리콘막을 나타내고, 이 비정질 실리콘막 (120) 은 적용가능한 스테이지에서의 주사선 (11) 의 상부측을 따라 형성되어 있다.

도 6 및 도 7 에 도시된 본 발명에 따른 액티브 매트릭스형 액정표시장치를 제조하기 위해, 투명절연기판으로서 글래스 기판 (100) 상에 스퍼터링법에 의해 Cr 막과 같은 금속막이 먼저 증착되고, 금속막이 선택적으로 에칭되어 게이트 전극 (1) 과 주사선 (11) 이 형성된다. 그 후, 실리콘 질화막이 게이트 전극 (1) 과 주사선 (11) 을 포함하는 표면상에 CVD (화학기상증착) 법에 의해 증착되어 게이트 절연막 (절연막) (115) 이 형성된다. 다음으로, CVD 법에 의해 게이트 전극 (1) 에 대응하고 주사선 (11) 과 부분적으로 중첩되도록 게이트 절연막 (115) 상에 반도체 영역을 형성하는 비정질 실리콘막 (119 과 120) 이 각각 선택적으로 형성된다. 이어서, 비정질 실리콘막 (119 과 120) 상에 오옴 접촉층으로서 n+ 형 비정질 실리콘막 (119a 와 120a) 이 각각 선택적으로 형성된다. 그 후, 게이트 절연막 (115) 상에 ITO (Indium Tin Oxide)

막이 투명전극으로서 이전 스테이지에서의 주사선 (101), 비정질 실리콘막 (120) 및 적용가능 스테이지에서의 주사선 (11) 과 부분적으로 중첩되도록 선택적으로 형성됨으로써, 결국 화소전극 (5) 이 형성된다.

다음으로, 소오스 전극 (4), 드레인 전극 (3) 및 화소전극 (5) 을 마스크로서 사용함으로써, 게이트 전극 (1) 에 대응하는 영역에서 n+ 형 비정질 실리콘막 (119a) 이 제거되어, TFT 가 형성된다. 그 다음에, TFT, 신호선 (12, 13) 및 주사선 (11, 101) 을 피복하여 보호할 목적으로 비활성화막 (passivation film; 117) 이 형성됨으로써, 박막 트랜지스터 어레이 기판 (250) 이 얻어진다. 여기에서, 도 6 에 도시된 바와 같이, 화소전극 (5) 의 상부측과 이전 스테이지에서의 주사선 (101) 의 하부측 사이의 중첩부에 축적 용량 Csc 가 형성된다. 또한, 액정층 (130) 을 배향하기 위해, 폴리이미드 수지와 같은 유기막으로 이루어지는 배향막 (18) 이 비활성화막 (117) 상에 형성되고, 배향 처리된다.

한편으로, 액정층 (130) 상측의 상부대향전극에서의 글래스 전극 (140) 의 하부면 상에, 즉, 글래스 기판 (100) 에 마주하는 기판 (140) 면 상에, 불투명한 차광층 (121), 색층 (122), ITO 로 형성된 대향전극, 및 배향막 (28) 이 이 순서로 형성되어 있다.

도 8 은 본 발명의 제 1 실시예에 따른 액티브 매트릭스형 액정표시장치의 일 화소의 등가 회로도이다. 본 실시예의 액정표시장치의 일 화소의 등가 회로는, 적용가능한 스테이지에서의 주사선 (11) 과 화소전극 (5) 사이에 MIS 용량이 새롭게 형성되어 있다는 면에서 도 4 에 도시된 종래의 액티브 매트릭스형 액정표시장치의 일 화소의 등가 회로도와 다르다. 즉, 종래의 액티브 매트릭스형 액정표시장치와 비교할 때 차이점은, 주사선 (11) 과 화소전극 (5) 에 중첩하는 형태로 비정질 실리콘막 (120) 이 설치되어 있는 것이다. 이 비정질 실리콘막 (120) 은 TFT 부에서의 비정질 실리콘막 (119) 을 형성하는 공정과 동시에 형성될 수 있으며, 따라서 부가적인 형성 공정과 재료가 요구되지 않는다.

이하, 제 1 실시예의 액티브 매트릭스형 액정표시장치의 동작을 설명한다.

종래의 액티브 매트릭스형 액정표시장치와 유사하게, 제 1 실시예의 액티브 매트릭스형 액정표시장치에서는, TFT 가 각각의 매트릭스 세그먼트에 대해 턴온되면, 화소전극 (5) 과 대향전극 (123) 사이에 전계가 발생되어 양쪽 기판 (100, 140) 사이에 봉입된 액정층 (130) 이 전기광학효과를 나타내고, 따라서 패널이 전체적으로 이미지를 표시할 수 있다.

제 1 실시예와 종래의 액정표시장치의 동작 차이는, 양의 기입 시와 음의 기입 시의 피드스로우 전압의 차이가 종래보다 더 커진다는 점이다. 그 이유를 아래에 설명한다.

도 8 의 등가회로에 기초하여 계산한 바와 같이, 제 1 실시예의 피드스로우 전압 ΔV 는 다음의 수학적 식 1 의 근사식으로 표현된다:

$$\Delta V = (V_{gon} - V_{goff}) \times (C_{gs} + C_{g-\Pi}) / (C_{gs} + C_{g-\Pi} + C_{LC} + C_{SC}).$$

게이트 전극 (1), 주사선 (11) 및 화소전극 (5) 에 접속되는 MIS 용량으로서, TFT 부에서의 게이트-소오스 기생용량 C_{gs} 이외에, 주사선 (11)-게이트 절연막 (115)-비정질 실리콘막 (120) 으로 새롭게 형성되는 용량 $C_{g-\Pi}$ 이 제공되는 것이 특징이다.

따라서, 종래기술을 참조하여 이전에 설명된 형상에 근거하면, 피드스로우 전압의 절대값이 커지고, 양의 기입 시와 음의 기입 시의 피드스로우 전압의 차이가 커진다. 본 발명에서는, MIS 용량의 총량이 크기 때문에, 대향전극 (123) 과 화소전극 (5) 사이에 인가되는 전압이 종래의 것에 비해 증가한다. 이 때, 제공되는 MIS 용량이 커질수록 효과가 크다는 것을 아래에 정성적으로 설명한다.

도 4 의 등가회로와 도 5 의 전압파형을 참조하면, 종래의 피드스로우 전압 ΔV 는 다음의 수학적 식 2 로 근사적으로 유도될 수 있으며, 여기서, V_{gon} 과 V_{goff} 는 게이트 전압 파형 중 하이레벨 전압과 로우레벨 전압을 각각 의미한다:

$$\Delta V = (V_{gon} - V_{goff}) \times C_{gs} / (C_{LC} + C_{SC} + C_{gs}).$$

액정층 (130) 의 용량 C_{LC} 는 액정의 표시상태에 의존하여 변하므로, ΔV 도 표시상태 (백, 중간 톤(tone), 및 흑) 에 의존하여 변한다. 플리커 (flicker)를 방지하기 위해, 최고의 시감도를 나타내는 중간 톤 표시에서의 화소전극 전위의 중간인 전압이 대향전극 (123) 에 인가된다.

표시화소 중 하나에 주목하면, 각 디스플레이 프레임에 대해 극성이 상이한 교류전압 AC 을 대향전극 (123) 과 화소전극 (5) 사이에 인가하여 액정표시장치를 구동함으로써 장치의 신뢰성을 확보하는 것이 일반적이다.

양의 기입 시 수학적 식 2 로 표현되는 피드스로우 전압 ΔV 의 크기가 음의 기입 시의 것과 상이하다는 것을 아래에 설명한다. 이것은 양의 기입 시의 기생용량 C_{gs} 의 유효값이 음의 기입 시의 것과 상이하기 때문이다.

이러한 기생용량 C_{gs} 의 유효값 사이의 차이가 발생하는 이유를 순차적으로 설명한다.

먼저, 도 9 에 나타낸 MIS 용량을 사용하여 게이트 전극과 그라운드 사이의 용량 C 과 게이트 전압 V_g 사이의 관계가 얻어질 수 있다.

용량 C 는 게이트 절연막의 용량 C_0 와 비정질 실리콘막의 용량 C_s 의 직렬 접속으로 간주될 수 있다. 산화막 (게이트 절연막 115) 의 두께를 t_d , 비유전율을 K_0 , 진공의 유전상수를 ϵ_0 로 하면, 산화막의 단위면적당 고정된 용량 C_0 는 다음의 수학적 식 3 으로 표현될 수 있다:

$$C_0 = K_0 \varepsilon_0 / td.$$

다음으로, 비정질 실리콘막의 용량이 생성된 캐리어의 분포에 의존하여 변하고, 이 분포는 게이트 전압 V_g 의 인가에 의존한다 ('Basis of Amorphous Semiconductor', pp. 164-168, November 30, 1982, OHM Company 참조).

도 10은 게이트 온과 오프 시의 MIS 용량의 변화를 나타내는 다이어그램이다. 온 전압이 게이트 전극 (1)에 인가되면, 도 10a에 도시된 바와 같이 n+형 비정질 실리콘막 (119a) 내에 캐리어가 생성된다. 비정질 실리콘막 (119a) 내의 전계에 의해 캐리어가 흐르는 드리프트 전류와 캐리어의 밀도 기울기 (gradient)에 의해 캐리어가 흐르는 확산전류에 의해 이들 캐리어가 분포된다. 이 경우, 이상의 논의 및 액정표시장치에서는 패널 내부의 광반사에 의해 소정량의 광이 비정질 실리콘막 (119a)에 침입하여 포토 캐리어가 생성되어 있다는 것을 고려하면, 대부분의 캐리어는 막 전체에 걸쳐 존재하는 것으로 근사할 수 있고, 비정질 실리콘막 (119a)의 용량 C_s 는 수학적식 4와 같이 간주될 수 있다:

$$C_s = 0.$$

다음으로, 오프 전압이 게이트 전극 (1)에 인가되면, 즉, 도 3에서 드레인 전극 (3)과 소오스 전극 (4)사이의 접촉이 근사적으로 오픈된 경우, 비정질 실리콘막 (119a)내의 캐리어 밀도가 낮고 따라서 이 막은 거의 절연막으로 간주될 수 있다. 말하자면, 비정질 실리콘막의 두께를 'ld', 유전상수를 K라 하면, 비정질 실리콘막 (119a)으로 형성된 단위면적 당 가변용량 C_s 는 다음의 수학적식 5로 표현된다:

$$C_s = K\varepsilon_0 / ld.$$

(물론, 게이트 전압이 더 감소되면, 정공이 형성되어 도 10a에 근접한 상태로 된다.)

이상을 고려하여 $C-V_g$ 곡선을 정성적으로 그리면, 도 11과 같이 된다. 즉, TFT가 온 상태일 때의 MIS 용량과 오프 상태일 때의 MIS 용량을 비교하면, 온 상태의 MIS 용량이 정성적으로 커진다. 여기에서, TFT가 온으로 되는 게이트 전압은 절대적으로 결정되는 것이 아니고 소오스 전극과 드레인 전극의 전위에 의존하여 상대적으로 결정된다는 것에 주의해야 한다.

다음으로, 도 12를 사용하여, 공통전극전위에 대해 양의 전위를 기입하는 경우와 음의 전위를 기입하는 경우에서 피드스로우 전압 ΔV 의 크기에 차이가 생기는 이유를 정성적으로 고찰한다.

TFT 특성을 온 상태와 오프 상태의 2개의 값으로 근사시킬 때, 각각의 상태에서의 MIS 용량, 즉, TFT의 경우에 게이트-소오스 기생용량 C_{gs} 는 상술된 바와 같이 서로 상이하다. 말하자면, TFT가 턴온된 상태에서 게이트 전압이 V_{th} (문턱전압)으로 기입되면, 다음의 수학적식 6이 주어진다.

$$C_{gs(VG > V_{th})} > C_{gs(VG < V_{th})}$$

상술된 수학적식 2를 수학적식 6을 고려하여 재기입하면, 다음의 수학적식 7이 얻어진다:

$$\Delta V = (V_{gon} - V_{th}) \times C_{gs(VG > V_{th})} / (C_{LC} + C_{SC} + C_{gs(VG > V_{th})}) + \{(V_{th} - V_{goff}) \times C_{gs(VG < V_{th})} / (C_{LC} + C_{SC} + C_{gs(VG < V_{th})})\}.$$

상술된 바와 같이, TFT의 문턱 전압 V_{th} 은 소오스 전극 전위와 드레인 전극 전위의 관계로 결정된다. 따라서, 액정표시장치에서 화소로의 양의 기입, 즉, 공통전극 전위에 대해 양의 전위를 화소전극에 기입하는 경우에, 드레인 전극과 소오스 전극 양쪽에 공통전극에 대해 양의 전위가 인가되어 있기 때문에, TFT가 턴오프되는 게이트 전위 V_{th} 은 도 12a에 도시된 바와 같이 비교적 높아진다.

반면, 음의 기입, 즉, 공통전극 전위에 대하여 음의 전위를 화소전극에 기입하는 경우에, 드레인 전극과 소오스 전극 양쪽에 공통전극에 대해 음의 전위가 인가되어 있기 때문에, TFT가 턴오프되는 게이트 전위는 도 12b에 도시된 바와 같이 비교적 낮아진다.

게이트 전압에 대한 MIS 용량 의존성의 논의의 결과로부터, TFT가 온 상태일 때의 게이트-소오스 기생 용량 C_{gs} 는 TFT가 오프 상태의 것보다 커진다 (수학적식 6 참조). 그 다음에, 수학적식 7로부터, 음의 기입의 경우에 ΔV 는 V_{th} 가 낮은 정도까지 커진다 ($V_{gon} - V_{th}$ 는 크다).

단지, 온되어 있는 시간까지, 전류가 드레인 전극 (3)으로부터 화소전극 (5)으로 흐르기 때문에, C_{gs} 의 변동에 의한 이러한 효과가 약간 완화된다. 그러나, a-Si를 액티브 영역으로 만드는 TFT의 ON 저항 ($\sim 10^6$ 옴)을 고려하면, 흘러들어가는 전류는 미량이다. 액정층에 인가되는 전압이 공통전극 전위와 화소전극 전위 사이의 차이 (도 5의 ΔV_{pi})이고, 액정표시장치에서 일반적으로 신뢰성을 확보하기 위해 양의 기입과 음의 기입이 각 프레임에서 서로 스위치되는 것을 고려하면, 음의 기입에서의 피드스로우 전압이 양의 기

입에서의 피드스로우 전압보다 커질수록, 선택구간 (게이트 전위가 고전위인 시간) 이외의 시간 (비선택 구간)에서 액정층에 인가되는 전압이 더 커진다(ΔV_{PI} 가 더 커진다). C_{gs} 의 절대값이 커지면 커질수록, 양의 기입과 음의 기입에서의 피드스로우 전압의 차이는 더 커진다 (그러나, 그 비는 거의 일정하다). 따라서, 본 발명에서는, 주사선 (11)과 화소전극 (5)에 결합되는 MIS 용량을 증가시킴으로써, 외부로부터 인가되는 전압보다 큰 전압을 액정층에 인가할 수 있는 전압증폭효과가 실현된다.

도 13은 실제로 회로를 시뮬레이션함으로써, 액정층 (130)에 대해 인가된 전압의 증가량을 정량적으로 추정한 결과이다. 도 14는 도 6의 V 라인으로 둘러싸인 부분을 확대한 도면이다. 화소전극 (5)이 3 μm 의 중첩폭 W로 주사선 (11)과 중첩되고 비정질 실리콘 (120)의 길이 L이 증가되는 상황에 대해, 드레인 전압 진폭 (peak-to-peak) ΔV_D 에 대하여 액정층 (130)에 인가된 전압 ΔV_{PI} 의 비 ($\Delta V_{PI}/\Delta V_D$)가 계산된다.

도 13으로부터, 주사선 (11)과 비정질 실리콘막 (120)사이의 중첩 길이가 약 13 μm 이상 연장되면, 드레인 전압 진폭보다 큰 전압이 액정에 인가될 수 있음을 알 수 있다. 중첩길이 L의 특별한 상한은 없으며, 화소전극 (5)의 폭은 최대이다. 그러나, 도 13에 도시된 바와 같이, 중첩 길이 L이 약 30 μm 이상으로 되면, 증폭비는 점차로 포화 상태로 접근하고, 따라서 바람직한 중첩 길이 L은 30 내지 90 μm 이다.

이것은 90 내지 270 μm^2 의 중첩 면적으로 변환된다. 주사선 (11)의 폭은 통상 10 μm 의 오더이고 화소전극 (5)의 폭은 100 μm 의 오더이고, 제조시 매트릭싱(matrixing)의 어긋남 허용오차(discrepancy tolerance)와 개구율과 같은 것을 고려하면, 비정질 실리콘막 (120)의 형성된 치수는 10 μm 오더의 폭인 것이 바람직하다. 또한, 그의 길이는 상술된 중첩 길이 L을 만족하도록 선택될 수 있다. 중첩폭 W가 매트릭싱 어긋남에 의해 약간 변해도, 중첩 길이 L은 50 μm 보다 비교적 길도록 설정됨으로써 포화 상태에 접근하는 것이 바람직하며, 따라서 증폭 효과의 분산이 억제될 수 있다.

이러한 인가전압 증폭효과는, TFT의 사이즈가 단순히 증가되거나 복수의 TFT가 설치되는 구성에 의해 얻어지는 것 같다. 그러나, TFT의 면적의 증가는, 일반적으로 개구율이 감소되고 유지시간에서의 리크 전류가 증가하여 액정표시장치의 특성을 열화시키는 문제점을 초래한다. 또한, 게이트 펄스가 지연되면, TFT가 턴오프될 때까지 드레인 전극으로부터 화소전극으로 전류가 흐르고, 그럼으로써 인가전압 증폭효과가 더욱 작아진다.

제 1 실시예의 액티브 매트릭스형 액정표시장치에 따르면, 적용가능한 스테이지에서의 주사선 (11)과 화소전극 (5)에 중첩되는 형태로 비정질 실리콘막 (120)을 반도체층으로서 설치하므로, 제조 비용을 증가시키지 않고 저전압 구동이 실현된다. 따라서, 전력소비가 적은 액정표시장치를 제공할 수 있다. 또한, 제 1 실시예의 액티브 매트릭스형 액정표시장치에서는, 전력 소비가 종래의 것과 동일하게 설정되는 경우, 콘트라스트가 높고 반응이 빠른 보다 높은 표시품질을 갖는 액정표시장치를 제공할 수 있다.

따라서, 제 1 실시예의 액티브 매트릭스형 액정표시장치에 따르면, 콘트라스트가 보다 높고 저전압으로 구동되며, 종래의 액티브 매트릭스형 액정표시장치에서 문제로 된 개구율의 저하, TFT 오프 시의 유지특성 및 게이트 펄스 지연 시의 전압증폭효과의 감소 등의 발생을 회피할 수 있는 액티브 매트릭스형 액정표시장치가 제공될 수 있다.

본 실시예에서는, 수직 전계가 글래스 기판에 인가되는 방식을 채택한 액정표시장치를 예로 들어 설명하였다. 그러나, 본 발명은, 일본 특개평 7-225388 호에 개시되어 있는 글래스 기판에 대하여 전계가 평행하게 인가되는 방식을 채택하는 액정표시장치와 같이, TFT를 사용하는 어떤 형태의 액정표시장치에도 적용될 수 있다. 또한, 본 실시예에서는 Cr이 배선 재료로 채택되는 경우가 설명되었다. 그러나, 본 발명에 사용되는 배선 재료는 Cr일 필요는 없으며, 다른 배선 재료여도 좋다. 또한, 비정질 실리콘막이 반도체막으로 사용되는 경우가 설명되었다. 그러나, 본 발명에 따르면, 다결정 실리콘막 등의 다른 반도체막이 반도체막으로서 대안으로 사용되어도 정도 차이는 있지만 동일한 효과를 기대할 수 있다.

유사한 구조의 액정표시장치로서, 일본 특개평 8-292449 호에 MIS 용량이 적용가능한 스테이지에서의 화소전극 (5)과 주사선 (11)의 사이가 아니라, 이전 스테이지에서의 화소전극 (5)과 주사선 (101)의 사이에 형성되는 기술이 개시되어 있다. 그러나, 이것은 단지 축적용량으로서만 기능하고, 화소전극 (5)과 대향전극 (123)사이의 전압을 증가시키는 본 발명의 기능은 지니고 있지 않다.

(제 2 실시예)

도 15는 본 발명의 제 2 실시예에 따른 액티브 매트릭스형 액정표시장치에 설치된 박막 트랜지스터 어레이 기판의 단위 화소를 나타내는 평면도이다.

도 15에 도시된 제 2 실시예의 액티브 매트릭스형 액정표시장치는, 주사선 (11)과 화소전극 (5)사이에 설치된 비정질 실리콘막 (120)이 주사선 (101)과 신호선 (13)사이의 교차부까지 연장되어 있는 점에서 도 6 및 도 7에 도시된 제 1 실시예의 액티브 매트릭스형 액정표시장치와 상이하다.

제 2 실시예의 액티브 매트릭스형 액정표시장치의 전기적인 동작은 제 1 실시예의 액티브 매트릭스형 액정표시장치와 동일하다. 그러나, 비정질 실리콘막 (120)이 주사선 (11)과 신호선 (13)사이에서 그들의 교차부에 배치되어 존재한다. 따라서, 제조 공정시 주사선 (11)과 신호선 (13)사이의 층간 단락이 감소된다. 제 1 실시예에 비해, 주사선 (11)에 접속되는 용량이 증가되므로 주사선에 인가되는 게이트 펄스의 지연이 증가된다.

제 2 실시예의 액티브 매트릭스형 액정표시장치는 상술과 같이 구성됨으로써, 제 1 실시예의 액티브 매트릭스형 액정표시장치에 의해 얻어지는 효과 이외에도, 층간 단락의 감소에 의한 제조 수율이 향상에 의해 값싼 액정표시장치를 제공할 수 있다.

(제 3 실시예)

도 16은 본 발명의 제 3 실시예에 따른 액티브 매트릭스형 액정표시장치에 설치된 박막 트랜지스터 어레이 기판의 단위 화소를 나타내는 평면도이다.

도 16 에 도시된 제 3 실시예의 액티브 매트릭스형 액정표시장치는, 주사선 (11) 과 화소전극 (5) 사이에 설치된 비정질 실리콘막 (120) 이 주사선 (101) 상에 스트링 형상으로 형성되어 있는 점에서 도 15 에 도시된 제 2 실시예의 액티브 매트릭스형 액정표시장치와 상이하다.

제 2 실시예의 액티브 매트릭스형 액정표시장치에서는, 화소전극 (5) 과 신호선 (12) 사이의 커플링 용량과 화소전극 (5) 과 신호선 (13) 사이의 커플링 용량 사이의 차이가 비교적 크다 (일반적으로, 비정질 실리콘막을 통한 용량이 더 크다). 그러나, 제 3 실시예의 액티브 매트릭스형 액정표시장치에서는, 신호선 (12, 13) 에 대한 커플링 용량의 차이가 감소되므로, 길이방향 크로스토크(crosstalk) 가 제 2 실시예에 비해 감소될 수 있다. 단지, 제 2 실시예에 비해, 주사선 (11) 에 인가되는 게이트 펄스의 지연이 더 증가된다.

제 3 실시예의 액티브 매트릭스형 액정표시장치는 상술과 같이 구성됨으로써, 제 2 실시예의 액티브 매트릭스형 액정표시장치에 의해 얻어지는 효과 이외에도, 길이방향 크로스토크가 없는 우수한 표시특성을 갖는 액정표시장치를 제공할 수 있다.

(제 4 실시예)

도 17 은 본 발명의 제 4 실시예에 따른 액티브 매트릭스형 액정표시장치에 설치된 박막 트랜지스터 어레이 기판의 단위 화소를 나타내는 평면도이다.

도 17 에 도시된 제 4 실시예의 액티브 매트릭스형 액정표시장치는, 적용가능한 스테이지에서의 화소전극 (5) 이 이전 스테이지에서의 비정질 실리콘막 (120) 이 형성되어 있지 않은 부분에서 이전 스테이지에서의 주사선 (101) 에 중첩되어 있는 점에서 상술된 다른 실시예들의 액티브 매트릭스형 액정표시장치와 상이하다.

제 4 실시예에서는, 다른 실시예들과 다르게, 화소전극 (5) 과 비정질 실리콘막 (120) 을 형성할 때 매트릭싱 어긋남이 길이방향으로 생기는 경우에도 화소전극 (5) 에 결합되는 전체 용량의 변화가 작다. 따라서, 표시영역 내에서 화소 용량 변화에 의한 화소전위변화에 기인하는 표시 불균일의 발생이 저감된다.

제 4 실시예의 액티브 매트릭스형 액정표시장치는, 상술과 같이 구성됨으로써, 제 1 실시예의 액티브 매트릭스형 액정표시장치에 의해 얻어지는 효과 이외에도, 표시 불균일이 없는 우수한 표시특성을 갖는 액정표시장치를 제공할 수 있다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액티브 매트릭스형 액정표시장치는, 절연기판 상에 형성된 복수의 주사선, 상기 주사선을 교차하도록 형성된 복수의 신호선, 상기 주사선과 상기 신호선 사이의 교점 부근에 각각 형성된 박막 트랜지스터, 상기 박막 트랜지스터의 소오스 전극에 접속되는 화소전극에 각각 접속되는 부가 용량부로 이루어지는 박막 트랜지스터 어레이 기판을 구비하며, 상기 부가 용량부의 일부는, 절연막과 반도체막을 통해, 화소전극과 상기 화소전극을 스위칭하는 박막 트랜지스터의 게이트 전극에 접속되어 있는 주사선 사이에 형성되어 있고, 따라서 MIS 용량이 부가적인 제조공정 및 재료없이 TFT 부 이외에도 주사선과 화소전극 사이에 형성되어, 공통전극 전위에 대해 음의 전압을 화소에 기입하는 경우 (즉, 음의 기입의 경우) 에서의 피드스로우 전압이 양의 전압을 기입하는 경우 (즉, 양의 기입의 경우) 에서의 피드스로우 전압에 대해 더 증가되므로, 화소전극과 공통전극 사이의 전압이 종래의 액티브 매트릭스형 액정표시장치에 비해 증가될 수 있다. 따라서, 본 발명은, 상술된 구성에 기초한 효과에 의해, 저전력 소비 액정표시장치를 실현할 수 있고, 전력소비가 종래의 것과 동일하게 설정되는 경우에는, 콘트라스트의 향상과 고속응답이 실현될 수 있다.

(57) 청구의 범위

청구항 1

절연기판 상에 형성된 복수의 주사선;

상기 주사선을 교차하도록 형성된 복수의 신호선;

상기 주사선과 상기 신호선 사이의 교점 부근에 각각 형성된 박막 트랜지스터;

상기 박막 트랜지스터의 일 전극에 각각 접속된 화소전극; 및

상기 화소전극을 스위칭하는 상기 박막 트랜지스터의 게이트 전극에 접속되는 적용가능한 스테이지에서의 주사선을 절연막과 반도체막을 통해 상기 화소전극에 중첩시킴으로써 형성되는 부가 용량부를 구비하는 것을 특징으로 하는 액티브 매트릭스형 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 반도체막은, 적용가능한 스테이지에서의 상기 주사선을 따라, 인접한 스테이지에서의 신호선과 상기 적용가능한 스테이지에서의 상기 주사선 사이의 교점에 부분적으로 중첩되는 영역까지 연장하는 것을 특징으로 하는 액티브 매트릭스형 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 반도체막은 상기 적용가능한 스테이지에서의 상기 주사선을 따라 연속적으로 형성되어 있는 것을 특징으로 하는 액티브 매트릭스형 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 반도체막은, 절연막을 통해, 다음 스테이지에서의 화소전극과 상기 적용가능한 스테이지에서의 상기 주사선 사이에 형성된 축적용량부로부터 분리된 영역에 형성되어 있는 것을 특징으로 하는 액티브 매트릭스형 액정 표시장치.

청구항 5

제 4 항에 있어서,

상기 부가 용량부와 상기 축적 용량부는 상기 적용가능한 스테이지에서의 상기 주사선의 폭 방향으로 서로 분리되어 있는 것을 특징으로 하는 액티브 매트릭스형 액정표시장치.

청구항 6

제 4 항에 있어서,

상기 부가 용량부와 상기 축적 용량부는 상기 적용가능한 스테이지에서의 상기 주사선의 길이 방향으로 서로 분리되어 있는 것을 특징으로 하는 액티브 매트릭스형 액정표시장치.

청구항 7

제 4 항에 있어서, 상기 축적 용량부는 상기 트랜지스터 부근에 배치되어 있는 것을 특징으로 하는 액티브 매트릭스형 액정표시장치.

청구항 8

제 1 항에 있어서,

상기 반도체막은 상기 트랜지스터의 액티브 영역을 구성하는 반도체로 형성되어 있는 것을 특징으로 하는 액티브 매트릭스형 액정표시장치.

청구항 9

제 8 항에 있어서,

상기 반도체막은 비정질 실리콘막과 다결정 실리콘막으로부터 선택된 하나인 것을 특징으로 하는 액티브 매트릭스형 액정표시장치.

청구항 10

제 1 항에 있어서,

상기 화소전극이 절연막을 통해 이전 스테이지에서의 상기 주사선에 중첩됨으로써 축적용량부가 형성되고;

상기 다음 스테이지에서의 상기 화소전극이 절연막을 통해 상기 적용가능한 스테이지에서의 상기 주사선에 중첩됨으로써 상기 다음 스테이지에서의 상기 화소전극용 축적용량부가 형성되고;

상기 절연막과 상기 부가 용량부를 구성하는 반도체막은 상기 절연막의 것과 상기 트랜지스터를 구성하는 반도체막과 동일한 구성을 갖고; 또한

상기 부가 용량부의 사이즈는, 외부로부터 인가되는 전압보다 큰 전압을 상기 액정층에 인가할 수 있도록 결정되어 있는 것을 특징으로 하는 액티브 매트릭스형 액정표시장치.

청구항 11

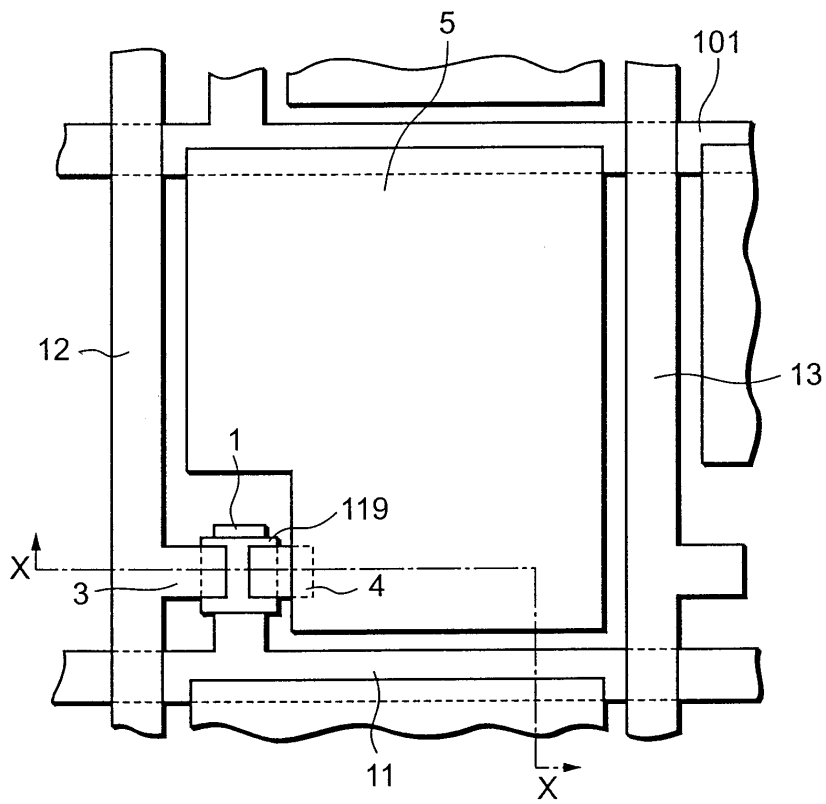
제 10 항에 있어서,

상기 주사선의 연장 방향을 따른 상기 부가 용량부의 길이는 상기 주사선의 연장 방향을 따른 상기 축적 용량부의 길이보다 짧은 것을 특징으로 하는 액티브 매트릭스형 액정표시장치.

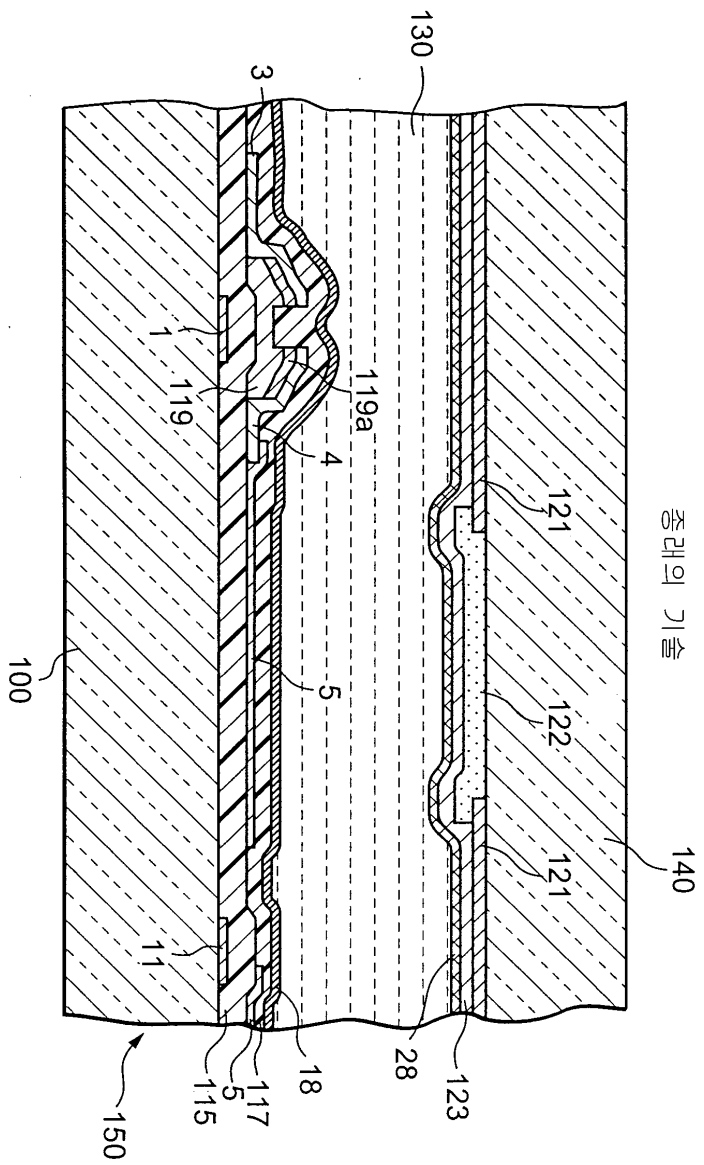
도면

도면1

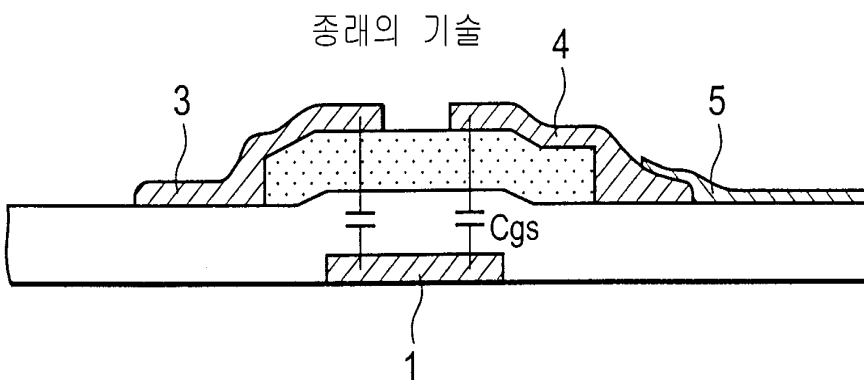
종래의 기술



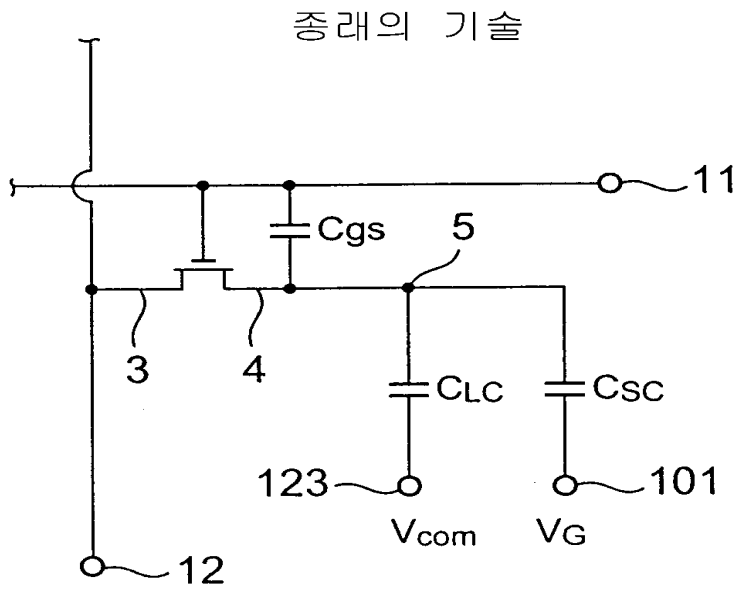
도면2



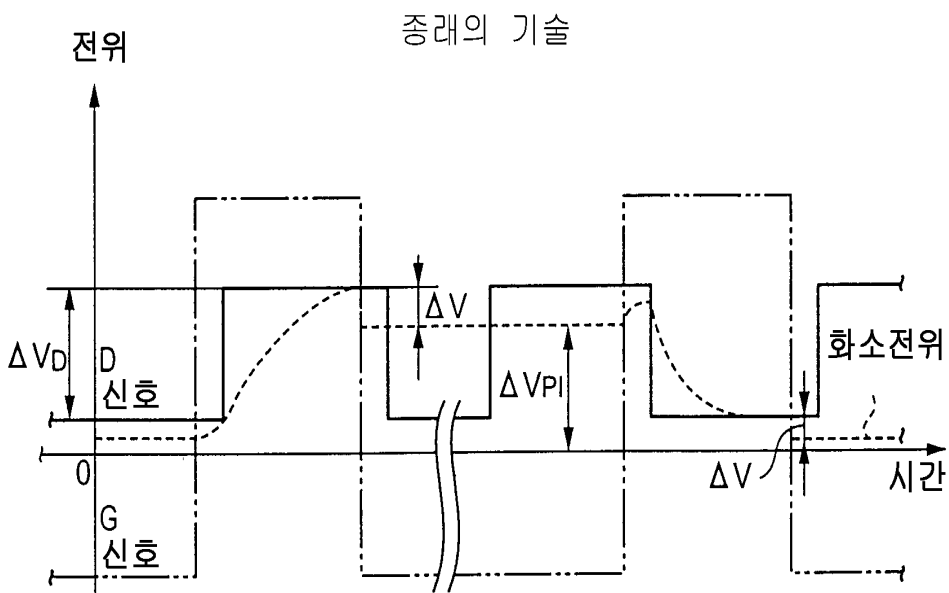
도면3



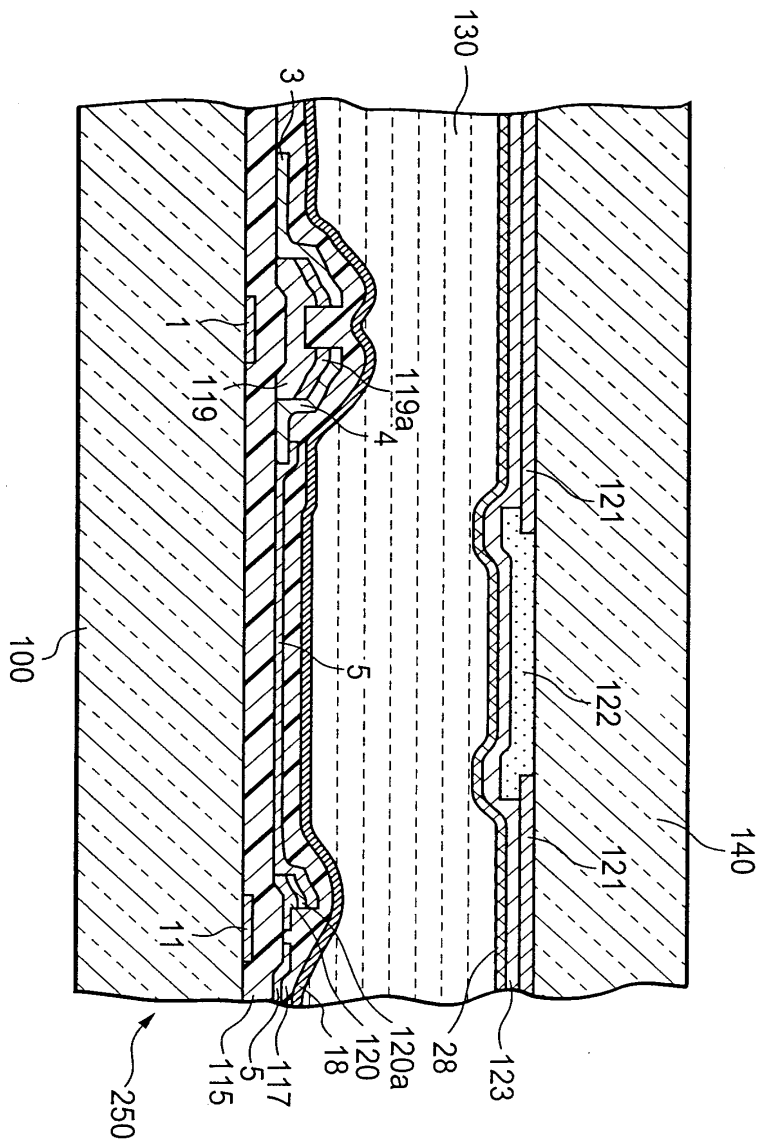
도면4



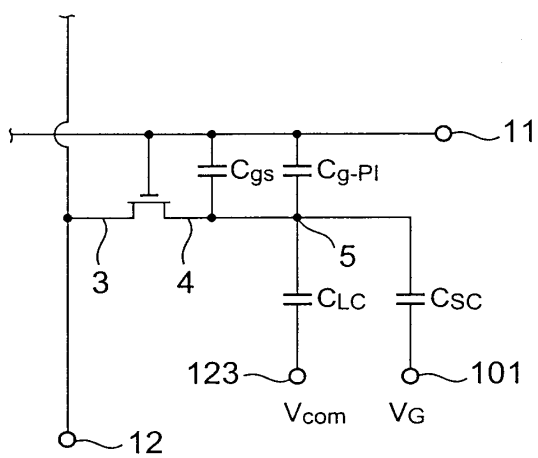
도면5



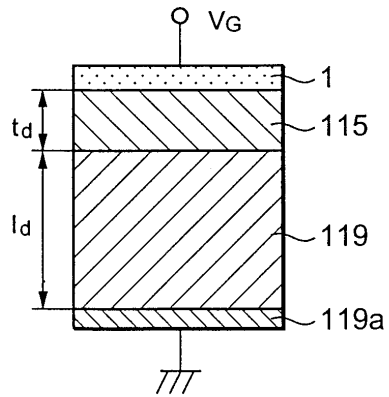
도면7



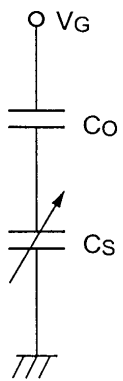
도면8



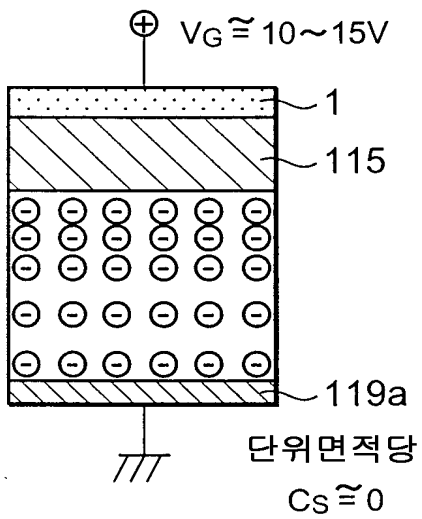
도면 9a



도면 9b

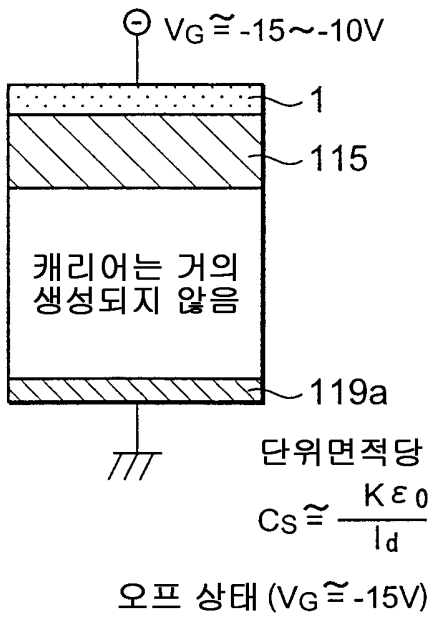


도면 10a

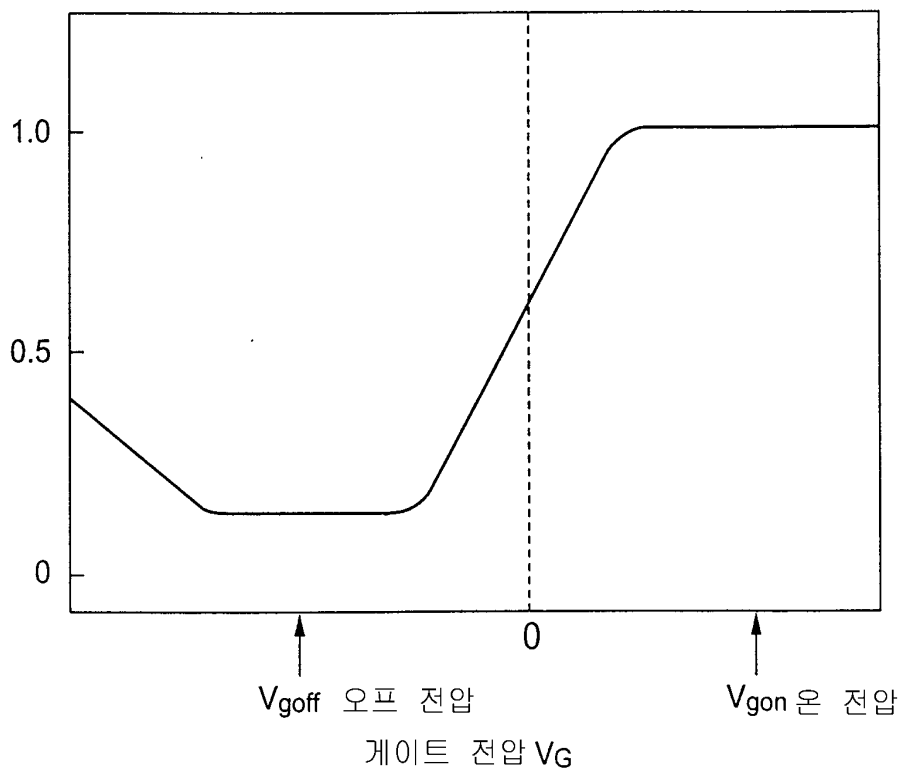


온 상태 ($V_G \approx 15V$)

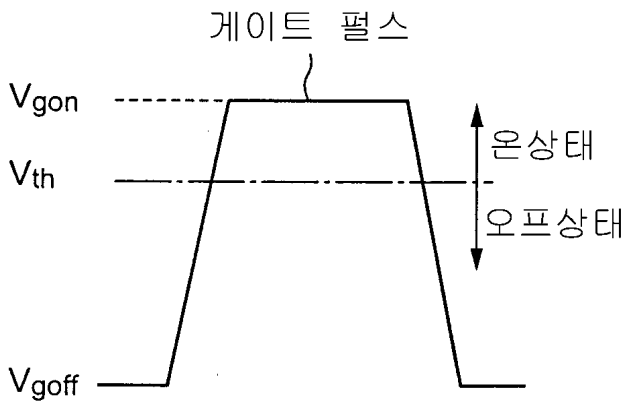
도면 10b



도면 11

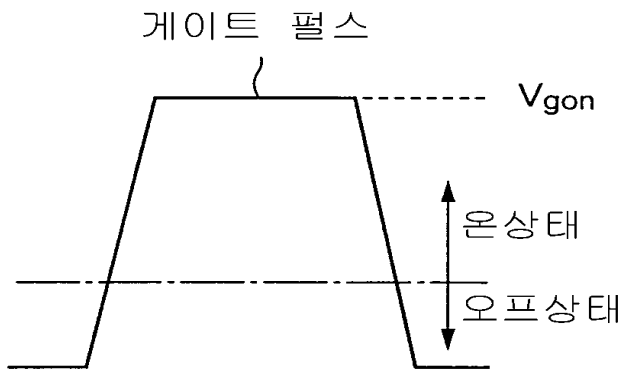


도면 12a



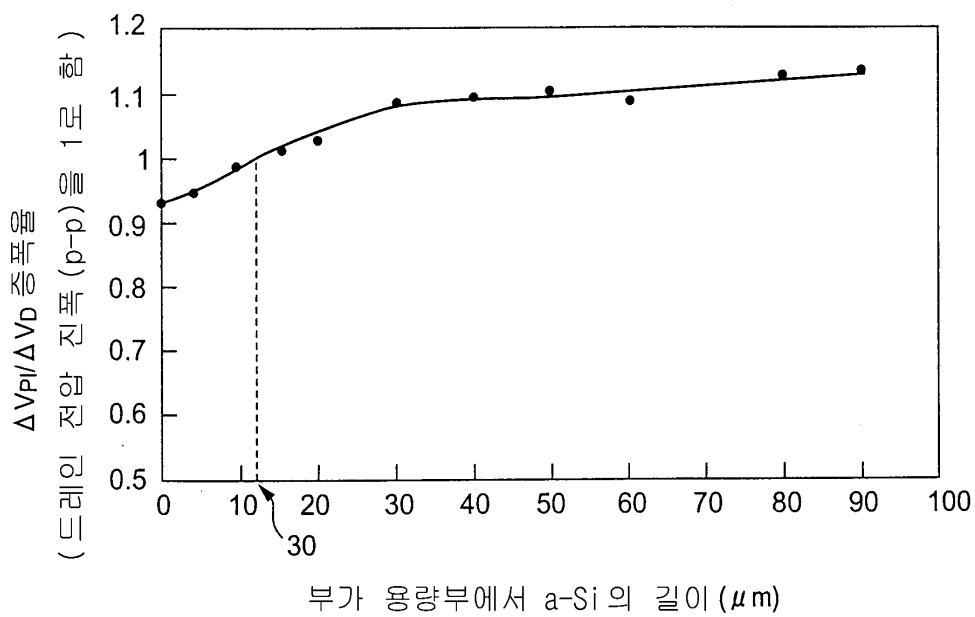
양의 기입시간

도면 12b

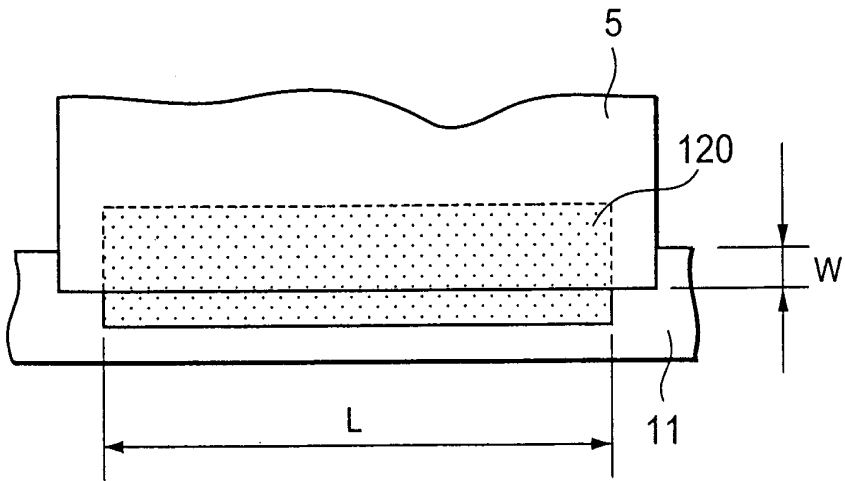


음의 기입시간

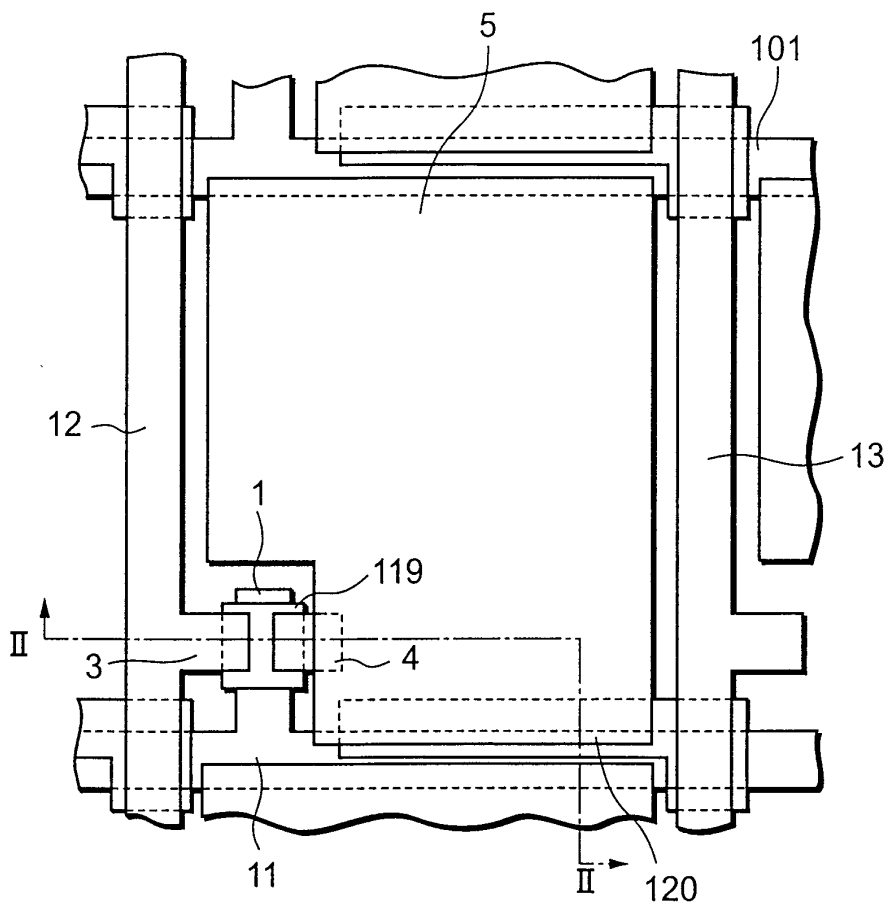
도면 13



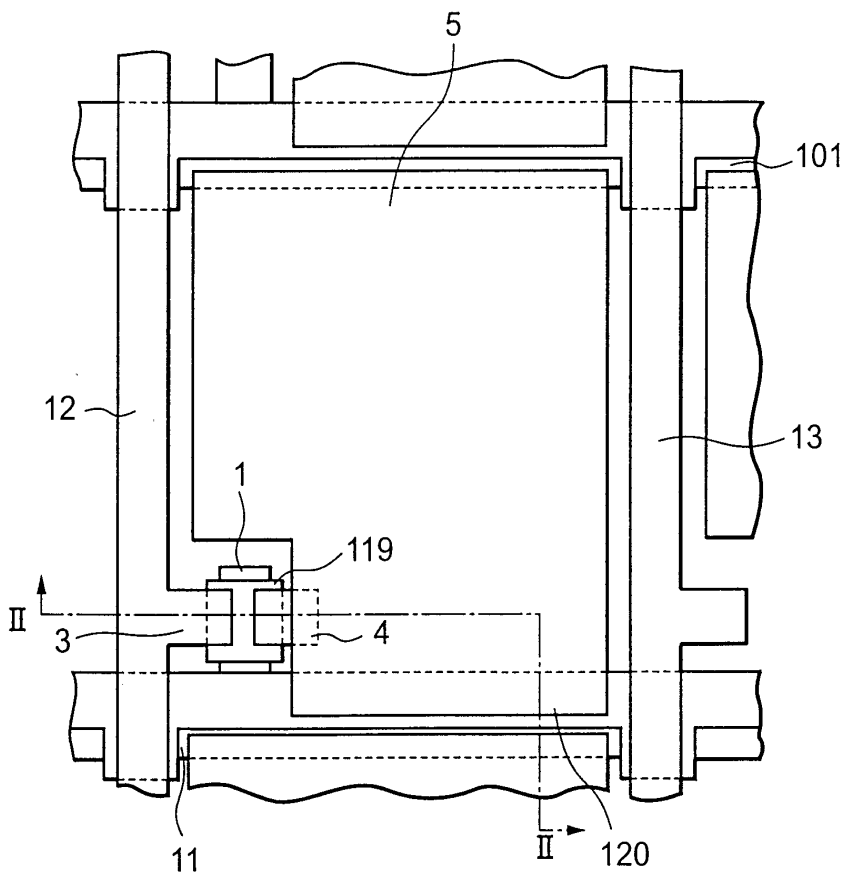
도면 14



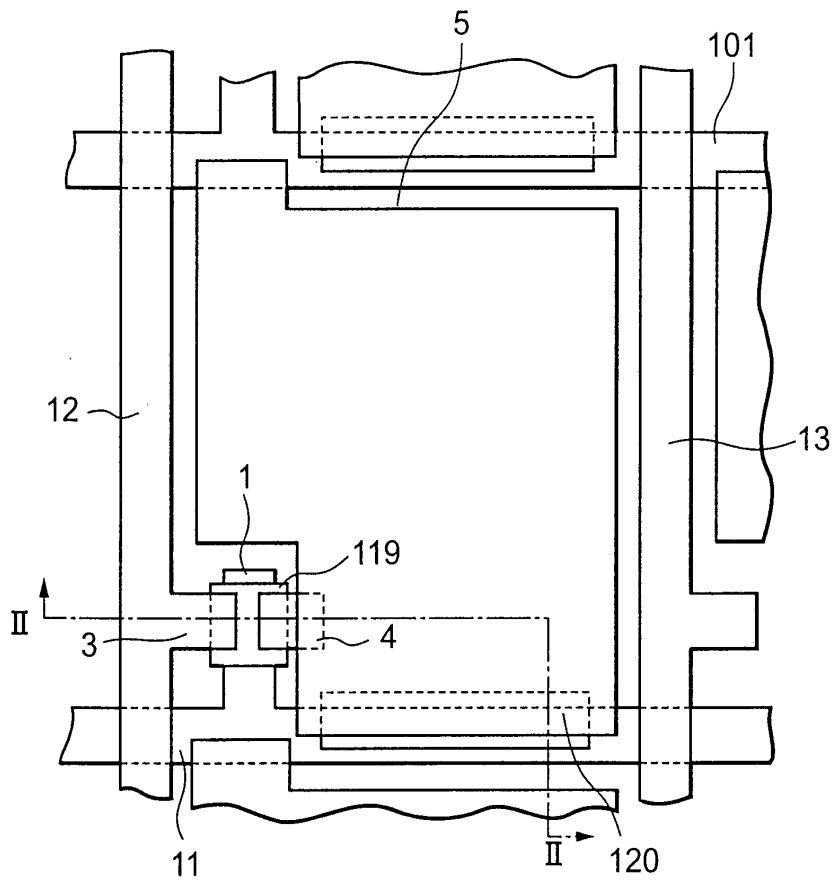
도면 15



도면 16



도면17



专利名称(译)	有源矩阵型液晶显示器		
公开(公告)号	KR1020010020873A	公开(公告)日	2001-03-15
申请号	KR1020000027284	申请日	2000-05-20
申请(专利权)人(译)	日本电气有限公司sikki		
当前申请(专利权)人(译)	日本电气有限公司sikki		
[标]发明人	WATANABE MAKOTO 와타나베마코토 WATANABE TAKAHIKO 와타나베다카히코		
发明人	와타나베마코토 와타나베다카히코		
IPC分类号	G02F1/13 G09G3/36 G02F1/1333 G02F1/1362 G02F		
CPC分类号	G09G3/3648 G02F1/136213 G09G2300/0876		
代理人(译)	韩国专利公司 CHO , YOUNG WON		
优先权	1999140772 1999-05-20 JP		
其他公开文献	KR100377602B1		
外部链接	Espacenet		

摘要(译)

形成在绝缘基板100上的多条扫描线，形成为与扫描线交叉的多条信号线，形成在扫描线和信号线的交叉点附近的薄膜晶体管，连接到薄膜晶体管的一个电极的像素电极，并且薄膜晶体管阵列基板（250）包括连接到连接到薄膜晶体管的源电极（4）的像素电极（5）的附加电容器部分，其特征在于它提供高对比度和低电压附加电容部分的一部分电连接到像素电极5和薄膜晶体管5的栅电极1，通过绝缘膜115和半导体膜120切换像素电极5并且扫描线11连接到扫描线11。 7 指数方面 液晶显示器，

