



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년04월06일
(11) 등록번호 10-0892087
(24) 등록일자 2009년03월31일

(51) Int. Cl.

G02F 1/1343 (2006.01)

(21) 출원번호 10-2002-0065803

(22) 출원일자 2002년10월28일

심사청구일자 2007년10월08일

(65) 공개번호 10-2004-0037343

(43) 공개일자 2004년05월07일

(56) 선행기술조사문헌

KR1020000020855 A*

KR1020020061889 A*

JP13033815 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

강진규

인천광역시서구가좌4동주공아파트105-201

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 6 항

심사관 : 박형식

(54) 횡전계방식 액정표시장치용 어레이기판과 그 제조방법

(57) 요약

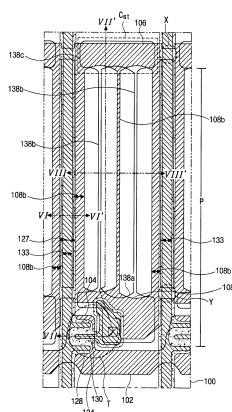
본 발명은 횡전계방식 액정표시장치에 관한 것으로 특히, 데이터 배선과 이와 근접한 전극 사이에 발생하는 빛샘 현상을 제거하기 위한 횡전계 방식 액정표시장치용 어레이기판과 그 제조방법에 관한 것이다.

본 발명에 따른 횡전계 방식 액정표시장치용 어레이기판은 4 마스크 공정으로 제작되며, 데이터 배선과 이에 근접한 전극 사이의 이격된 영역에서 발생하는 빛샘을 방지하기 위해, 데이터 배선의 하부에 구성된 반도체층 또는 데이터 배선과 근접한 전극을 상기 이격된 영역으로 연장하여 구성한다.

이와 같이 하면, 상기 데이터 배선과 이와 근접한 전극 사이의 이격된 영역이 블랙매트릭스로 가려지지 않는 공정불량이 발생하더라도, 상기 연장된 반도체층 또는 전극에 의해 백라이트의 빛이 차단되어 빛샘을 방지할 수 있다.

또한, 4 마스크 공정으로 제작되므로 공정이 단순화되어 이에 따른 수율이 개선되는 효과가 있다.

대표도 - 도5



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

기판 상에 게이트 배선과 이에 평행하게 이격된 스토리지 배선과, 스토리지 배선에서 연장된 공통전극을 형성하는 제 1 마스크 공정 단계와;

상기 게이트 배선과 스토리지 배선이 형성된 기판의 전면에 게이트 절연막과 순수 비정질 실리콘층과 불순물 비정질 실리콘층과 금속층을 순차적으로 형성하는 단계와;

상기 금속층과 그 하부의 순수 비정질 실리콘층과 불순물 비정질 실리콘층을 패터닝하여, 소스 전극과 드레인 전극과 상기 게이트 배선 및 스토리지 배선과 수직하게 교차하여 표시영역을 정의하는 데이터 배선과, 상기 소스 및 드레인 전극의 하부에 구성된 반도체층과, 반도체층에서 상기 데이터 배선의 하부로 연장되고 상기 데이터 배선과 근접하게 구성된 공통전극의 일부 상부로 연장되도록 반도체 라인을 형성하는 제 2 마스크 공정 단계와;

상기 소스 및 드레인 전극과 데이터 배선이 형성된 기판의 전면에 보호막을 형성하고 패터닝하여, 드레인 전극의 일부를 노출하는 콘택홀을 형성하는 제 3 마스크 공정 단계와;

상기 노출된 드레인 전극과 접촉하면서 상기 공통전극 사이에 이와는 평행하게 이격된 투명한 화소전극을 형성하는 제 4 마스크 공정 단계

를 포함하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 9

제 8 항에 있어서,

상기 제 2 마스크 공정 단계는,

상기 금속층의 상부에 포토레지스트층을 형성하는 단계와;

상기 포토레지스트층의 상부에 투과부와 반투과부와 차단부로 구성된 마스크를 위치시키고, 빛을 조사하여 상기 포토레지스트층을 노광하는 단계와;

상기 노광된 포토레지스트층을 현상하여, 높이가 서로 다른 포토레지스트 패턴을 형성하는 단계와;

상기 포토레지스트 패턴 사이로 노출된 금속층과 그 하부의 불순물 비정질 실리콘층과 그 하부의 순수 비정질 실리콘층을 제거하여, 상기 게이트 전극 상부의 제 1 금속패턴과, 제 1 금속패턴에서 상기 게이트 배선 및 스토리지 배선과 수직하게 교차하는 제 2 금속패턴을 형성하는 단계와;

상기 포토레지스트층을 애싱(ashing)하여 낮은 높이를 가지는 포토레지스트 패턴을 제거하고, 포토레지스트 패턴 사이로 노출된 금속층과 그 하부의 비정질 실리콘층을 제거하여, 상기 게이트 전극 상부에 위치하고, 상기 데이터 배선과 연결되는 소스 전극과 이와는 소정간격 이격된 드레인 전극과, 상기 소스 및 드레인 전극과 게이트 전극 사이에 위치하는 반도체층과, 상기 반도체층에서 상기 데이터 배선의 하부로 연장되는 동시에, 상기 데이터 배선과 근접하게 구성된 공통전극의 일부 상부로 연장된 반도체 라인을 형성하는 단계를 포함하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 10

제 9 항에 있어서,

상기 마스크의 반투과부는 상기 제 1 금속패턴의 일부와, 상기 제 2 금속패턴의 양측에 각각 대응하여 노광을 진행하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

기판 상에 표시영역과, 소스·드레인 영역과, 데이터 배선영역과 스토리지 배선 영역과 게이트 배선 영역을 정의하는 단계와;

상기 다수의 영역이 정의된 기판에 상기 게이트 배선영역에 게이트 배선과,상기 스토리지 배선 영역에 스토리지 배선과, 상기 스토리지 배선에서 수직하게 연결되고 서로 평행하게 이격된 다수의 수직부 중 상기 데이터 배선 영역에 근접한 수직부는 데이터 배선 영역의 일부로 연장하여 형성된 공통전극을 형성하는 제 1 마스크 공정 단계와;

상기 게이트 배선과 스토리지 배선이 형성된 기판의 전면에 제 1 절연막인 게이트 절연막과 순수 비정질 실리콘층과 불순물 비정질 실리콘층과 금속층을 순차적으로 형성하는 단계와;

상기 금속층과 그 하부의 순수 비정질 실리콘층과 불순물 비정질 실리콘층을 패터하여, 소스전극과 드레인 전극과 상기 공통전극 수직부와 일부가 겹쳐진 데이터 배선과, 소스 및 드레인 전극의 하부에 반도체층과, 반도체층에서 데이터 배선의 하부로 연장된 반도체 라인을 형성하는 단계를 포함하는 제 2 마스크 공정 단계와;

상기 소스 및 드레인 전극과 데이터 배선이 형성된 기판의 전면에 제 2 절연막인 보호막을 형성하고 패터하여, 드레인 전극의 일부를 노출하는 콘택홀을 형성하는 제 3 마스크 공정 단계와;

상기 노출된 드레인 전극과 접촉하면서 상기 공통전극 사이에 이와는 평행하게 이격된 투명한 화소전극을 형성하는 제 4 마스크 공정 단계

를 포함하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 18

제 17 항에 있어서,

상기 제 2 마스크 공정 단계는,

상기 금속층의 상부에 포토레지스트층을 형성하는 단계와;

상기 포토레지스트층의 상부에 투과부와 반투과부와 차단부로 구성된 마스크를 위치시키고, 빛을 조사하여 상기 포토레지스트층을 노광하는 단계와;

상기 노광된 포토레지스트층을 현상하여, 높이가 서로 다른 포토레지스트 패턴을 형성하는 단계와;

상기 포토레지스트 패턴 사이로 노출된 금속층과 그 하부의 불순물 비정질 실리콘층과 그 하부의 순수 비정질 실리콘층을 제거하여, 상기 게이트 전극 상부의 제 1 금속패턴과, 제 1 금속패턴에서 상기 게이트 배선 및 스토리지 배선과 수직하게 교차하는 제 2 금속패턴을 형성하는 단계와;

상기 포토레지스트층을 애싱(ashing)하여 낮은 높이를 가지는 포토레지스트 패턴을 제거하고, 포토레지스트 패턴 사이로 노출된 금속층과 그 하부의 비정질 실리콘층을 제거하여, 상기 게이트 전극 상부에 위치하고, 상기 데이터 배선과 연결되는 소스 전극과 이와는 소정간격 이격된 드레인 전극과, 상기 소스 및 드레인 전극과 게이트 전극 사이에 위치하는 반도체층과, 상기 반도체층에서 상기 데이터 배선의 하부로 연장된 반도체 라인을 형성하는 단계를 포함하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 19

제 18 항에 있어서,

상기 마스크의 반투과부는 상기 제 1 금속패턴의 일부에 대응하여 노광을 진행하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <18> 본 발명은 화상 표시장치에 관한 것으로, 4 마스크 공정으로 제작되며, 빛샘 현상이 없는 횡전계 방식 액정표시장치(In-Plane Switching)용 어레이기판과 그 제조방법에 관한 것이다.
- <19> 일반적으로 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다.
- <20> 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.
- <21> 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의하여 편광된 빛이 임의로 변조되어 화상정보를 표현할 수 있다.
- <22> 현재에는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소전극이 행렬방식으로 배열된 능동행렬 액정표시장치(AM-LCD : Active Matrix LCD 이하, 액정표시장치로 약칭함)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.
- <23> 상기 액정표시장치는 공통전극이 형성된 컬러필터 기판과 화소전극이 형성된 어레이기판과, 두 기판 사이에 충전된 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통전극과 화소전극이 상-하로 걸리는 전기장에 의해 액정을 구동하는 방식으로, 투과율과 개구율 등의 특성이 우수하다.

- <24> 그러나, 상-하로 걸리는 전기장에 의한 액정구동은 시야각 특성이 우수하지 못한 단점을 가지고 있다. 따라서, 상기의 단점을 극복하기 위해 새로운 기술이 제안되고 있다. 하기 기술될 액정표시장치는 횡전계에 의한 액정 구동방법으로 시야각 특성이 우수한 장점을 가지고 있다.
- <25> 이하, 도면을 참조하여 종래의 횡전계방식 액정표시장치용 어레이기판과 그 제조방법에 대해 설명한다.
- <26> 도 1은 종래의 횡전계방식 액정표시장치용 어레이기판의 한 화소를 개략적으로 도시한 평면도이다.
- <27> 도시한 바와 같이, 종래의 횡전계방식 액정표시장치용 어레이기판(10)은 소정간격 이격되어 평행하게 일 방향으로 연장된 다수의 게이트 배선(12)과, 상기 게이트 배선에 근접하여 평행하게 일 방향으로 연장된 스토리지 배선(16)과, 상기 두 배선과 교차하여 표시 영역(P)을 정의하는 데이터 배선(30)이 구성된다.
- <28> 상기 게이트 배선(12)과 데이터 배선(30)의 교차지점에는 게이트 배선(12)의 일부인 게이트 전극(14)과 반도체층(액티브층과 오믹 콘택층이 적층된 구성)(22)과 소스 전극(26) 및 드레인 전극(28)을 포함하는 박막트랜지스터(T)가 구성되며, 상기 소스 전극(26)은 상기 데이터 배선(30)과 연결된다.
- <29> 상기 반도체층(22)에서 연장된 반도체 라인(24)이 상기 데이터 배선의 하부에 구성된다.
- <30> 상기 표시 영역(P)에는 상기 드레인 전극(28)과 콘택홀(34)을 통해 연결되는 투명한 화소전극(36a, 36b, 36c)과, 상기 화소전극(36a, 36b, 36c)과 평행하게 구성되고, 상기 스토리지 배선(16)과 연결되는 공통전극(18a, 18b)이 구성된다.
- <31> 상기 화소전극(36a, 36b, 36c)은 상기 드레인 전극(28)에서 표시 영역(P)으로 연장된 제 1 수평부(36a)와, 상기 제 1 수평부(36a)에서 수직하게 연장되고 서로 소정간격 이격된 다수의 수직부(36b)와, 상기 스토리지 배선(16)의 상부에서 상기 다수의 수직부(36b)를 하나로 연결하는 제 2 수평부(36c)로 구성된다.
- <32> 상기 공통전극(18a, 18b)은 상기 스토리지배선(16)에서 표시 영역으로 수직하게 연장되고, 상기 화소전극의 수직부(36b)와 엇갈려 구성되는 다수의 수직부(18b)와, 상기 각 수직부(18b)를 하나로 연결하는 수평부(18a)로 구성된다.
- <33> 또한, 상기 스토리지배선(16)의 상부에는 화소와 회로적으로 병렬로 연결된 보조 용량부(C_{st})가 구성되는데, 보조 용량부(C_{st})는 상기 표시 영역(P)을 지나는 스토리지 배선(16)의 일부를 제 1 스토리지 전극으로 하고, 상기 제 1 스토리지 전극의 상부에 절연막(미도시)을 사이에 두고 위치하는 화소전극의 제 2 수평부(36c)를 제 2 스토리지 전극으로 한다.
- <34> 전술한 구성에서, 상기 데이터 배선(30)과 공통전극 수직부(18b)는 근접하게 이격되어 구성되며, 상기 이격된 부분(S)은 전계의 이상(異狀)분포가 발생하여 액정분자가 정상적으로 동작하지 않는다. 이와 같이, 액정이 정상적으로 동작하지 않는 영역에서는 빛샘 현상이 발생한다.
- <35> 결과적으로, 상기 빛샘 현상이 발생하는 부분을 차폐하기 위해 상부기판(미도시)에 블랙매트릭스를 형성하는 공정이 반드시 필요하다.
- <36> 이하, 도 2를 참조하여 설명한다.
- <37> 도 2는 상기 도 1의 II-II'를 따라 절단한 액정패널의 단면도이다.
- <38> 도시한 바와 같이, 상기 데이터 배선(30)을 중심으로 양측으로 공통전극 수직부(18b)가 형성된다.
- <39> 이때, 종래에는 상기 데이터 배선(30)과 공통전극 수직부(18b)사이의 이격된 공간(S)이 존재하게 된다. 상기 이격된 공간(S)은 액정분자의 정상적인 동작이 이루어지지 않기 때문에 빛샘이 발생하는 영역이다.
- <40> 따라서, 이를 차폐하기 위해 상기 상부기판(40)에 블랙매트릭스(42)를 설계하였다.
- <41> 그러나, 상기 블랙매트릭스(42)가 형성된 상부 기판(40)과 하부 기판(10)의 합착오차가 발생하는 경우, 블랙매트릭스(42)에 의해 상기 이격된 공간(S)이 모두 가려지지 않는 불량이 발생하게 된다.
- <42> 이와 같은 경우에는, 백라이트(미도시)에서 조사된 빛이 차폐되지 않고 외부로 출사하여 관찰자의 시야각에 따라 빛샘이 관찰되는 문제가 발생한다.
- <43> 전술한 바와 같이 구성된 액정표시장치용 어레이기판의 구성을 이하, 도면을 참조하여 설명한다.
- <44> 이하, 도 3a 내지 도 3e와 도 4a와 도 4e를 참조하여, 종래에 따른 횡전계 방식 액정표시장치용 어레이기판의

제조공정을 설명한다.(종래의 공정은 5마스크로 제작된다.)

- <45> 도 3a내지 도 3e는 도 2의 III-III`을 따라 절단하고, 도 4a 내지 도 4e는 도 1의 IV-IV`를 따라 절단하여, 종래의 공정 순서에 따라 도시한 공정 단면도이다.(III-III`은 박막트랜지스터의 단면이고, IV-IV`는 데이터 배선과 공통전극 및 화소전극의 단면도이다.)
- <46> 먼저, 도 3a와 도 4a는 제 1 마스크 공정으로 제작된 어레이기판의 구성을 나타낸 단면도로서, 기판(10)상에 알루미늄(Al), 알루미늄합금, 텅스텐(W), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 탄탈륨(Ta), 티타늄(Ti) 등을 포함하는 도전성 금속그룹 중 선택된 하나 또는 둘 이상의 금속을 증착하여, 일 방향으로 연장되고 서로 평행하게 이격된 다수의 게이트 배선(도 1의 12)과, 게이트 배선에서 돌출된 게이트 전극(14)과, 게이트 배선에 근접하게 구성되고 이와는 소정간격 평행하게 이격된 스토리지 배선(도 1의 16)과, 스토리지 배선에서 수직하게 연장되고 서로 소정간격 이격된 다수의 수직부(18b)와 수직부를 하나로 연결하는 수평부(도 1의 18a)로 구성된 공통전극(18a, 18b)을 형성한다.
- <47> 이때, 상기 게이트 배선(12)은 신호 지연이 없도록 저 저항 배선을 사용해야 하는데, 일반적으로 사용되는 저 저항 금속은 대표적으로 알루미늄(Al) 또는 알루미늄 합금(AlNd)을 예로 들 수 있다.
- <48> 상기 알루미늄계 금속은 화학적으로 내식성이 약하고 물리적인 강도 또한 약하기 때문에 일반적으로 크롬(Cr) 또는 몰리브덴(Mo)을 상기 알루미늄계 금속의 상부에 증착하여 사용할 수 있다.
- <49> 상기 게이트 배선(12)과 스토리지 배선(16)과 공통 전극(18b)이 형성된 기판(10)의 전면에 질화실리콘(SiN_x)과 산화실리콘(SiO₂)을 포함하는 무기절연물질 그룹 중 선택된 하나로 제 1 절연막인 게이트 절연막(20)을 형성한다.
- <50> 도 3b와 도 4b는 제 2 마스크 공정으로 제작된 어레이기판의 구성을 나타낸 단면도로서, 상기 게이트 전극(14) 상부의 게이트 절연막(20) 상에 액티브층(22a)과 오믹 콘택층(22b)으로 구성된 반도체층(22)과, 상기 반도체층(22)에서 데이터 배선영역(DL)으로 연장된 반도체 라인(24)을 형성한다.
- <51> 상기 액티브층(22a)은 순수 비정질 실리콘(a-Si:H)으로 형성되고, 상기 오믹 콘택층(22b)은 불순물이 포함된 비정질 실리콘(n+a-Si:H)으로 형성된다.
- <52> 도 3c와 도 4c는 제 3 마스크 공정으로 제작된 어레이기판의 구성을 나타낸 단면도로서, 전술한 바와 같은 금속 그룹 중 선택된 금속물질을 증착하고 패터하여, 상기 반도체층(22)상에 소정간격 이격된 소스 전극(26)과 드레인 전극(28)과 소스 전극(26)에서 상기 게이트 배선(12) 및 스토리지 배선(16)과 수직하게 교차하는 동시에 상기 반도체 라인(24)의 상부로 연장되어 화소(P)를 정의하는 데이터 배선(30)을 형성한다.
- <53> 도 3d와 도 4d는 제 4 마스크 공정으로 제작된 어레이기판의 단면구성을 나타낸 단면도로서, 상기 소스 및 드레인 전극(26, 28)과 데이터 배선(30)이 형성된 기판(10)의 전면에 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 투명한 유기절연물질 그룹 중 선택된 하나를 도포하거나, 질화실리콘(SiN_x)과 산화실리콘(SiO₂)을 포함한 무기절연물질 그룹 중 선택된 하나를 증착하여 보호막(32)을 형성한 후 이를 패터하여, 상기 드레인 전극의 일부를 노출하는 드레인 콘택홀(34)을 형성한다.
- <54> 도 3e와 도 4e는 제 5 마스크 공정으로 제작된 어레이기판의 단면구성을 나타낸 단면도로서, 상기 보호막(34)이 형성된 기판(10)의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속그룹 중 선택된 하나를 증착하고 패터하여, 상기 노출된 드레인 전극(28)의 일부와 접촉하면서 표시영역(도 1의 P)으로 연장된 제 1 수평부(36a)와, 제 1 수평부에서 연장되고 상기 공통전극 수직부(18b)와 엇갈려 구성된 수직부(36b)와, 상기 스토리지 배선(18)의 상부에 위치하고 상기 수직부(36b)를 하나로 연결하는 수평부(도 1의 36c)로 구성된 화소전극을 형성한다.
- <55> 전술한 바와 같이 제작된 횡전계 방식 액정표시장치용 어레이기판의 구성은 앞서 도 2에 설명한 바와 같이, 빛샘불량이 발생하는 문제와 함께 공정이 복잡하여 수율을 저하하는 문제가 있다.

발명이 이루고자 하는 기술적 과제

- <56> 본 발명은 전술한 바와 같은 문제를 해결하기 위한 목적으로 안출된 것으로, 상기 빛샘 현상이 발생하는 데이

터 배선과 이에 근접한 전극(공통 전극)의 이격된 사이 영역으로 빛이 새어나오지 않도록 하기 위해, 상기 데이터 배선의 하부에 구성하는 반도체층의 연장부인 반도체라인을 상기 데이터 배선과 근접하게 이격하여 구성된 전극의 하부로 연장하는 제 1 구성과, 반대로 상기 데이터 배선과 근접한 전극을 데이터 배선의 일부 하부로 연장하는 제 2 구성을 제안한다.

<57> 또한, 공정상 수율을 개선하기 위해 4 마스크 공정으로 어레이기판을 제작하는 방법을 제안한다.

발명의 구성 및 작용

<58> 기술한 목적을 달성하기 위한 본 발명의 제 1 특징에 따른 횡전계 방식 액정표시장치용 어레이기판은, 기판 상에 일 방향으로 연장된 게이트 배선과 이와는 소정간격 이격된 스토리지배선과; 상기 게이트 배선 및 스토리지 배선과 수직하게 교차하여 구성되고, 상기 스토리지 배선과는 표시영역을 정의하는 데이터 배선과;

<59> 상기 게이트 배선과 데이터 배선의 교차지점에 위치하고, 게이트 전극과 반도체층과 소스 전극과 드레인 전극을 포함하는 박막트랜지스터와; 상기 드레인 전극과 연결되면서 표시 영역에 구성된 투명한 화소전극과; 상기 스토리지 배선과 연결되고 상기 화소전극과 평행하게 이격하여 구성된 공통전극과; 상기 반도체층에서 상기 데이터 배선의 하부로 연장되는 동시에, 상기 데이터 배선의 양측에 근접하게 구성된 공통전극의 일부 상부로 각각 연장된 반도체라인을 포함한다.

<60> 상기 반도체층과 반도체 라인은 순수 비정질 실리콘층(a-Si:H)과 불순물 비정질 실리콘층(n+a-Si:H)이 순차적으로 적층되어 구성되며, 상기 공통전극의 상부로 연장된 부분은 반도체라인의 순수 비정질 실리콘층이다.

<61> 상기 화소전극은 드레인 전극에서 연장된 제 1 수평부와, 제 1 수평부에서 표시 영역으로 수직하게 연장되어 상기 공통전극 수직부와 엇갈려 구성된 다수의 수직부와, 수직부를 상기 스토리지 배선의 상부에서 하나로 연결하는 제 2 수평부로 구성되고, 상기 공통전극은 상기 스토리지 배선에서 표시 영역으로 수직하게 연장되어 상기 화소전극의 수직부와 엇갈려 구성되며, 상기 표시 영역마다 구성된 공통전극은 서로 연결되어 구성된다.

<62> 특히, 상기 화소전극의 수평부와 이와 겹쳐진 스토리지 배선은 상기 제 1 절연막과 제 2 절연막을 사이에 두고 보조 용량부를 구성한다.

<63> 또한, 상기 공통전극의 수직부와 화소전극의 수직부는 지그재그 형상으로 구성할 수 있다.

<64> 본 발명의 제 1 특징에 따른 횡전계 방식 액정표시장치용 어레이기판의 제조방법은 기판 상에 게이트 배선과 이에 평행하게 이격된 스토리지 배선과, 스토리지 배선에서 연장된 공통전극을 형성하는 제 1 마스크 공정 단계와; 상기 게이트 배선과 스토리지 배선이 형성된 기판의 전면에 게이트 절연막과 순수 비정질 실리콘층과 불순물 비정질 실리콘층과 금속층을 순차적으로 형성하는 단계와; 상기 금속층과 그 하부의 순수 비정질 실리콘층과 불순물 비정질 실리콘층을 패터닝하여, 소스 전극과 드레인 전극과 상기 게이트 배선 및 스토리지 배선과 수직하게 교차하여 표시영역을 정의하는 데이터 배선과, 상기 소스 및 드레인 전극의 하부에 구성된 반도체층과, 반도체층에서 상기 데이터 배선의 하부로 연장되고 상기 데이터 배선과 근접하게 구성된 공통전극의 일부 상부로 연장되도록 반도체 라인을 형성하는 제 2 마스크 공정 단계와; 상기 소스 및 드레인 전극과 데이터 배선이 형성된 기판의 전면에 보호막을 형성하고 패터닝하여, 드레인 전극의 일부를 노출하는 콘택홀을 형성하는 제 3 마스크 공정 단계와; 상기 노출된 드레인 전극과 접촉하면서 상기 공통전극 사이에 이와는 평행하게 이격된 투명한 화소전극을 형성하는 제 4 마스크 공정 단계 포함한다.

<65> 이때, 상기 제 2 마스크 공정 단계는 상기 금속층의 상부에 포토레지스트층을 형성하는 단계와; 상기 포토레지스트층의 상부에 투과부와 반투과부와 차단부로 구성된 마스크를 위치시키고, 빛을 조사하여 상기 포토레지스트층을 노광하는 단계와; 상기 노광된 포토레지스트층을 현상하여, 높이가 서로 다른 포토레지스트 패턴을 형성하는 단계와; 상기 포토레지스트 패턴 사이로 노출된 금속층과 그 하부의 불순물 비정질 실리콘층과 그 하부의 순수 비정질 실리콘층을 제거하여, 상기 게이트 전극 상부의 제 1 금속패턴과, 제 1 금속패턴에서 상기 게이트 배선 및 스토리지 배선과 수직하게 교차하는 제 2 금속패턴을 형성하는 단계와; 상기 포토레지스트층을 애싱(ashing)하여 낮은 높이를 가지는 포토레지스트 패턴을 제거하고, 포토레지스트 패턴 사이로 노출된 금속층과 그 하부의 비정질 실리콘층을 제거하여, 상기 게이트 전극 상부에 위치하고, 상기 데이터 배선과 연결되는 소스 전극과 이와는 소정간격 이격된 드레인 전극과, 상기 소스 및 드레인 전극과 게이트 전극 사이에 위치하는 반도체층과, 상기 반도체층에서 상기 데이터 배선의 하부로 연장되는 동시에, 상기 데이터 배선과 근접하게 구성된 공통전극의 일부 상부로 연장된 반도체 라인을 형성하는 단계를 포함하는 것을 특징으로 한다.

- <66> 또한, 상기 마스크의 반투과부는 상기 제 1 금속패턴의 일부와, 상기 제 2 금속패턴의 양측에 각각 대응하여 노광을 진행하는 것을 특징으로 한다.
- <67> 본 발명의 제 2 특징에 따른 횡전계방식 액정표시장치용 어레이기판은 기판 상에 일 방향으로 연장된 게이트 배선과 이와는 소정간격 이격된 스토리지 배선과;
- <68> 상기 게이트 배선 및 스토리지 배선과 수직하게 교차하여 화소영역을 정의하는 데이터 배선과; 상기 게이트 배선과 데이터 배선의 교차지점에 구성되고, 게이트 전극과 반도체층과 소스 전극과 드레인 전극을 포함하는 박막 트랜지스터와; 상기 반도체층에서 데이터 배선의 하부로 연장된 반도체 라인과; 상기 드레인 전극과 연결되면서 표시 영역에 구성된 화소전극과; 상기 스토리지 배선에서 연결된 다수의 수직부로 구성된 공통전극에 있어서, 상기 데이터 배선과 근접하게 구성된 수직부는 데이터 배선의 하부로 연장된 공통전극을 포함한다.
- <69> 상기 반도체 라인의 순수 비정질 실리콘층이 상기 데이터 배선의 양측으로 노출된다.
- <70> 본 발명의 제 2 특징에 따른 횡전계 방식 액정표시장치용 어레이기판의 제조방법은 기판 상에 표시영역과, 소스.드레인 영역과, 데이터 배선영역과 스토리지 배선 영역과 게이트 배선 영역을 정의하는 단계와; 상기 다수의 영역이 정의된 기판에 상기 게이트 배선영역에 게이트 배선과, 상기 스토리지 배선 영역에 스토리지 배선과, 상기 스토리지 배선에서 수직하게 연결되고 서로 평행하게 이격된 다수의 수직부 중 상기 데이터 배선 영역에 근접한 수직부는 데이터 배선 영역의 일부로 연장하여 형성된 공통전극을 형성하는 제 1 마스크 공정 단계와; 상기 게이트 배선과 스토리지 배선이 형성된 기판의 전면에 제 1 절연막인 게이트 절연막과 순수 비정질 실리콘층과 불순물 비정질 실리콘층과 금속층을 순차적으로 형성하는 단계와; 상기 금속층과 그 하부의 순수 비정질 실리콘층과 불순물 비정질 실리콘층을 패터하여, 소스전극과 드레인 전극과 상기 공통전극 수직부와 일부가 겹쳐진 데이터 배선과, 소스 및 드레인 전극의 하부에 반도체층과, 반도체층에서 데이터 배선의 하부로 연장된 반도체 라인을 형성하는 단계를 포함하는 제 2 마스크 공정 단계와; 상기 소스 및 드레인 전극과 데이터 배선이 형성된 기판의 전면에 제 2 절연막인 보호막을 형성하고 패터하여, 드레인 전극의 일부를 노출하는 콘택홀을 형성하는 제 3 마스크 공정 단계와; 상기 노출된 드레인 전극과 접촉하면서 상기 공통전극 사이에 이와는 평행하게 이격된 투명한 화소전극을 형성하는 제 4 마스크 공정 단계를 포함한다.
- <71> 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 설명한다.
- <72> -- 제 1 실시예 --
- <73> 본 발명에 따른 제 1 실시예의 특징은 4 마스크로 제작되는 횡전계 방식 액정표시장치용 어레이기판의 제조공정 중, 하프톤 노광(halftone exposure)공정을 통해 데이터 배선과 그 하부의 반도체 라인을 패터함에 있어서, 반도체 라인이 데이터 배선의 양측에 근접한 전극과의 이격 거리를 효과적으로 차단하도록 형성하는 것을 특징으로 한다.
- <74> 도 5는 본 발명에 따른 횡전계방식 액정표시장치용 어레이기판의 일부를 개략적으로 도시한 평면도이다.
- <75> 도시한 바와 같이, 본 발명에 따른 횡전계방식 액정표시장치용 어레이기판(100)은 소정간격 이격 되어 평행하게 일 방향으로 구성된 다수의 게이트 배선(102)과 스토리지 배선(106)과, 상기 두 배선과 교차하여 표시 영역(서브 픽셀 P)을 정의하는 데이터 배선(133)을 구성한다.
- <76> 상기 게이트 배선(102)과 데이터 배선(133)의 교차지점에는 게이트 전극(104)과 반도체층(124)과 소스 전극(128) 및 드레인 전극(130)을 포함하는 박막트랜지스터(T)를 구성하며, 상기 소스 전극(128)은 상기 데이터 배선(133)과 연결하고, 상기 게이트 전극(104)은 상기 게이트 배선(102)과 연결한다.
- <77> 이때, 상기 반도체층(124)에서 상기 소스 전극(128)과 데이터 배선(133)의 하부로 연장하여 반도체라인(127)을 형성한다.
- <78> 상기 반도체라인(127)은 데이터 배선(133)의 부착특성을 개선하기 위한 목적으로 형성한다.
- <79> 상기 표시 영역(P)에는 상기 드레인 전극(130)과 콘택홀을 통해 연결되는 투명한 화소전극(138a, 138b, 138c)과 공통전극(108a, 108b)을 형성한다.
- <80> 이때, 상기 공통전극(108a, 108b)은 스토리지 배선(106)에서 화소(P)로 수직하게 연장된 다수의 수직부(108b)와, 수직부를 하나로 연결하는 수평부(108a)로 구성한다.

- <81> 상기 공통전극은 이웃한 표시 영역에 구성된 수직부 중 서로 이웃한 수직 부의 상부(X)와 하부(Y)에서 각각 연결되도록 형성하여, 공통전극의 신호 지연을 방지할 수 있도록 한다.
- <82> 상기 화소전극(138a, 138b, 138c)은 상기 드레인 전극과 접촉하면서 화소(P)로 연장된 제 1 수평부(138a)와, 상기 제 1 수평부(138a)에서 수직하게 연장된 다수의 수직부(138b)와, 수직부(138b)를 상기 스토리지 배선(106)의 상부에서 하나로 연결하는 제 2 수평부(138c)로 구성하고, 수직부(138b)는 상기 공통전극의 수직부(108b)와 소정 간격 이격되도록 구성한다.
- <83> 상기 화소전극의 제 2 수평부(138c)는 하부의 스토리지 배선(106)과 겹쳐 구성되어 보조 용량부(C_{st})를 형성한다. 따라서, 보조 용량부(C_{st})의 스토리지 제 1 전극으로 스토리지 배선(106)의 일부가 사용되고, 스토리지 제 2 전극으로는 화소전극의 제 2 수평부(138c)가 사용된다.
- <84> 전술한 구성에서, 본원 발명의 제 1 실시예에 따른 특징은 도시한 바와 같이 반도체라인(127)을 이에 근접한 양측의 공통전극 수직부(108b)의 하부로 연장하여 형성하는 것이다.
- <85> 이하, 도 6을 참조하여 설명한다.
- <86> 도 6은 도 5의 VI-VI'을 따라 절단한 단면도이다.
- <87> 도시한 바와 같이, 기판(100) 상에 앞서 설명한 공통 전극 수직부(108b)가 구성되고, 상기 수직부(108b) 사이에는 게이트 절연막(110)을 사이에 두고, 반도체 라인(127)과 데이터 배선(133)이 순차적으로 구성되는 형상이다.
- <88> 이때, 반도체 라인(정확히는 반도체 라인의 순수 비정질 실리콘층)(127)을 상기 공통 전극 수직부(108b)의 일부 상부로 연장 구성하여 데이터 배선(133)과 공통전극 수직부(108b) 사이의 이격된 영역(H)이 가려지도록 한다.
- <89> 이와 같이 하면, 상기 반도체 라인(127)에 의해 하부 백라이트에서 조사된 빛(L)의 대부분이 흡수되므로 외부로 나오는 빛의 양은 매우 적어 화질에 영향을 미치지 않는다.
- <90> 전술한 바와 같은 구성을 가진 액정표시장치용 어레이기판의 제조공정을 이하, 도 7a 내지 도 7g와 도 8a 내지 도 8g를 참조하여 설명한다.
- <91> 도 7a 내지 도 7g와 도 8a 내지 도 8g는 도 5의 VII-VII', VIII-VIII'을 따라 절단하여, 본 발명의 제 1 실시예에 따른 공정 순서로 도시한 공정 단면도이다.
- <92> 먼저, 7a와 도 8a는 제 1 마스크 공정으로 제작된 기판의 단면도로서, 기판 (100)상에 알루미늄(Al), 알루미늄 합금, 텅스텐(W), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 탄탈륨(Ta), 티타늄(Ti) 등을 포함하는 도전성 금속그룹 중 선택된 하나 또는 둘 이상의 금속으로 증착하여, 일 방향으로 연장되고 서로 평행하게 이격된 다수의 게이트 배선(도 5의 102)과, 게이트 배선에서 돌출된 게이트 전극(104)과, 게이트 배선에 근접하게 구성되고 이와는 소정간격 평행하게 이격된 스토리지 배선(106)과, 스토리지 배선(106)에서 연장된 공통전극(108a, 108b)을 형성한다.
- <93> 공통전극(108a, 108b)은 상기 스토리지 배선(106)에서 수직하게 연장된 다수의 수직부(108b)와, 수직부를 하나로 연결하는 수평부(108a)로 구성한다.
- <94> 상기 공통전극의 수직부(108b)중 이웃한 표시 영역에 각각 위치하고 서로 근접하게 구성된 것은, 도 5에 도시한 바와 같이 상기 수직부(108b)의 상부(X)와 하부(Y)에서 서로 연결되도록 구성한다.
- <95> 이때, 상기 게이트 배선(102)은 신호 지연이 없도록 저 저항 배선을 사용해야 하는데, 일반적으로 사용되는 저 저항 금속은 대표적으로 알루미늄(Al) 또는 알루미늄 합금(AlNd)을 예로 들 수 있다.
- <96> 상기 알루미늄계 금속은 화학적으로 내식성이 약하고 물리적인 강도 또한 약하기 때문에 일반적으로 크롬(Cr) 또는 몰리브덴(Mo)을 상기 알루미늄계 금속의 상부에 증착하여 복층으로 구성한다.
- <97> 도 7b 내지 도 7e와 도 8a 내지 도 8e는 제 2 마스크 공정을 나타내는 단면도로서, 제 2 마스크 공정은 하프톤(halftone)마스크 공정을 이용하여 진행된다.
- <98> 먼저, 도 7b와 도 8b에 도시한 바와 같이, 상기 게이트 배선(102)과 스토리지 배선(106)과 공통 전극(108)이 형성된 기판(100)의 전면에 질화실리콘(SiN_x)과 산화실리콘(SiO₂)을 포함하는 무기절연물질 그룹 중 선택된 하나로 제 1 절연막인 게이트 절연막(110)과 순수한 비정질 실리콘층(a-Si:H, 112)과 불순물이 포함된 비정질 실리콘층(n+a-Si:H, 114)을 형성하고, 연속하여 앞서 언급한 도전성 금속 그룹 중 선택된 하나로 금속층(116)을 형성한

다.

- <99> 다음으로, 상기 금속층(116)의 상부에 포토레지스트(photo-resist : 이하 "PR"이라 칭함)를 코팅하여 PR층(118)을 형성한다. 이때, PR층(118)은 노광된 부분이 현상되는 포지티브형(positive type)을 예를 들어 설명한다.
- <100> (PR층이 빛에 의해 노광된 부분은 투명하게 표현하였고, 노광되지 않은 부분은 점 해칭으로 표현하였다.)
- <101> 상기 PR층(118)이 형성된 기판(100)의 상부에는 투과부(A)와 반투과부(B)와 차단부(C)로 구성된 마스크(M)를 위치시키고, 마스크(M)의 상부로부터 상기 PR층(118)에 빛을 조사한다.
- <102> 반투과부를 구성하는 방법은 투명한 기판에 빛을 일부만 투과하는 기능을 하는 반투명막을 증착하여 형성하거나 도시한 바와 같이, 다수의 슬릿 형상으로 패턴하여 형성한다.
- <103> 상기 차단부(C)는 소스 및 드레인 영역(S/D)과 데이터 배선 영역(DL)에 대응하여 위치하고, 상기 반투과부(B)는 이후 공정에서, 상기 소스 및 드레인 영역에 소정간격 이격하여 구성될 소스 전극과 드레인 전극의 이격 영역(E)과 데이터 배선 영역(DL)의 양측에 대응하도록 한다.
- <104> 이때, 상기 데이터 배선 영역(DL)의 양측에 대응하는 마스크(M)의 반투과부(B)는 상기 데이터 배선 영역(DL)과 근접하게 구성된 공통전극 수직부(108b)의 일부 상부까지 대응되도록 한다.
- <105> 이와 같이 하면, 이후 공정에서 데이터 배선(미도시)의 하부에 구성되는 반도체 라인(미도시)이 상기 공통전극 수직부(108b)의 일부 상부로 연장 형성될 수 있다.
- <106> 상기 빛에 의해 노광된 PR층(118)을 현상하면, 도 8c와 도 9c에 도시한 바와 같이, PR층은 높이가 서로 다른 패턴(120)으로 형성된다.
- <107> 즉, 상기 마스크(도 8b의 M)의 차단부에 대응된 부분(F1)은 초기 도포된 높이 그대로 남게 되고, 마스크의 반투과부에 대응된 부분(F2)은 상부로부터 상당 부분이 제거된 상태로 남게 되고, 상기 투과부에 대응된 부분은 모두 제거된다.
- <108> 상기 남겨진 포토 패턴(120) 사이로 노출된 금속층(116)을 식각하고 순차적으로 하부의 불순물 비정질 실리콘층(114)과 순수 비정질 실리콘층(112)을 제거하는 공정을 진행하여 도 7d와 도 8d에 도시한 바와 같이, 상기 게이트 전극(104)의 상부에 위치하는 제 1 금속패턴(126)과 제 1 금속패턴에서 연장된 제 2 금속패턴(132)과, 상기 제 1 금속패턴(126)의 하부에 위치하는 비정질 실리콘층(124a)과 불순물 비정질 실리콘층(124b)을 포함하는 반도체층(124)과 반도체층에서 제 2 금속패턴(132)의 하부로 연장된 반도체 라인(127)을 형성한다.
- <109> 이때, 일반적으로 상기 금속층은 습식식각(wet etching)을 통해 제거하고 상기 비정질 실리콘층은 건식식각(dry etching)을 통해 제거한다.
- <110> 연속하여, 상기 PR패턴(120)에 대한 애싱 공정(ashing processing)을 진행하게 되면, 상기 PR 패턴(120)중 이격 영역(E)에 대응하는 패턴(도 7c의 F2)과 데이터 배선의 양측에 존재하는 패턴은 완전히 제거되어 하부 금속패턴의 일부(U)를 노출하게 되고, 나머지 부분(F1) 또한 상부로부터 소정 높이로 깎이는 결과가 된다.
- <111> 이때, 상기 이격 영역(E)뿐 아니라 주변부(W)의 PR 패턴이 제거되어 노출된다. 이는 애싱공정에 의해 자연적으로 노출되는 것이다.
- <112> 도 7e와 도 8e에 도시한 바와 같이, 상기 노출된 제 1 금속패턴과 제 2 금속패턴의 노출부분을 식각하여, 상기 게이트 전극(104)의 상부에서, 상기 서로 이격된 소스 전극(128)과 드레인 전극(130)을 형성하고, 상기 소스 전극에 연결된 데이터 배선(상기 제 2 금속패턴이 식각되어 최종적으로 형성된 것임)(133)을 형성한다. 이때, 상기 소스 전극(128)은 "U"형상으로 구성하고, 상기 드레인 전극(130)은 상기 소스 전극(128)의 내부에 위치하여 소스 전극(128)과는 평행하게 이격된 형상으로 구성한다.
- <113> 이와 같은 구성은, 상기 소스 전극(128)과 드레인 전극(130) 사이의 이격 거리로 노출된 반도체 채널층의 거리를 짧게 하고, 너비를 늘리는 효과가 있으므로, 소자의 동작특성을 개선하는 장점이 있다.
- <114> 전술한 공정에 연속하여, 상기 데이터 배선(133)의 양측(U)과 소스 및 드레인 전극의 주변부(애싱을 통해 자연적으로 노출된 부분(W)) 및 이격 영역(E)으로 노출된 불순물 비정질 실리콘층(124b)을 건식식각 방식을 이용하여 제거하는 공정을 진행한다.
- <115> 결과적으로, 상기 데이터 배선(133)의 양측으로 노출된 반도체 라인(정확히는 순수 비정질 실리콘층)(127)은 데이터 배선(133)과 근접하게 구성된 공통전극 수직부(108b)의 일부 상부까지 연장 형성되므로 데이터 배선(133)

과 이에 근접한 공통전극 수직부(108b)와의 이격 영역(H)은 하부에서 조사되는 빛으로부터 차폐될 수 있다.

- <116> 물론, 비정질 실리콘의 두께와 투과특성을 고려하였을 경우, 완전한 차폐는 되지 않지만 상기 비정질 실리콘층에서 대부분의 빛을 흡수하기 때문에, 이격 영역 (H)사이로 나오는 빛은 관찰자에게 인식되지 않는다.
- <117> 도 7f와 도 8f는 제 3 마스크 공정까지의 결과를 도시한 단면도로서, 도시한 바와 같이 상기 소스 및 드레인 전극(128,130)과 데이터 배선(133)이 형성된 기판(100)의 전면에 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 투명한 유기절연물질 그룹 중 선택된 하나를 도포하여 보호막(134)을 형성한 후 이를 패터닝하여, 상기 드레인 전극(130)의 일부를 노출하는 드레인 콘택홀(136)을 형성한다.
- <118> 도 7g와 도 8g는 제 4 마스크 공정까지의 결과를 도시한 단면도로서, 상기 보호막(134)이 형성된 기판(100)의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명도전성금속물질 그룹 중 선택된 하나를 증착하고 패터닝하여, 상기 드레인 전극(130)과 접촉하면서 표시 영역(P)으로 연장된 제 1 수평부(138a)와, 제 1 수평부(138a)에서 수직하게 연장되어 상기 공통전극 수직부(108b)와 엇갈려 구성되는 수직부(138b)와, 수직부(138b)를 상기 스토리지 배선(106)의 상부에서 하나로 연결하는 수평부(138c)로 구성된 화소전극(138a,138b,138c)을 형성한다.
- <119> 이때, 상기 화소전극 수평부(138c)와 스토리지 배선(106)이 겹치는 부분은 보조 용량이 발생하는 보조 용량부(C_{st})이며, 스토리지 배선(106)을 스토리지 제 1 전극으로 하고 화소전극의 수평부(138c)를 스토리지 제 2 전극으로 한다.
- <120> 전술한 바와 같은 공정을 통해 본 발명의 제 1 실시예에 따른 횡전계 방식 액정표시장치를 제작할 수 있다.
- <121> 제 1 실시예는 상기 데이터 배선에서 공통전극으로 연장되는 반도체 라인을 형성할 때 하프톤 방식을 적용하였지만, 4 마스크 공정 중 상기 PR턴을 애싱하는 공정과 연속한 금속층의 식각공정에서 노출되는 현상을 이용하여 상기 반도체 라인연장 형성할 수도 있다.
- <122> 그리고, 상기 데이터 배선(133)과 공통전극 수직부(108b)사이의 이격 영역(H)을 차폐하는 또 다른 구성은 데이터 배선과 근접하게 구성된 공통전극 수직부를 데이터 배선의 하부로 연장하여 구성하는 것이다.
- <123> 이하, 제 2 실시예를 통해 설명한다.
- <124> -- 제 2 실시예 --
- <125> 본 발명의 제 2 실시예는 상기 데이터 배선과 이에 근접한 전극 사이의 이격영역을 빛으로부터 차폐하기 위해, 상기 데이터 배선과 근접한 전극을 데이터 배선의 하부로 연장하여 형성하는 것을 특징으로 한다.
- <126> 도 9는 본 발명의 제 2 실시예에 따른 횡전계 방식 액정표시장치용 어레이기판의 한 화소를 확대한 확대 평면도이다.
- <127> 도시한 바와 같이, 본 발명에 따른 횡전계방식 액정표시장치용 어레이기판(200)은 소정간격 이격 되어 평행하게 일 방향으로 구성된 다수의 게이트 배선(202)과 스토리지 배선(206)과, 상기 두 배선과 교차하여 표시영역(서브픽셀 P)을 정의하는 데이터 배선(233)을 구성한다.
- <128> 상기 게이트 배선(202)과 데이터 배선(233)의 교차지점에는 게이트 전극(204)과 반도체층(224)과 소스 전극(228) 및 드레인 전극(230)을 포함하는 박막트랜지스터(T)를 구성하며, 상기 소스 전극(228)은 상기 데이터 배선(233)과 연결하고, 상기 게이트 전극(204)은 상기 게이트 배선(202)과 연결한다.
- <129> 이때, 상기 반도체층(224)에서 상기 소스 전극(228)과 데이터 배선(233)의 하부로 연장한 반도체라인(227)을 형성한다.
- <130> 상기 반도체라인(227)은 데이터 배선(233)의 부착특성을 개선하기 위한 목적으로 형성한다.
- <131> 상기 표시 영역(P)의 상부에는 공통전극(208a,208b)과 상기 드레인 전극(228)과 콘택홀을 통해 연결되는 투명한 화소전극(238a,238b,238c)을 구성한다.
- <132> 이때, 상기 공통전극(208a,238b)은 상기 스토리지 배선(206)에서 수직하게 연장된 다수의 수직부(208b)와 이를 하나로 연결하는 수평부(208a)로 구성되고, 상기 화소전극(238a,238b,238c)은 상기 드레인 전극(230)과 접촉하면서 화소(P)로 연장된 제 1 수평부(238a)와, 제 1 수평부(238a)에서 수직하게 연장된 다수의 수직부(238b)와,

수직부(238b)를 상기 스토리지 배선(206)의 상부에서 하나로 연결하는 제 2 수평부(238c)로 구성한다.

- <133> 상기 수직부(238b)는 상기 공통전극의 수직부(208b)와 엇갈려 평행하게 이격하여 구성되도록 형성한다. 이때, 각 표시영역에 구성된 공통전극은 서로 근접하게 구성된 수직부(208b)의 상부(X)와 하부(Y)에서 서로 연결되도록 형성한다.
- <134> 상기 화소전극의 제 2 수평부(238c)는 하부의 스토리지 배선(206)과 겹쳐 구성되어 보조 용량부(C_{st})를 형성한다. 따라서, 보조 용량부(C_{st})의 스토리지 제 1 전극으로 스토리지 배선(206)의 일부가 사용되고, 스토리지 제 2 전극으로는 화소전극의 제 2 수평부(238c)가 사용된다.
- <135> 전술한 구성의 특징은 도시한 바와 같이, 상기 데이터 배선(233)과 양측에서 근접하게 구성된 공통전극의 수직부(208b)를 데이터 배선(233)의 일측과 타측의 하부로 연장하여 구성함으로써, 상기 데이터 배선(233)과 이와 근접한 공통전극 수직부(208b)사이에서 이격 영역이 존재하지 않도록 함으로써 원천적으로 백라이트의 빛이 차단되도록 하는 것이다.
- <136> 이하, 도 10을 참조하여 설명한다.
- <137> 도 10은 도 9의 IX-IX`를 따라 절단한 단면도이다.
- <138> 도시한 바와 같이, 기판(200)상에 앞서 설명한 공통전극의 수직부(208b)가 구성되고, 양측의 수직부(208b)사이 영역에 게이트 절연막(210)을 사이에 두고, 반도체 라인(227)과 데이터 배선(233)이 순차적으로 구성된다.
- <139> 이때, 데이터 배선(233)과 근접하게 구성된 공통 전극 수직부(208b)를 데이터 배선(233)의 양측 하부로 각각 연장하여, 데이터 배선(233)과 공통전극의 수직부(208b)사이에서 이격 영역이 존재하지 않도록 한다.
- <140> 이와 같이 하면, 상기 연장된 공통전극의 수직부(208b)에 의해 하부 백라이트에서 조사된 빛을 완전히 차폐할 수 있기 때문에 빛샘 불량이 발생하지 않는다.
- <141> 전술한 바와 같이 구성된 본 발명의 제 2 실시예에 따른 횡전계 방식 액정표시장치용 어레이기판의 제조공정을 이하, 도 11a 내지 도 11g와 도 12a 내지 도 12g를 참조하여 설명한다.
- <142> 도 11a 내지 도 11g와 도 12a 내지 도 12g는 도 9의 XI-XI`와 XII-XII`를 따라 절단하여, 본 발명의 제 2 실시예에 따른 공정 순서로 도시한 공정 단면도이다.
- <143> 도 11a와 도 12a는 제 1 마스크 공정으로 제작된 기판의 단면도로서 먼저, 기판(200)상에 데이터 배선 영역(DL)과 소스/드레인 영역(S/D)과, 표시 영역(P)과 게이트 배선 영역(미도시)과 스토리지 배선 영역(SL)을 정의한다.
- <144> 상기 다수의 영역이 정의된 기판(200)상에 알루미늄(A1), 알루미늄합금, 텅스텐(W), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 탄탈륨(Ta), 티타늄(Ti) 등을 포함하는 도전성 금속그룹 중 선택된 하나 또는 둘 이상의 금속을 증착하여, 일 방향으로 연장되고 서로 평행하게 이격된 다수의 게이트 배선(도 9의 202)과, 게이트 배선에서 돌출된 게이트 전극(204)과, 게이트 배선(도 9의 202)에 근접하게 구성되고 게이트 배선(202)과 소정간격 평행하게 이격된 스토리지 배선(206)과, 스토리지 배선(206)에서 연장된 공통전극(208a, 208b)을 형성한다.
- <145> 공통전극(208a, 208b)은 상기 스토리지 배선(206)에서 수직하게 연장된 다수의 수직부(208b)와, 수직부를 하나로 연결하는 수평부(208a)로 구성한다.
- <146> 상기 공통전극 수직부(208b)중 데이터 배선 영역(DL)에 근접한 것은 데이터 배선 영역(DL)으로 확장하여 구성한다.
- <147> 이때, 상기 표시 영역마다 구성된 공통전극은 도 9에 도시한 바와 같이, 서로 근접하게 구성된 수직부가 표시영역(P)의 상부(X)와 하부(Y)에서 각각 연결되도록 형성한다.
- <148> 상기 게이트 배선(도 9의 202)은 신호 지연이 없도록 저 저항 배선을 사용해야 하는데, 일반적으로 사용되는 저 저항 금속은 대표적으로 알루미늄(A1) 또는 알루미늄 합금(A1Nd)을 예로 들 수 있다.
- <149> 상기 알루미늄계 금속은 화학적으로 내식성이 약하고 물리적인 강도 또한 약하기 때문에 크롬(Cr) 또는 몰리브덴(Mo)을 상기 알루미늄계 금속의 상부에 증착한다.
- <150> 도 11b 내지 도 11e와 도 12b 내지 도 12e는 제 2 마스크 공정을 나타내는 단면도로서 제 2 마스크 공정은 앞서

설명한 하프톤 마스크(half tone MASK)를 이용한 공정이다.

- <151> 먼저, 도 11b와 도 12b에 도시한 바와 같이, 상기 게이트 배선(미도시)과 스토리지 배선(206)과 공통 전극(208a, 208b)이 형성된 기판(200)의 전면에 질화 실리콘(SiN_x)과 산화 실리콘(SiO₂)을 포함하는 무기절연물질 그룹 중 선택된 하나로 제 1 절연막인 게이트 절연막(210)과, 순수한 비정질 실리콘층(212)과 불순물이 포함된 비정질 실리콘층(214)을 형성하고 연속하여, 앞서 언급한 도전성 금속 그룹 중 선택된 하나를 증착하여 금속층(216)을 형성한다.
- <152> 다음으로, 상기 금속층(216)의 상부에 포토레지스트(photo-resist : 이하 "PR"이라 칭함)를 코팅하여 PR층(218)을 형성한다. 이때, PR층은 노광된 부분이 현상되는 포지티브형(positive type)을 예를 들어 설명한다.
- <153> 상기 PR층(218)이 형성된 기판(200)의 상부에는 투과부(A)와 반투과부(B)(반투과막 또는 다수의 슬릿을 구성함)와 차단부(C)로 구성된 마스크(M)를 위치시키고, 마스크(M)의 상부로부터 상기 PR층(218)에 빛을 조사한다.
- <154> 이때, 상기 차단부(C)는 소스 및 드레인 영역(S/D)과 데이터 배선 영역(DL)에 대응하여 위치하고, 상기 반투과부(B)는 이후 공정에서, 상기 소스 및 드레인 영역(S/D)에 소정간격 이격하여 구성될 소스 전극과 드레인 전극의 이격 영역(E)에 대응하여 위치하도록 한다.
- <155> 이때, 상기 데이터 배선 영역(DL)에 대응하는 마스크(M)의 차단부(C)의 하부에는 상기 공통전극 수직부(208b)의 일부가 연장하여 대응된 형상으로 구성된다.
- <156> 상기 빛에 의해 노광된 PR층(218)을 현상하면, 도 11c와 도 12c에 도시한 바와 같이, PR층은 높이가 서로 다른 패턴(220)으로 구성된다.
- <157> 즉, 상기 마스크(도 11b의 M)의 차단부에 대응된 부분(F1)은 초기 도포된 높이 그대로 남게 되고, 마스크의 반투과부에 대응된 부분(F2)은 상부로부터 상당 부분이 제거된 상태로 남게 되고, 상기 투과부에 대응된 부분은 모두 제거된다.
- <158> 상기 남겨진 포토 패턴(220) 사이로 노출된 금속층(216)을 식각하고 순차적으로 하부의 불순물 비정질 실리콘층(214)과 순수 비정질 실리콘층(212)을 제거하는 공정을 진행하여 도 11d와 도 12d에 도시한 바와 같이, 상기 게이트 전극 상부의 제 1 금속패턴(226)과 이에 연결되어 상기 데이터 배선 영역으로 연장된 제 2 금속패턴(232)과, 상기 제 1 금속패턴(226)하부의 반도체층(224)과, 반도체층(224)에서 상기 제 2 금속패턴(232)의 하부로 연장된 반도체 라인(227)을 형성한다.
- <159> 특히, 상기 반도체층(224)을 형성하는 순수 비정질 실리콘층을 액티브층(224a)이라 하고, 액티브층 상부의 불순물 비정질 실리콘층을 오믹 콘택층(224b)이라 한다.
- <160> 연속하여, 상기 PR층(220)에 대한 애싱 공정을 진행하게 되면 상기 PR 패턴(220)중 이격 영역에 대응하는 패턴(F2)은 완전히 제거되고, 나머지 부분(F1) 또한 일부가 깎이는 결과가 된다.
- <161> 이때, 제 1 금속패턴(226)과 제 2 금속패턴(232) 주변부(W)의 PR 패턴이 제거되어 제 1 및 제 2 금속패턴(226, 232)이 노출된다. 이는 4마스크 공정에서 자연적으로 나타나는 현상이다.
- <162> 도 11e와 도 12e에 도시한 바와 같이, 상기 노출된 부분(W)의 제 1 금속패턴과 제 2 금속패턴을 식각하여, 상기 게이트 전극(204)의 상부에서 소정간격 이격된 소스 전극(228)과 드레인 전극(230)을 형성하고, 상기 소스 전극(228)과 연결되면서 상기 게이트 배선(202)과 스토리지 배선(206)과 수직하게 교차하는 데이터 배선(233)을 형성한다. 이때, 앞서 제 1 실시예에서 설명한 바와 같이, 상기 소스 전극(228)은 "U"형상으로 구성하고, 상기 드레인 전극(230)은 상기 소스 전극(228)의 내부에 위치하여 소스 전극(228)과는 평행하게 이격된 형상으로 구성한다.
- <163> 전술한 공정에 연속하여, 상기 데이터 배선(233)의 주변부(W)와, 소스 및 드레인 전극의 주변부(W) 및 이격 영역(E)으로 노출된 불순물 비정질 실리콘층(204b)을 건식식각 방식을 이용하여 제거하는 공정을 진행한다.
- <164> 결과적으로, 상기 데이터 배선(233)을 중심으로 이와 근접하게 구성된 공통전극 수직부(208b)가 데이터 배선(233)의 하부로 연장된 형상이 된다.
- <165> 따라서, 상기 데이터 배선(233)과 이에 근접하게 구성된 양측의 공통전극(수직부)(208b)사이에 이격 영역이 존재하지 않기 때문에 종래와 같은 빛샘불량은 발생하지 않는다.
- <166> 도 11f와 도 12f는 제 3 마스크 공정까지의 결과를 도시한 단면도로서, 도시한 바와 같이 상기 소스 및 드레인

전극(228,230)과 데이터 배선(233)이 형성된 기판(200)의 전면에 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 투명한 유기절연물질 그룹 중 선택된 하나를 도포하여 보호막(234)을 형성한 후 이를 패터닝하여, 상기 드레인 전극(228)의 일부를 노출하는 드레인 콘택홀(236)을 형성한다.

- <167> 도 11g와 도 12g는 제 4 마스크 공정까지의 결과를 도시한 단면도로서, 상기 보호막(234)이 형성된 기판(200)의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명도전성금속물질 그룹 중 선택된 하나로 증착하고 패터닝하여, 상기 드레인 전극(230)과 접촉하면서 표시 영역(P)으로 연장된 제 1 수평부(238a)와, 제 1 수평부에서 수직하게 연장되어 상기 공통전극 수직부(208b)와 엇갈려 구성되는 수직부(238b)와, 수직부(238b)를 상기 스토리지 배선(206)의 상부에서 하나로 연결하는 제 2 수평부(238c)로 구성된 화소전극(238a,238b,238c)을 형성한다.
- <168> 이때, 상기 화소전극의 제 2 수평부(238c)와 스토리지 배선(206)이 겹치는 부분은 보조 용량부(C_{st})이며, 스토리지 배선(206)을 스토리지 제 1 전극으로 하고 화소전극의 제 2 수평부(238c)를 스토리지 제 2 전극으로 한다.
- <169> 전술한 바와 같은 제 1 실시예와 제 2 실시예의 공정 중, 상기 제 1 실시예의 공정(데이터 배선의 양측을 하프톤 마스크를 이용하여 패터닝하여, 노출된 반도체 라인의 연장부를 공통전극의 수직부의 상부로 효과적으로 연장할 수 있는 방법)은 지그재그형 공통전극과 화소전극으로 구성된 횡전계 방식 액정표시장치용 어레이기판에 적용될 수 있다.
- <170> 이하, 제 3 실시예를 통해 설명한다.
- <171> -- 제 3 실시예 --
- <172> 본 발명의 제 3 실시예의 공정은 전술한 제 1 실시예의 공정을 지그재그 형상의 공통전극 및 화소전극을 가지는 횡전계 방식 액정표시장치용 어레이기판에 적용하는 것을 특징으로 한다.
- <173> 이하, 도 13은 상기 제 1 실시예의 공정을 적용하여 제작한 횡전계 방식 액정표시장치용 어레이기판의 한 화소를 개략적으로 도시한 평면도이다.
- <174> 도시한 바와 같이, 기판(300)상에 일 방향으로 게이트 배선(302)과 이에 이격된 스토리지 배선(304)을 형성하고, 상기 두 배선(302,304)과 수직하게 교차하는 데이터 배선(306)을 형성한다.
- <175> 상기 게이트 배선(302)과 데이터 배선(306)이 교차하는 지점에는, 게이트 배선(302)과 연결된 게이트 전극(308)과, 게이트 전극(308)의 일측 상부에 위치하고 상기 데이터 배선(306)과 연결된 소스 전극(310)과 이와는 소정간격 이격되고 게이트 전극(308)의 타측에 걸쳐 위치한 드레인 전극(312)과, 상기 게이트 전극(308)과 소스 및 드레인 전극(310,312)사이에서 구성된 반도체층(314)을 포함하는 박막트랜지스터(T)를 형성한다.
- <176> 상기 데이터 배선(306)과 스토리지 배선(304)및 게이트 배선(302)이 교차하여 정의되는 표시영역(P)에는, 상기 스토리지 배선(304)에서 연장된 공통전극(320)과, 상기 드레인 전극(312)과 콘택홀(318)을 통해 접촉되는 투명한 화소전극(322a,322b,322c)을 구성한다.
- <177> 이때, 상기 공통전극(320)은 스토리지 배선(304)에서 표시영역(P)으로 지그재그 형상으로 수직하게 구성되며, 상기 화소전극(322a,322b,322c)은 상기 드레인 전극(312)과 접촉하며 표시영역(P)으로 연장되는 제 1 수평부(322a)와, 상기 제 1 수평부(322a)에서 수직하게 지그재그 형상으로 연장되어 상기 공통전극(320)과 엇갈려 구성된 수직부(322b)와, 상기 스토리지 배선(304)의 상부에서 상기 수직부를 하나로 연결하는 제 2 수평부(322c)로 구성한다.
- <178> 상기 데이터 배선(306)의 하부에는 상기 반도체층(314)에서 연장된 반도체 라인(316)이 구성된다.
- <179> 이때, 상기 반도체라인(316)은 상기 제 1 실시예의 공정 즉, 하프톤 마스크를 적용하여 패터닝되기 때문에 도시한 바와 같이 얼마든지 연장되어 구성될 수 있다.
- <180> 따라서, 도시한 바와 같이 데이터 배선(306)의 양측으로 연장된 반도체 라인(316)은 데이터 배선(306)과 근접한 공통전극(320)의 하부로 연장되어, 공통전극(320)과 데이터 배선(306)의 이격 공간이 상기 연장된 반도체 라인(316)에 의해 차폐되기 때문에 하부의 백라이트로부터 조사되는 빛을 차단할수 있도록 한다.
- <181> 또한, 전술한 구성은 액정(미도시)이 모두 해당하는 한 방향으로 배향되지 않고 다양한 방향으로 배향될 수 있도록 하여, 한 화소에서 배향되는 액정의 배향 방향을 다양하게 할 수 있는 멀티 도메인(multi domain)을 유도

할 수 있다.

- <182> 전술한 바와 같이 서로 대칭성을 가지는 멀티도메인 구조로 인해 액정배향 방향에 따른 복굴절을 서로 상쇄시켜 컬러 시프트 현상을 최소화하고, 계조반전이 없는 영역을 넓힐 수 있는 장점을 가진다.
- <183> 전술한 바와 같은 공정을 통해 본 발명의 제 1 내지 제 3 실시예를 통한 횡전계 방식 액정표시장치용 어레이기판을 제작할 수 있다.

발명의 효과

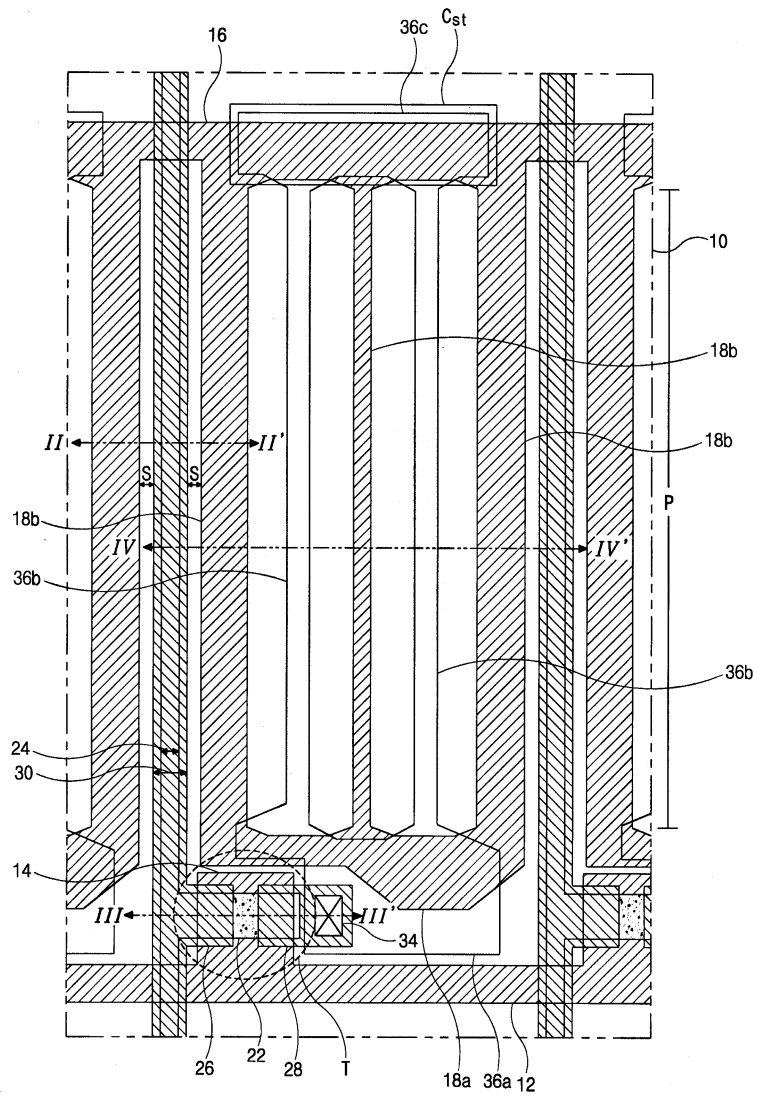
- <184> 전술한 바와 같은 본 발명에 따른 횡전계 방식 액정표시장치용 어레이기판은 데이터 배선과 이와 근접하게 구성된 전극 사이의 이격 영역이 차폐됨으로서, 이 부분에서 빛샘 불량이 발생하지 않아 고화질의 액정표시장치를 제작할 수 있는 제 1 효과와, 5마스크 공정을 4 마스크 공정으로 단축함으로써 공정 시간과 함께 재료비를 절약할 수 있기 때문에 제품의 수율을 향상하는 제 2 효과가 있다.
- <185> 또한, 상기 화소전극을 투명한 도전 물질로 형성함으로써 개구율을 개선할 수 있는 제 3 효과가 있다.

도면의 간단한 설명

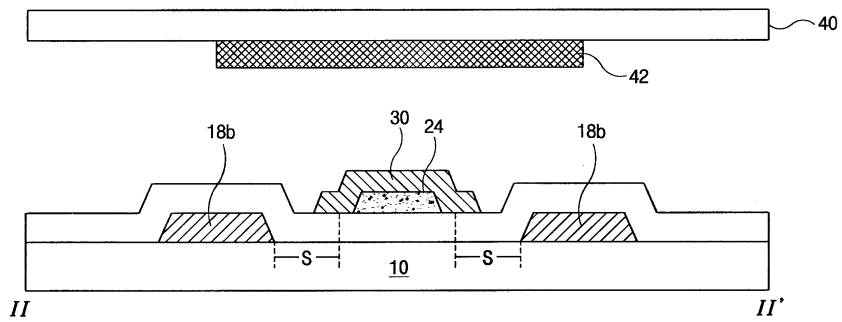
- <1> 도 1은 종래의 횡전계방식 액정표시장치용 어레이기판의 한 화소를 개략적으로 도시한 평면도이고,
- <2> 도 2는 도 1의 II-II`를 따라 절단한 단면도이고,
- <3> 도 3a 내지 도 3e는 도 2의 III-III`을 따라 절단하여, 종래의 공정 순서에 따라 도시한 공정 단면도이고,
- <4> 도 4a 내지 도 4e는 도 1의 IV-IV`를 따라 절단하여, 종래의 공정 순서에 따라 도시한 공정 단면도이고,
- <5> 도 5는 본 발명의 제 1 실시예에 따른 횡전계 방식 액정표시장치용 어레이기판의 한 화소를 개략적으로 도시한 평면도이고,
- <6> 도 6은 도 5의 VI-VI`을 따라 절단한 단면도이고,
- <7> 도 7a 내지 도 7g와 도 8a 내지 도 8g는 각각 도 5의 VII-VII`, VIII-VIII`을 따라 절단하여, 본 발명의 제 1 실시예에 따른 공정 순서에 따라 도시한 공정 단면도이고,
- <8> 도 9는 본 발명의 제 2 실시예에 따른 횡전계 방식 액정표시장치용 어레이기판의 한 화소를 개략적으로 도시한 단면도이고,
- <9> 도 10은 도 9의 IX-IX`를 따라 절단한 단면도이고,
- <10> 도 11a 내지 도 11g와 도 12a와 도 12g는 각각 도 9의 XI-XI`와 XII-XII`를 따라 절단하여, 본 발명의 제 2 실시예에 따른 공정 순서에 따라 도시한 공정 단면도이고,
- <11> 도 13은 본 발명의 제 3 실시예에 따른 횡전계 방식 액정표시장치용 어레이기판의 한 화소를 개략적으로 도시한 확대 평면도이다.
- <12> <도면의 주요 부분에 대한 부호의 설명>
- <13> 100 : 기판 102 : 게이트 배선
- <14> 104 : 게이트 전극 106 : 스토리지 배선
- <15> 108a, 108b : 공통 전극 124 : 반도체층
- <16> 127 : 반도체라인 133 : 데이터 배선
- <17> 138 : 화소전극

도면

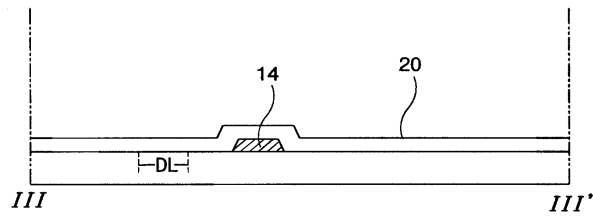
도면1



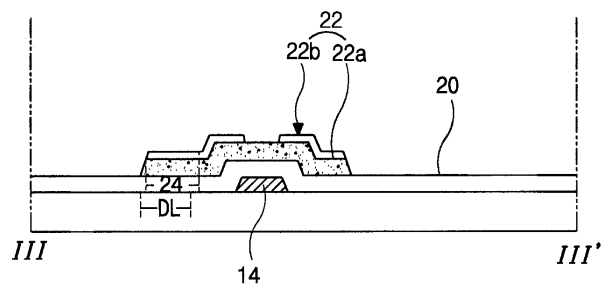
도면2



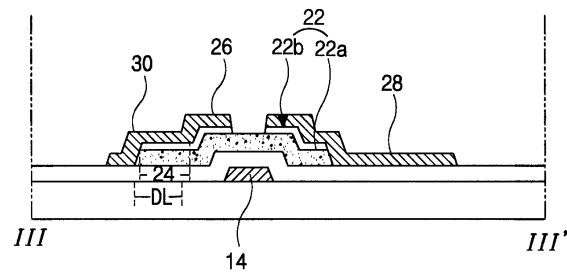
도면3a



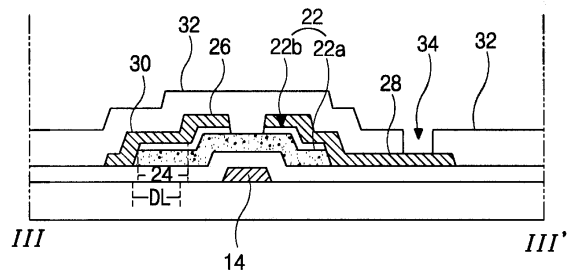
도면3b



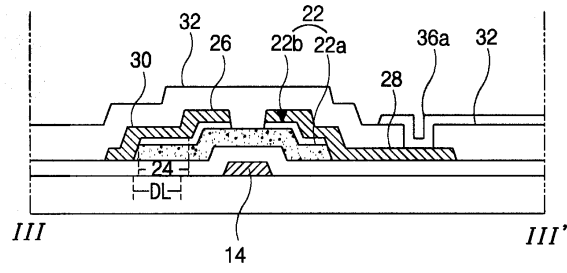
도면3c



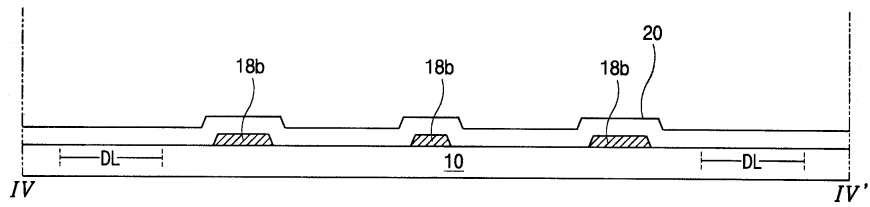
도면3d



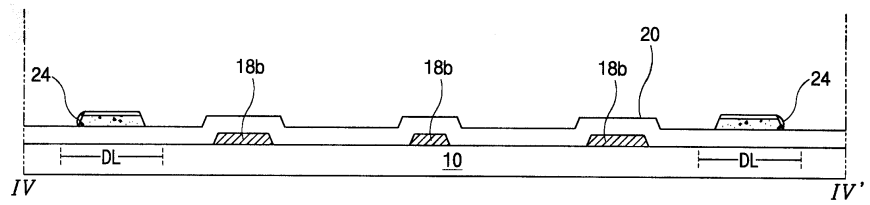
도면3e



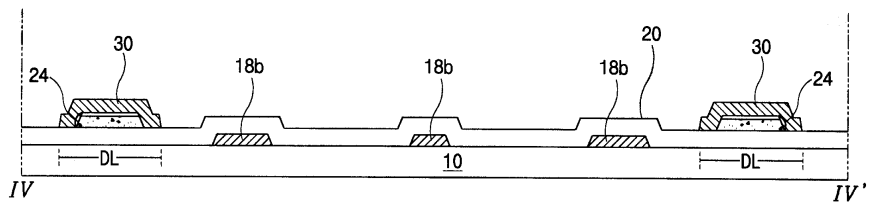
도면4a



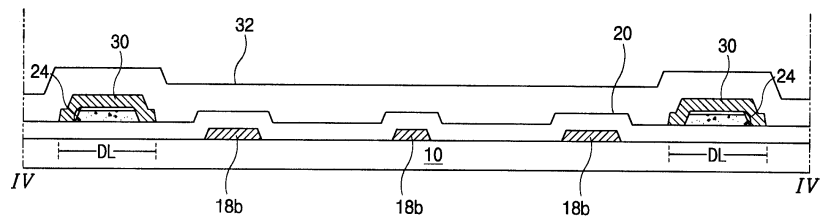
도면4b



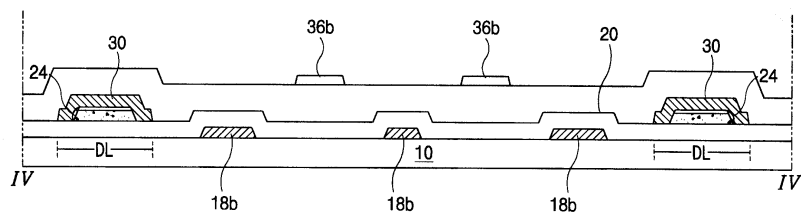
도면4c



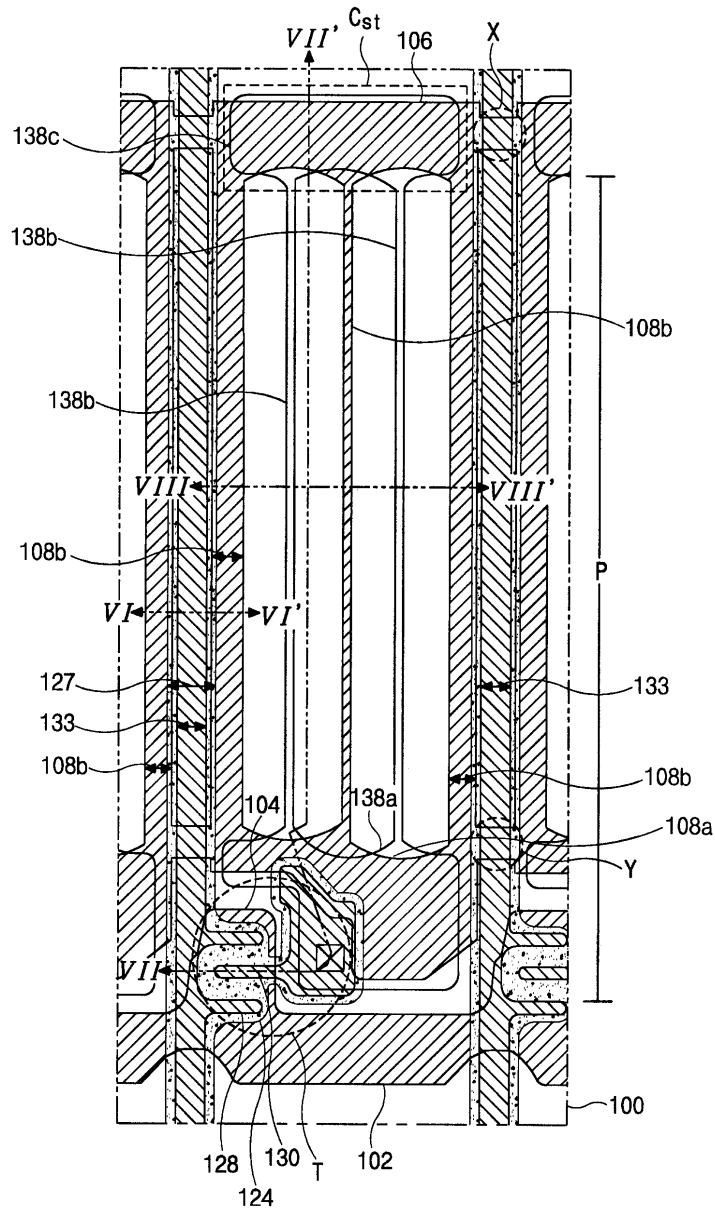
도면4d



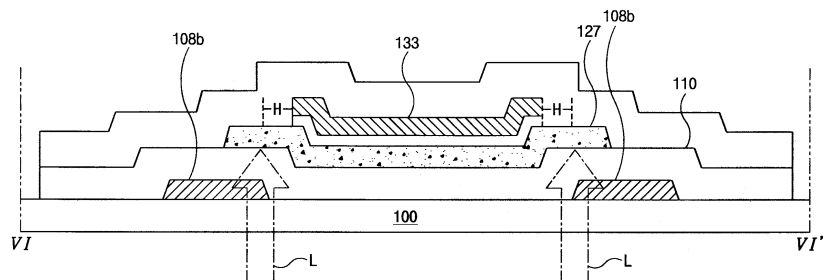
도면4e



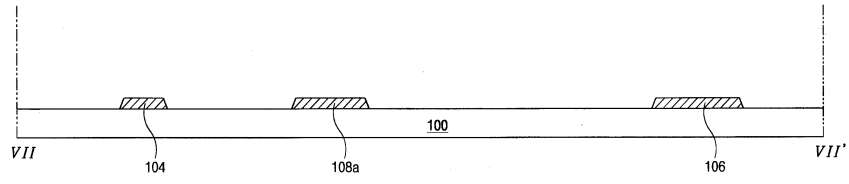
도면5



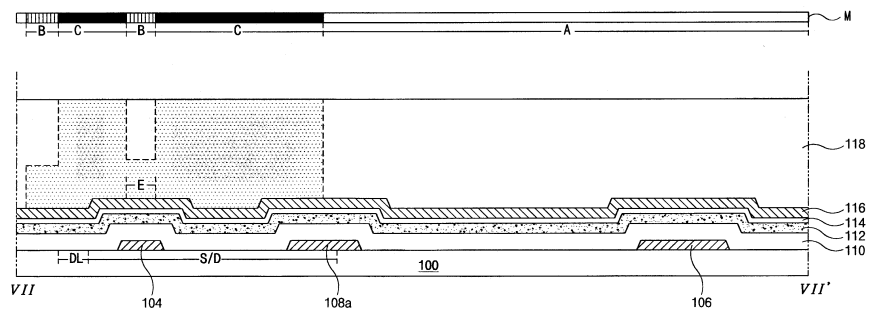
도면6



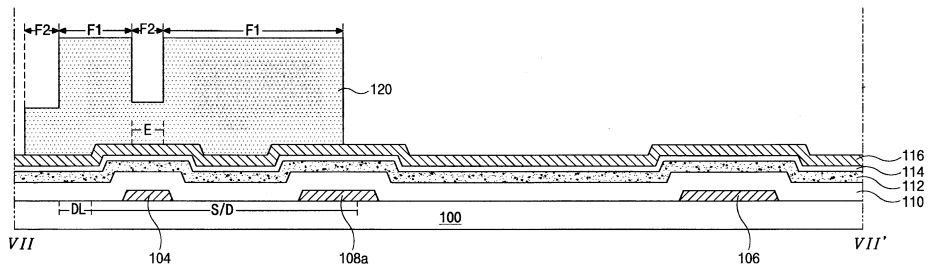
도면7a



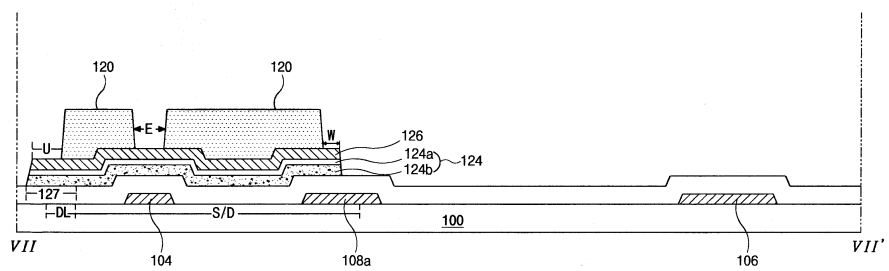
도면7b



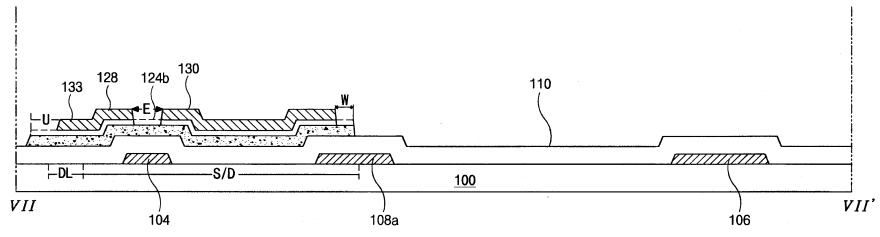
도면7c



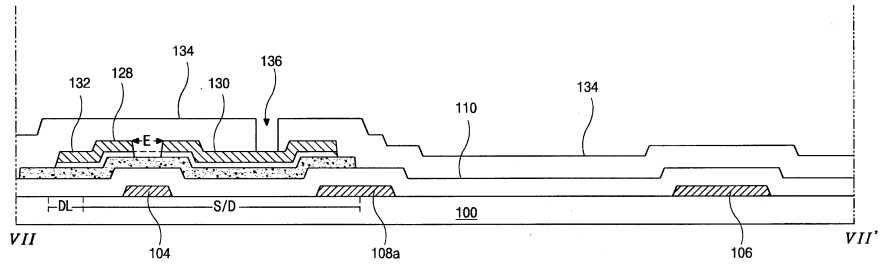
도면7d



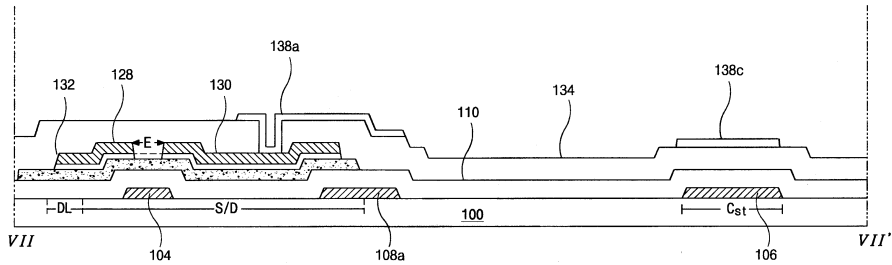
도면7e



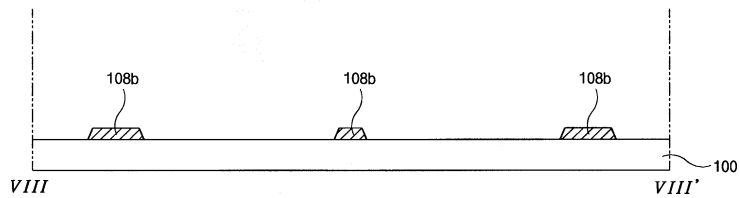
도면7f



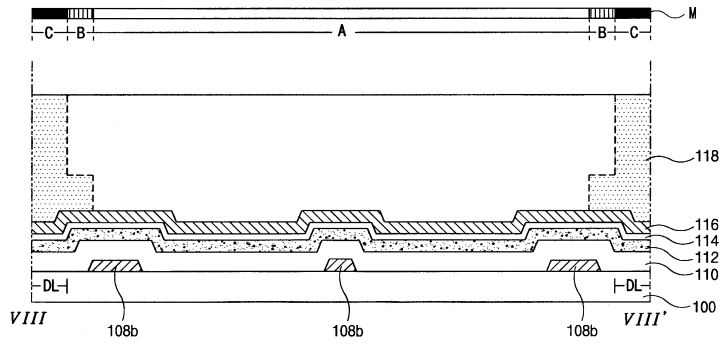
도면7g



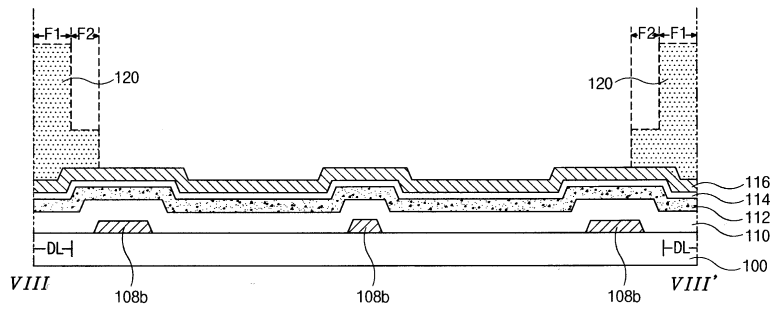
도면8a



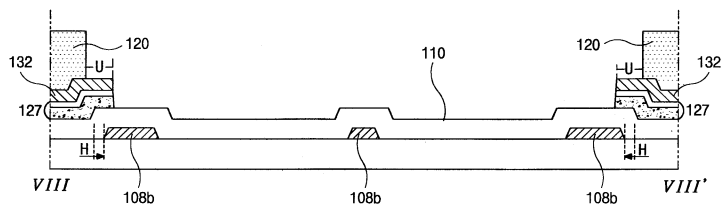
도면8b



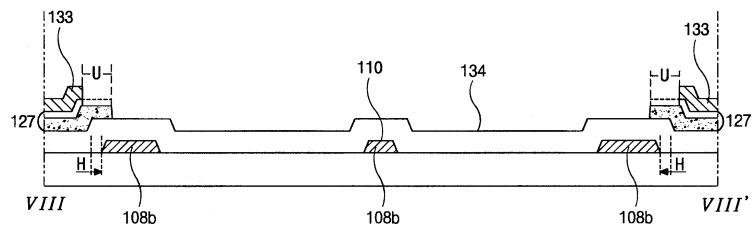
도면8c



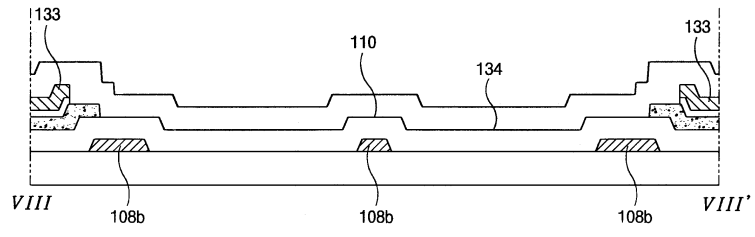
도면8d



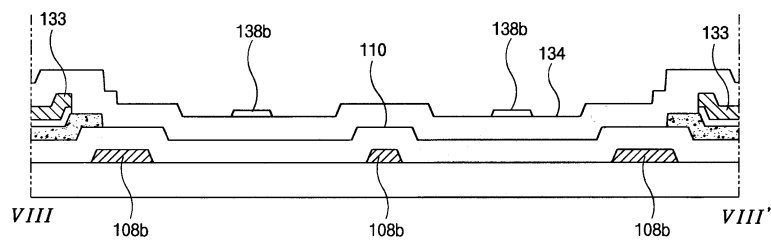
도면8e



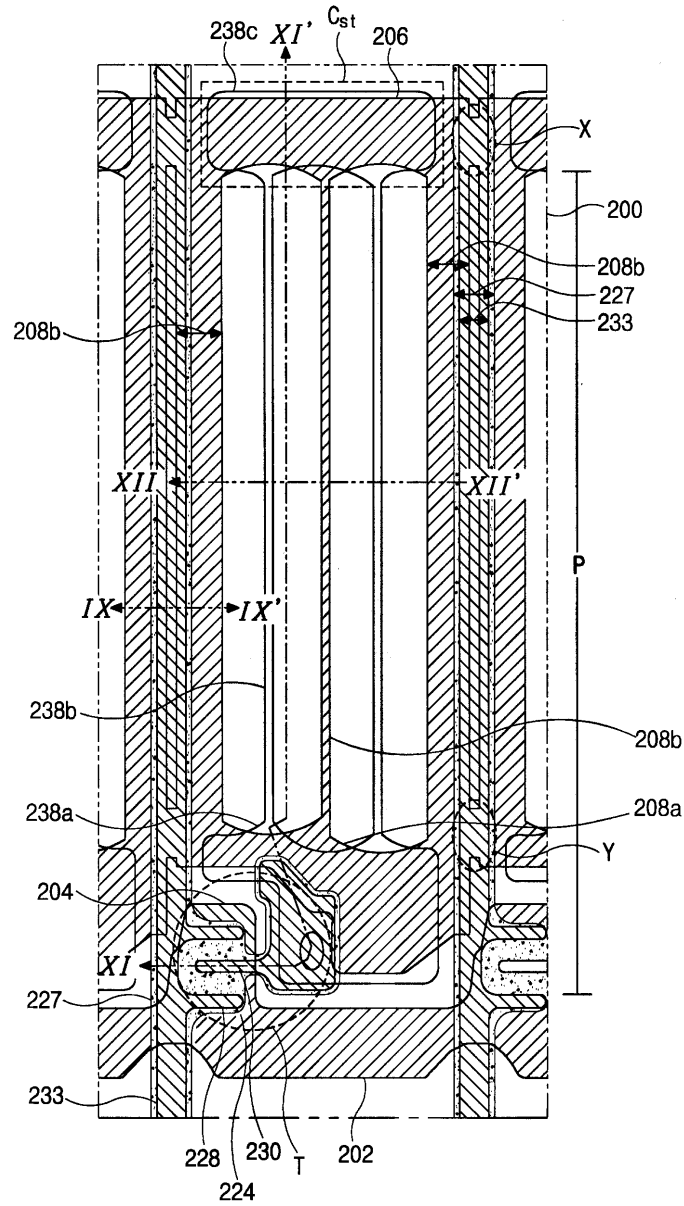
도면8f



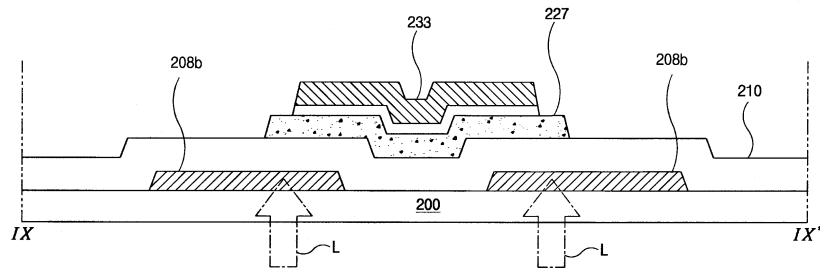
도면8g



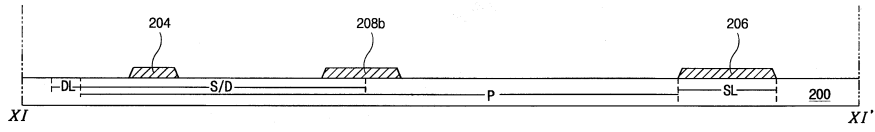
도면9



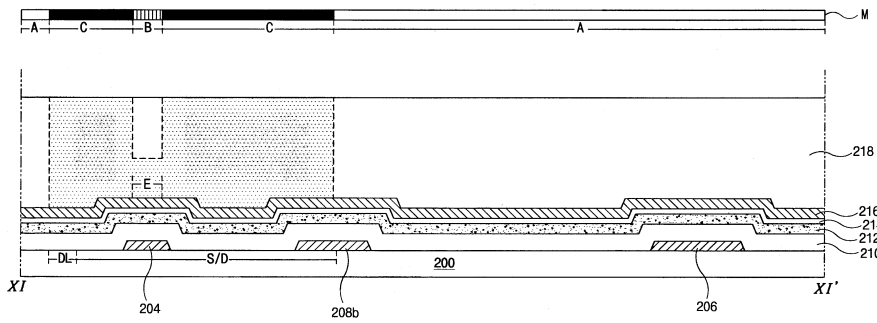
도면10



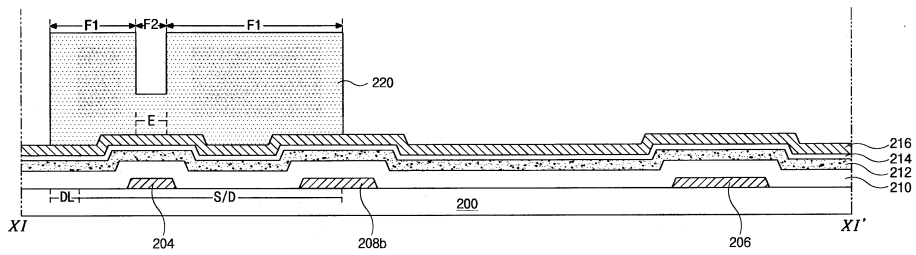
도면11a



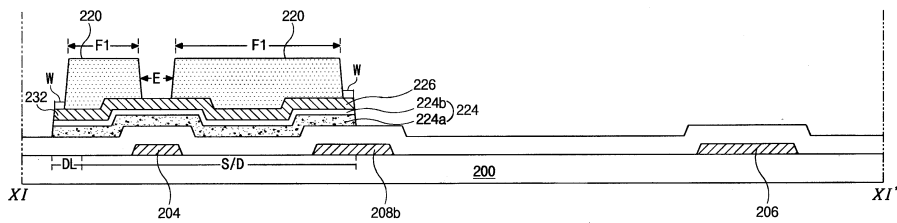
도면11b



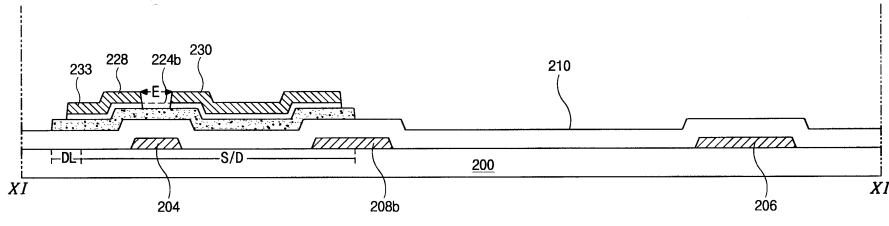
도면11c



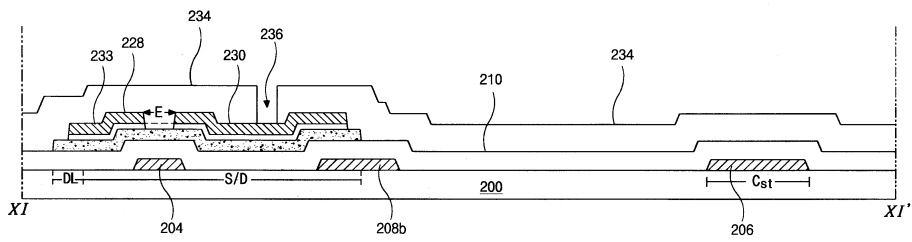
도면11d



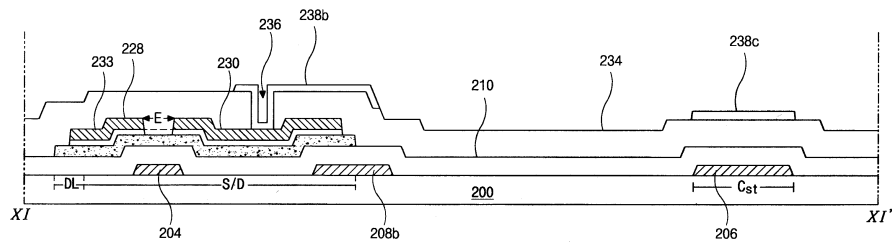
도면11e



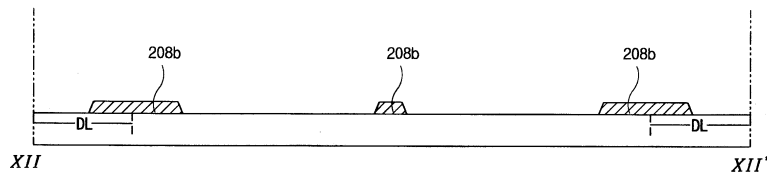
도면11f



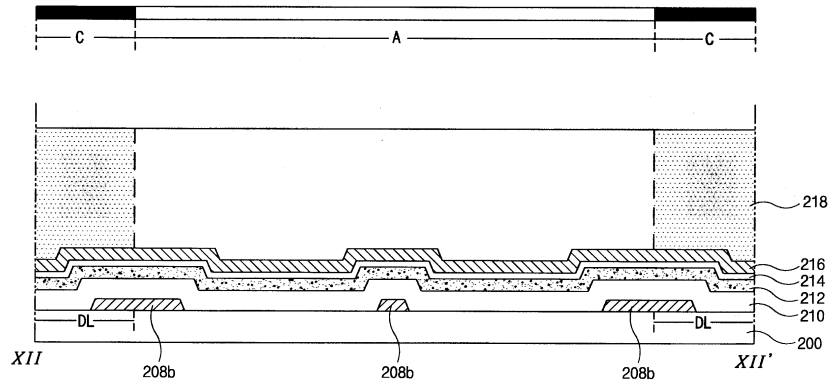
도면11g



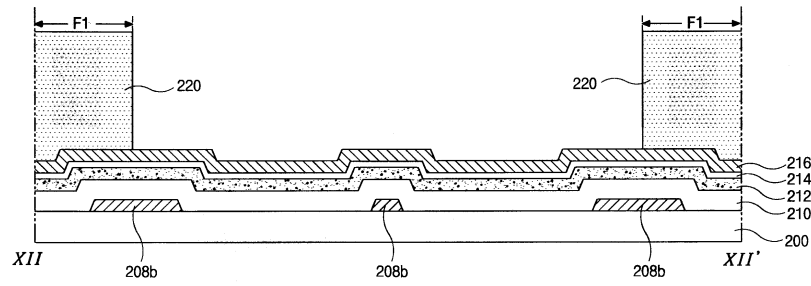
도면12a



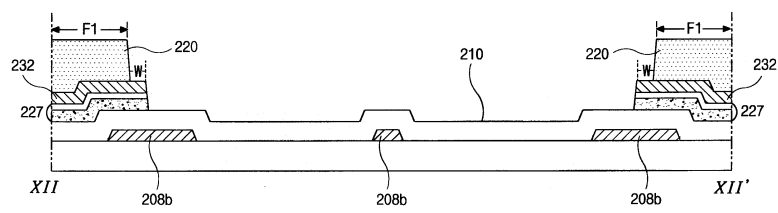
도면12b



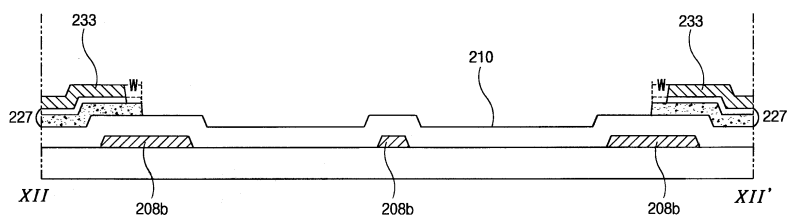
도면12c



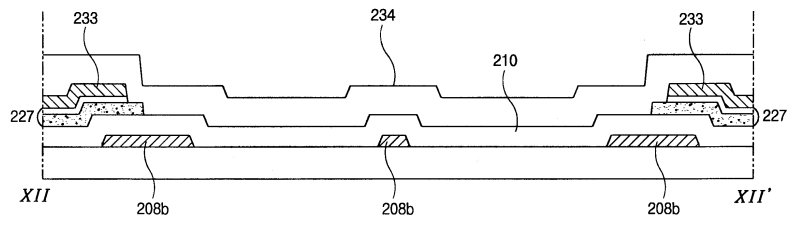
도면12d



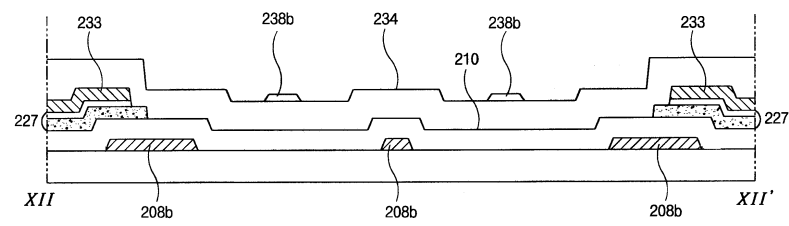
도면12e



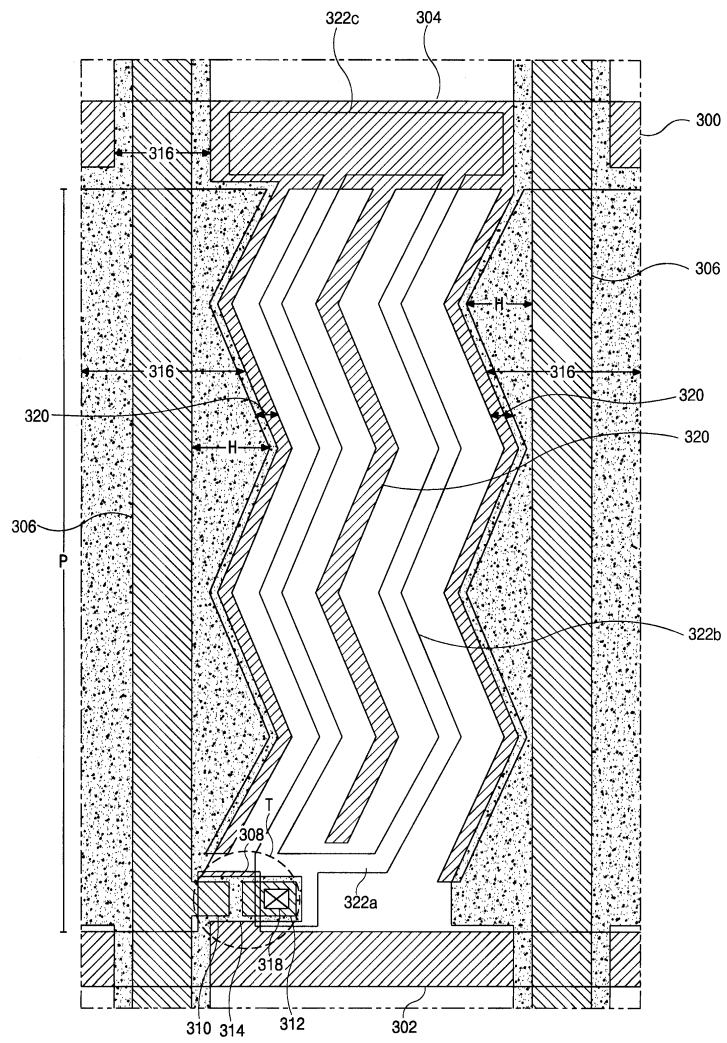
도면12f



도면12g



도면13



专利名称(译)	用于横向电场型液晶显示装置的阵列基板及其制造方法		
公开(公告)号	KR100892087B1	公开(公告)日	2009-04-06
申请号	KR1020020065803	申请日	2002-10-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KANG JINGYU		
发明人	KANG,JINGYU		
IPC分类号	G02F1/1343 G02F1/1362		
CPC分类号	G02F1/134363 H01L27/1214 H01L27/1288 G02F1/136286 G02F1/136209 H01L27/1255		
其他公开文献	KR1020040037343A		
外部链接	Espacenet		

摘要(译)

一种用于面内切换 (IPS) 模式液晶显示 (LCD) 器件的阵列基板, 包括沿基板上的第一方向形成的栅极线, 沿基板上的第一方向形成并与栅极线间隔开的存储线, 在基板上沿第二方向形成的数据线, 数据线通过与栅极线交叉限定像素区域, 在栅极线与数据线交叉处限定薄膜晶体管, 薄膜晶体管具有栅极电极, 半导体层, 源电极和漏电极, 连接到漏电极的像素电极, 具有连接到存储线的多个垂直部分的公共电极, 公共电极具有与存储线相邻平行的最外垂直部分数据线与像素电极间隔开, 数据线下方的半导体线从半导体层延伸到数据线的两侧以覆盖部分与数据线相邻的公共电极。

