



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년03월10일
(11) 등록번호 10-0812321
(24) 등록일자 2008년03월04일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0045970

(22) 출원일자 2006년05월23일

심사청구일자 2006년05월23일

(65) 공개번호 10-2006-0121713

(43) 공개일자 2006년11월29일

(30) 우선권주장

JP-P-2005-00148993 2005년05월23일 일본(JP)

(56) 선행기술조사문헌

KR1020010095037 A

(뒷면에 계속)

(73) 특허권자

미쓰비시덴키 가부시키가이샤

일본국 도쿄도 지요다쿠 마루노우치 2쵸메 7반 3
고

(72) 발명자

나카호리 타다키

일본국 구마모토 기쿠치군 니시고시마찌 미요시
997 멜코디스플레이 테크놀로지 가부시키가이샤
나이

유치다 유우스케

일본국 구마모토 기쿠치군 니시고시마찌 미요시
997 멜코디스플레이 테크놀로지 가부시키가이샤
나이

(뒷면에 계속)

(74) 대리인

권태복, 이화익

전체 청구항 수 : 총 7 항

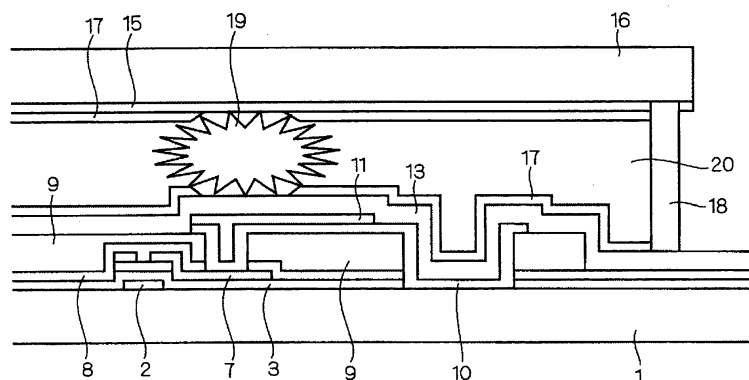
심사관 : 임동재

(54) 액정표시장치

(57) 요약

본 발명은, 비정질의 도전성 막을 소정의 에천트를 사용하여, 소정의 형상으로 패터닝하고, 이 패터닝 된 도전성 막을 덮도록 보호 절연막을 형성했다고 해도, 이 보호 절연막의 이상 성장을 방지할 수 있는, 액정표시장치를 제공하는 것을 목적으로 한다. 본 발명의 일례에 따른 액정표시장치는, 윗면에 박막트랜지스터가 형성되어 있는 유리 기판(1)과, 윗면에 대향전극이 형성되어 있는 칼라필터 기판(16)과의 사이에, 액정이 끼워져 있다. 그리고, 화소전극(10)은, 박막트랜지스터의 드레인 전극과 접속되어 있다. 또한 화소전극(10)은, 투명성을 가지는 보호 절연막(13)에 의해 덮여지고 있다. 이 화소전극(10)은, In과 Zn을 포함하는 산화 화합물을 가지고 있다.

대표도 - 도3



(72) 발명자

나가야마 켄스케

일본국 구마모토 기쿠치군 니시고시마쵸 미요시
997 멜코디스플레이 테크놀로지 가부시키가이샤 나
이

이시가 노부아키

일본국 구마모토 기쿠치군 니시고시마쵸 미요시
997 멜코디스플레이 테크놀로지 가부시키가이샤 나
이

(56) 선행기술조사문헌

KR1020030028077 A

JP12330134 A

KR1020020036674 A

KR1020000020841 A

특허청구의 범위

청구항 1

박막트랜지스터가 형성되어 있는 제 1의 기판과,
 상기 제1 기판과 대향하고 있고, 대향전극이 형성되어 있는 제2 기판과,
 상기 제1 기판과 상기 제2 기판 사이에 끼워진 액정과,
 상기 박막트랜지스터의 드레인 전극과 접속되어 있는 화소전극과,
 상기 화소전극을 덮는, 투명성을 가지는 보호 절연막을 구비하고 있고,
 상기 화소전극은 In, Zn 및 Sn을 포함하는 산화 화합물을 가지고 있으며,
 상기 산화 화합물의 총량에 대한 Zn산화물의 중량 퍼센트는 1wt% 이상 10wt% 이하인 것을 특징으로 하는 액정표시장치.

청구항 2

박막트랜지스터가 형성되어 있는 제 1의 기판과,
 상기 제1 기판과 대향하고 있고, 투명성을 가지는 대향전극이 형성되어 있는 제2 기판과,
 상기 제1 기판과 상기 제2 기판 사이에 끼워진 액정과,
 상기 박막트랜지스터의 드레인 전극과 접속되어 있는 화소전극과,
 상기 화소전극과 접속하고 있는 반사 전극과,
 상기 반사 전극 위에 형성되어 있는 투명 도전막과,
 상기 투명 도전막을 덮는, 투명성을 가지는 보호 절연막을 구비하고 있고,
 상기 투명 도전막은 In, Zn 및 Sn을 포함하는 산화 화합물을 가지고 있으며,
 상기 산화 화합물의 총량에 대한 Zn산화물의 중량 퍼센트는 1wt% 이상 10wt% 이하인 것을 특징으로 하는 액정표시장치.

청구항 3

삭제

청구항 4

삭제

청구항 5

제 1항 또는 제 2항에 있어서,
 상기 보호 절연막은,
 질화 규소막인 것을 특징으로 하는 액정표시장치.

청구항 6

제 1항 또는 제 2항에 있어서,
 상기 보호 절연막은,
 산화 규소막인 것을 특징으로 하는 액정표시장치.

청구항 7

제 1항 또는 제 2항에 있어서,

상기 보호 절연막은,

산화 규소막과 질화 규소막이 이 순서로 적층된 적층막인 것을 특징으로 하는 액정표시장치.

청구항 8

제 1항 또는 제 2항에 있어서,

상기 화소전극 또는 상기 투명 도전막은,

비정질성인 것을 특징으로 하는 액정표시장치.

청구항 9

제 1항 또는 제 2항에 있어서,

상기 박막트랜지스터를 구성하는, 게이트 전극, 소스 전극 및 드레인 전극 중, 적어도 하나에는 Al 혹은 Mo를 포함하고 있는 것을 특징으로 하는 액정표시장치.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <33> [기술분야]
- <34> 본 발명은 액정표시장치에 관한 발명이며, 특히, 전극간의 단락 방지를 위해 형성된 보호 절연막을 가지는 액정표시장치에 관한 것이다.
- <35> [배경기술]
- <36> 액정표시장치는, 유리 등의 투명절연성 기판 위에 박막트랜지스터를 매트릭스 모양으로 배치한 액티브 매트릭스 형의 어레이 기판과, 대향전극을 구비한 칼라필터 기판 사이에, 액정을 봉입함으로써 구성되어 있다.
- <37> 이 액정표시장치는, 플랫 패널 디스플레이로서 상품화되고 있으며, 노트북이나 그 밖의 OA모니터 등에 적용되고 있다.
- <38> 상기 구성의 액정표시장치에 있어서, 어레이 기판 위에 형성되는 화소전극(반사형 표시장치 또는 반투과형 표시장치의 경우에는, Al합금 등에 의해 형성되는 반사 전극을 포함한다)과, 상기 대향전극과의 사이에 소정의 전압을 인가한다. 그러면, 액정분자의 배향상태가 적절히 변화되어, 소정의 화상표시를 행할 수 있다 (특허문헌 1 참조).
- <39> 상기 구성의 액정표시장치의 제조 방법에 있어서, 화소전극을 패터닝할 경우에는, 이 화소전극의 재료에 따라 에천트는 다르다. 예를 들면 화소전극이 비정질의 투명 도전막인 경우에는, 수산 등의 약산을 사용할 필요가 있다. 또한 화소전극이 결정성의 투명 도전막인 경우에는, 왕수 등의 강산을 사용할 필요가 있다.
- <40> 그러나, 화소전극의 하층에는, 절연막을 통해 게이트 전극이나 소스 전극이 형성되어 있다. 이러한 구성에 있어서, 저저항화를 위해, 게이트 전극이나 소스 전극의 적어도 한쪽이, Al합금이나 Mo합금을 포함하는 재료로 형성되어 있을 경우에는, 화소전극의 패터닝 시에 에천트로서 왕수 등의 강산을 사용하면, 표시 불량을 야기한다.
- <41> 즉, 화소전극의 하층에 있는 절연막의 핀홀을 통해 왕수 등의 강산이, 보다 하층에 형성되어 있는 상기 재료로 구성되어 있는 게이트 전극 등에 도달한다. 그리고, 이 강산에 의한 부식이 이 게이트 전극 등에서 발생한다. 이와 같이 하여 게이트 전극 등이 부식되면, 표시 불량이 야기된다.
- <42> 이상의 것으로부터, 게이트 전극 등의 재료에 Al합금 등을 채용할 경우에는, 화소전극의 패터닝 시에 사용하는 에천트는, 수산 등의 약산을 사용할 필요가 있게 된다. 따라서, 화소전극으로서는, 수산 등의 약산성의 에천트에 의한 에칭이 가능한, 비정질의 ITO막(투명 도전막)을 채용할 필요가 있다(특허문헌 2참조).
- <43> 또한, 금속 등의 도전성의 이물질이 칼라필터 기판과 어레이 기판 사이에 끼여진 경우에는, 대향전극과 화소전

극이 단락하여, 점결함 등의 표시 불량이 발생할 우려가 있다. 이 표시 불량을 방지하기 위해서, 화소전극(반사형 표시장치 또는 반투과형 표시장치의 경우에는, 반사 전극도 포함한다)을 덮도록, 보호 절연막이 형성되어 있다.

<44> [특허문헌 1] 일본국 공개특허공보 특개2003-50389호

<45> [특허문헌 2] 일본국 공개특허공보 특개2003-51496호

<46> [발명의 개시]

발명이 이루고자 하는 기술적 과제

<47> 상기한 바와 같이, 게이트 전극 등의 재료에 AI합금 등을 채용할 경우에는, 화소전극으로서, 적어도 에칭 처리를 행하는 시점에서는, 비정질의 ITO막을 채용할 필요가 있다.

<48> 그러나, 비정질의 ITO를 수산 등으로 에칭함으로써 화소전극을 패터닝 하면, ITO막을 제거한 영역에 있어서, 이 비정질의 ITO안에 미소하게 혼입하는 결정 ITO가 잔사물로서 발생한다. 그리고, 이 화소전극을 덮도록 보호 절연막을 성막시키면, ITO막을 제거한 영역에서, 입자 모양의 ITO잔사물의 영향으로 보호 절연막이 이상 성장하는 것이 발견되었다.

<49> 또한 비정질의 ITO막으로 이루어지는 화소전극 위에, 보호 절연막으로서 질화 규소막을 형성했다고 하자. 그러면, 이 질화 규소막의 형성 과정에 있어서, 암모니아나 수소 가스가 플라즈마 분해하여, 수소 래디칼이 생성된다. 이 수소 래디칼의 영향에 의해, ITO막 상(화소 전극 상)에 있어서 In의 환원 반응이 일어나, 화소전극 상에 있어서 질화 규소막이 이상 성장하는 것을 알았다.

<50> 이와 같이, ITO를 제거한 영역 뿐만아니라, ITO 위에 있어서도 보호 절연막의 이상 성장이 발생하여, 결과적으로, 이 액정표시장치의 표시 불량을 야기하고 있다.

<51> 그래서, 본 발명은, 비정질의 도전성 막을 소정의 에천트를 사용하여, 소정의 형상으로 패터닝하고, 이 패터닝된 도전성 막을 덮도록 보호 절연막을 형성했다고 해도, 이 보호 절연막의 이상 성장을 방지할 수 있는 액정표시장치를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

<52> 상기의 목적을 달성하기 위하여, 본 발명에 따른 청구항 1에 기재된 액정표시장치는, 박막트랜지스터가 형성되어 있다, 제 1의 기판과, 상기 제1 기판과 대향하고 있고, 대향전극이 형성되어 있는 제2 기판과, 상기 제1 기판과 상기 제2 기판 사이에 끼워진 액정과, 상기 박막트랜지스터의 드레인 전극과 접속되어 있는 화소전극과, 상기 화소전극을 덮는, 투명성을 가지는 보호 절연막을 구비하고 있으며, 상기 화소전극은, In과 Zn을 포함하는 산화 화합물을 가지고 있다.

<53> 또한 본 발명에 따른 청구항 2에 기재된 액정표시장치는, 박막트랜지스터가 형성되어 있는, 제 1의 기판과, 상기 제1 기판과 대향하고 있고, 투명성을 가지는 대향전극이 형성되어 있는 제2 기판과, 상기 제1 기판과 상기 제2 기판 사이에 끼워진 액정과, 상기 박막트랜지스터의 드레인 전극과 접속되어 있는 화소전극과, 상기 화소전극과 접속하고 있는 반사 전극과, 상기 반사 전극 위에 형성되어 있는 투명 도전막과, 상기 투명 도전막을 덮는, 투명성을 가지는 보호 절연막을 구비하고 있으며, 상기 투명 도전막은, In과 Zn을 포함하는 산화 화합물을 가지고 있다.

<54> [발명을 실시하기 위한 최선의 형태]

<55> 이하, 본 발명을 그 실시예를 나타내는 도면에 의거하여 구체적으로 설명한다.

<56> <실시예 1>

<57> 도 1은, 본 실시예에 따른 액정표시장치가 구비하는, 액티브 매트릭스형 어레이 기판의 일부를 나타내는 투시평면도이다.

<58> 본 실시예에 따른 액정표시장치는, 게이트 전극(2)과 소스 전극(6)이 매트릭스 모양으로는 배치되어 있다(도 1에서는, 매트릭스 형상의 일부만이 도시되고 있다). 그리고, 이 게이트 전극(2)과 소스 전극(6)과의 교차점 근방에 있어서, 박막트랜지스터가 형성되어 있다. 또한, 박막트랜지스터는, 게이트 전극(2), 소스 전극(6) 및 드레인 전극(7)을 구비하고 있다. 또한 게이트 전극(2)과 소스 전극(6)으로 구획되어 있는 각 영역에 있어서, 각

화소가 형성되어 있다.

- <59> 또한 본 실시예에 따른 액정표시장치는, 하나의 화소에 있어서, 반사부와 투과부를 가지는 반투과형 액정표시장치이다. 여기에서, 반사부에는, 화소전극(10)과 반사 전극(11)이 형성되고 있고, 투과부에는, 화소전극(10)만이 형성되어 있다.
- <60> 도 1은, 이 구성을 가지는 액티브 매트릭스형 어레이 기관의 일부를 나타내는 투시 평면도이다. 또한 도 1의 A-A단면도를 도 2에 나타낸다. 여기에서, 어레이 기관은, 도 2에 나타나 있는 바와 같이 유리 기관(1) 위에 각 부재가 형성되어 있는 기관이다.
- <61> 도 2에 나타나 있는 바와 같이 유리 등의 투명절연성 기관인 유리 기관(1) 위에는, 게이트 전극(2)이 형성되어 있다. 또한 게이트 전극(2)을 덮도록, 게이트 절연막(3)이 형성되어 있다. 또한 게이트 절연막(3)의 소정의 개소 위에는, 반도체막층(4)과 오믹 콘택층(5)이 이 순서로 적층된, 적층구조가 소정의 패턴으로 형성되어 있다. 또한 오믹 콘택층(5)과 게이트 절연막(3) 위에는, 소정의 형상으로 패터닝 된 소스 전극(6) 및 드레인 전극(7)이 형성되어 있다.
- <62> 또한, 게이트 전극(2), 소스 전극(6) 및 드레인 전극(7)등으로 박막트랜지스터가 형성되어 있다.
- <63> 여기에서, 저저항화를 위해, 게이트 전극(2), 소스 전극(6) 및 드레인 전극(7) 중 하나 또는 몇 개에는, Mo 또는 Al이 포함되어 있다. 이와 같이, 게이트 전극(2) 등에는, Mo 혹은 Al이 포함되어 있다. 따라서, 전술한 바와 같이, 그 후의 화소전극(10)의 에칭 처리 시에 사용하는 에천트는, 수산 등의 약산일 필요가 있다. 또한 이와 같이, 약산성의 에천트에 의해, 화소전극(10)의 에칭 처리가 실시되므로, 적어도 에칭 처리전의 화소전극(10)은, 이 약산성의 에천트로 에칭할 수 있도록 비정질성일 필요가 있다.
- <64> 또한 소스 전극(6)과 드레인 전극(7)이 형성되어 있는 영역 이외의 오믹 콘택층(5)은 제거되어 있다.
- <65> 또한 도 2에 나타나 있는 바와 같이 소스 전극(6) 및 드레인 전극(7) 위에는, 무기질 재료로 이루어지는 절화 규소막 등의 패시베이션막(8)이 형성되어 있다. 패시베이션막(8) 위에는, 아크릴 등의 수지로 이루어지고 표면 내에 요철형상을 가지는 유기막(9)이 형성되어 있다. 또한, 유기막(9) 위에는 화소전극(10)이, 이 화소전극(10) 위에는 반사 전극(11)이, 각각 소정의 패턴으로 형성되어 있다.
- <66> 여기에서, 화소전극(10)은, 적어도 에칭하는 단계에 있어서는, 비정질의 투명성을 가지는 도전막이다. 또한 화소전극(10)은, 패시베이션막(8) 및 유기막(9)에 형성된 콘택홀(12)을 통해, 하층의 드레인 전극(7)과 접속되어 있다. 또한, 게이트 절연막(3), 패시베이션막(8) 및 유기막(9)이 제거됨으로써, 유리 기관(1)의 표면의 일부가 노출(이 노출 부분을, 투과부(14)라고 칭한다)하고 있고, 이 투과부(14)를 피복하도록, 연장하여 화소전극(10)이 형성되어 있다.
- <67> 또한 반사 전극(11)은, 하층반사 전극(11a)과 상층반사 전극(11b)의 2층 구조를 가지고 있다. 또한, 반사 전극(11)은, 상기 투과부(14)에는 형성되지 않고 있다. 또한 표면이 요철형상인 유기막(9) 위에 반사 전극(11)이 형성되어 있기 때문에, 이 반사 전극(11)도 요철형상을 가진다. 이 반사 전극(11)의 요철형상에 의해, 빛의 난 반사를 일으킬 수 있다.
- <68> 또한 도 2에 나타나 있는 바와 같이 유기막(9), 화소전극(10) 및 반사 전극(11)을 덮도록, 투명성을 가지는 보호 절연막(13)이 형성되어 있다.
- <69> 또한 도 3의 단면도가 나타내는 바와 같이, 액정표시장치는, 상기 구성을 구비하는 어레이 기관과 대향하여, 칼라필터 기관(16)이 설치되어 있다.
- <70> 여기에서, 칼라필터 기관(16)에는, 대향전극(15)이 형성되고 있고, 이 대향전극(15)을 덮도록, 배향막(17)이 도포되어 있다. 또한 어레이 기관(유리 기관(1))의 최상층에도, 배향막(17)이 도포되어 있다. 또한 칼라필터 기관(16)과 어레이 기관은, 쉘제(18)를 통해 붙여지고 있으며, 양쪽 기관 사이에는, 도전성 이물질(19)을 포함한 액정(20)이 봉입되어 있다.
- <71> 도 3에 나타나 있는 바와 같이 화소전극(10) (또는, 반사 전극(11))과 대향전극(15) 사이에, 도전성 이물질(19)이 존재하고 있다. 여기에서, 이 도전성 이물질(19)이 배향막(17)을 뚫는다고 해도, 보호 절연막(13)에 의해 화소전극(10) (또는, 반사 전극(11))은 덮어져 있으므로, 화소전극(10) (또는, 반사 전극(11))과 대향전극(15) 사이에서, 단락이 생길 일은 없다. 따라서, 이 단락에 기인하는 표시 불량을 방지한 액정표시장치를 제공할 수 있다.

- <72> 상기 구성의 본 실시예에 따른 액정표시장치에 있어서, 화소전극(10)은, 이하의 성분을 포함하고 있다.
- <73> 즉, 본 실시예에 있어서, 화소전극(10)은, In, Zn을 포함하는 산화 화합물(IZO) 혹은, In, Zn 및 Sn을 포함하는 산화 화합물로 이루어지는, 투명 도전막이다. 또한, 화소전극(10)은, 상기한 바와 같이 에칭 처리 단계에서는, 적어도 비정질성이다.
- <74> 화소전극(10)에 Zn산화물을 함유시킴으로써, 비교적 결정화 온도가 높아진다. 따라서, 비정질막 안에 결정 입자(결정성 산화물)가 존재하지 않는 상태에서, 이 화소전극(10)의 패터닝을 실시할 수 있다. 따라서, 수산계의 에천트에 의해, 이 화소전극(10)을 에칭(패터닝)했다고 해도, 이 에칭후에, 에칭 잔사가 발생하는 것을 방지할 수 있다.
- <75> 이와 같이, 에칭 잔사가 존재하지 않기 때문에, 비정질의 투명성 도전막으로 이루어지는 화소전극(10)위뿐만 아니라, 이 투명성 도전막을 패터닝에 의해 제거하여 유기막(9)이 노출하고 있는 장소에 있어서도, 상기와 같은 입자 모양의 ITO잔사물에 기인한 보호 절연막(13)의 이상 성장을 방지할 수 있다.
- <76> 여기에서, 화소전극(10)이, In, Zn 및 Sn을 포함하는 산화 화합물로 이루어지는, 비정질의 투명 도전막일 경우에는, 예를 들면 In₂O₃, SnO₂ 및 ZnO의 총량에 대한, ZnO의 중량 퍼센트비를 제한하는 것이 바람직하다.
- <77> 왜냐하면, 총량에 대한 ZnO의 중량 퍼센트비가 너무 낮으면, 상기 에칭후의 잔사의 발생은 방지할 수 있지만, 결정화 온도가 저하하는 경향에 있기 때문에(즉, 결정화가 용이하게 행해지는 경향이 되어), 화소전극(10)의 가공성이 곤란하게 된다. 한편, 총량에 대한 ZnO의 중량 퍼센트비가 너무 높으면, 화소전극(10)의 저항값이 증대하기 때문이다.
- <78> 발명자는, In₂O₃, SnO₂ 및 ZnO의 총량에 대한 ZnO의 중량 퍼센트비가, 1wt% 이상, 10wt% 이하의 범위이면, 에칭 잔사의 발생을 방지할 수 있음과 동시에, 상기 각 문제(즉, 결정화 온도나 저항값의 문제)가 생기지 않는 것을 확인했다.
- <79> 예를 들면 중량 퍼센트비에 있어서, In₂O₃ : SnO₂ : ZnO= 89 : 5 : 6인 경우에는, 화소전극(10)의 결정화 온도는, 약 250℃ 정도가 된다. 화소전극(10)의 결정화 온도가 이 정도까지 높아지면, 에칭 잔사의 발생도 방지할 수 있고, 이 화소전극(10)의 가공성의 문제도 생기지 않는다.
- <80> 또한, 보호 절연막(13)의 성막 혹은 트랜지스터의 성능 안정화를 위한 열처리를 가하는 공정을 추가하기 위해서, 에칭하는 단계에서는 비정질이었던 투명 도전막이, 어레이 공정의 최종단계에서 결정화하는 경우도 생각할 수 있다.
- <81> 다음에 본 실시예에 따른 액정표시장치의 제조 방법에 관하여 설명한다.
- <82> 우선, 도 4에 나타나 있는 바와 같이 유리 기판(1) 위에, 소정의 패턴 게이트 전극(2)을 형성한다. 구체적으로는, 아래와 같다.
- <83> 예를 들면 공지한 Ar가스를 사용한 스퍼터링법에 의해, 유리 기판(1) 위에, Mo 또는 Mo합금 등의 고용점 금속을 200~300nm의 두께로 성막한다. 여기에서, 스퍼터링 조건은, 아래와 같다. 스퍼터링 방식은 DC마그네트 스퍼터링 방식, 성막 파워 밀도는 3W/cm², Ar가스 유량은 100sccm, 성막시 압력은 0.2~0.4Pa, 성막시 온도는 100~180℃이다.
- <84> 이 고용점 금속의 성막후, 제1회째의 포토리소그래피 공정에 의해, 이 고용점 금속 위에 레지스트 패턴을 형성한다. 그리고, 이 레지스트 패턴을 마스크로하여, 공지한 질산 + 아세트산 + 인산 + 순수를 포함하는 에천트를 이용하여, 고용점 금속을 에칭한다. 그 후 상기 레지스트 패턴을 제거함으로써, 유리 기판 위에 소정의 패턴의 게이트 전극(2)이 형성된다(도 4).
- <85> 다음에 도 4에 나타나 있는 바와 같이 게이트 전극(2)을 덮도록, 유리 기판(1) 위에, 게이트 절연막(3), 반도체층(4) 및 오믹 콘택층(5)을 이 순서로 성막한다. 그 후에 반도체층(4) 및 오믹 콘택층(5)으로 이루어지는 반도체적층을, 소정의 형상으로 패터닝 한다. 이 공정까지의 액정표시장치의 평면도를 도 5에 나타낸다. 또한, 도 5의 A-A단면도가 도 4이다. 여기에서, 도 5에 있어서, 게이트 전극(2)은 하층에 존재하므로 점선으로 나타내고 있다.
- <86> 게이트 절연막(3), 반도체층(4) 및 오믹 콘택층(5)의 구체적인 형성 방법은, 아래와 같다.
- <87> 예를 들면 화학기상성장법(CVD법)을 사용하여, 게이트 전극(2)을 덮도록, 유리 기판(1) 위에, 게이트 절연막

(3)이 되는 질화 실리콘을 300~500nm의 두께로 성막한다. 그리고, 마찬가지로 CVD법을 사용하여, 이 게이트 절연막(3) 위에, 반도체층(4)이 되는 아모퍼스 실리콘을 100~200nm의 두께로 성막한다. 또한, 마찬가지로 CVD법을 사용하여, 이 반도체층(4) 위에, 오믹 콘택층(5)이 되는, 인을 불순물로 하여 도프된 n+형 아모퍼스 실리콘을, 30~50nm의 두께로 성막한다.

<88> 그 후에 제2회계의 포토리소그래피 공정에 의해, 이 오믹 콘택층(5) 위에 레지스트 패턴을 형성한다. 그리고, 이 레지스트 패턴을 마스크로 하여, 불소계 가스를 사용한 공지한 드라이에칭에 의해, 반도체층(4) 및 오믹 콘택층(5)을 에칭한다. 그 후에 상기 레지스트 패턴을 제거함으로써, 유리 기판(1) 위에, 게이트 절연막(3) 및 소정의 패턴의 반도체적층(반도체층(4) 및 오믹 콘택층(5))이 형성된다 (도 4, 5).

<89> 게이트 절연막(3), 반도체층(4) 및 오믹 콘택층(5)형성후, 다음에 게이트 절연막(3) 및 오믹 콘택층(5) 위에, 소정의 패턴 소스 전극(6) 및 소정의 패턴의 드레인 전극(7)을 형성한다. 이 공정까지의 액정표시장치의 평면도를 도 6에 나타낸다. 또한 도 6의 A-A단면도를 도 7에 나타낸다. 여기에서, 도 6에 있어서, 게이트 전극(2) 및 반도체적층(반도체층(4) 및 오믹 콘택층(5))은, 점선으로 나타내고 있다.

<90> 소스 전극(6) 및 드레인 전극(7)의 구체적인 형성 방법은, 아래와 같다.

<91> 예를 들면 스퍼터링법을 사용하여, 게이트 절연막(3) 및 오믹 콘택층(5) 위에, 소스 전극(6) 및 드레인 전극(7)이 되는 금속박막(Mo막 등)을, 200~400nm의 두께로 성막한다.

<92> 그 후 제 3회계의 포토리소그래피 공정에 의해, 이 금속박막 위에 레지스트 패턴을 형성한다. 그리고 이 레지스트 패턴을 마스크로 하여, 공지한 질산 + 아세트산 + 인산 + 순수를 포함하는 에천트를 사용하여, 이 금속박막을 에칭한다. 이 에칭 처리에 의해, 게이트 절연막(3) 및 오믹 콘택층(5) 위에, 소정의 패턴 소스 전극(6) 및 소정의 패턴 드레인 전극(7)이 형성된다 (도 6, 7).

<93> 그 후에 이 레지스트 패턴, 소스 전극(6) 및 드레인 전극(7)을 마스크로 하여, 불소계 가스를 사용한 공지한 드라이 에칭에 의해, 노출하고 있는 오믹 콘택층(5)을 에칭한다. 그 후에 상기 레지스트 패턴을 제거한다 (도 6, 7).

<94> 다음에 유리 기판(1) 위에 형성되어 있는, 게이트 절연막(3), 소스 전극(6), 및 드레인 전극(7)등을 덮도록, 패시베이션막(8)을 형성한다. 그리고, 이 패시베이션막(8) 위에, 감광성을 가지는 유기막(9)을 형성한다. 그 후에 이 유기막(9)의 소정의 표면 위에 요철 형상(9a)을 설치한다. 또한, 유기막(9) 및 패시베이션막(8)을 관통하는, 소정의 개구 면적을 가지는 콘택홀(12) 및 유기막(9), 패시베이션막(8) 및 게이트 절연막(3)을 관통하는, 소정의 개구 면적을 가지는 투과부(14)가 되는 개구부를 형성한다.

<95> 이 공정까지의 액정표시장치의 평면도를 도 8에 나타낸다. 또한 도 8의 A-A단면도를 도 9에 나타낸다. 또한, 도 8에 있어서, 하층에 존재하는 각 부분2, 6, 7등은, 점선으로 나타내고 있다.

<96> 여기에서, 도 9에서 알 수 있는 것과 같이, 콘택홀(12)의 저부로부터는, 드레인 전극(7)이 노출하고 있다. 또한 투과부(14)가 되는 개구부의 저부로부터는, 유리 기판(1)이 노출하고 있다. 또한, 요철 형상(9a)은, 유기막(9)의 표면으로부터 소정의 깊이에 이르러(요컨대, 유기막(9)을 관통하고 있지 않다) 형성되고 있다.

<97> 패시베이션막(8) 및 요철 형상(9a), 콘택홀(12)과 투과부(14)가 되는 개구부를 가지는 유기막(9)의 구체적인 형성 방법은, 아래와 같다.

<98> 예를 들면, CVD법을 사용하여, 유리 기판(1)에 형성되어 있는 각 부분3, 6, 7등을 덮도록, 패시베이션막(8)이 되는 질화 규소막을 100nm정도의 두께로 성막한다. 그 후에 스핀 코트법을 사용하여, 패시베이션막(8) 위에, 유기막(9)이 되는 JSR제 PC335를 3.2 ~ 3.9 μ m의 두께로 도포한다.

<99> 그 후에 제4회계의 포토리소그래피 공정에 의해, 유기막(9)에 대하여, 요철 형상(9a) 및 개구부를 형성한다. 여기에서, 개구부는, 콘택홀(12) 및 투과부(14)에 상당하는 위치의, 유기막(9)에 형성된다. 또한 개구부의 저부로부터는, 패시베이션막(8)이 노출하고 있다.

<100> 그리고, 이 유기막(9)을 마스크로 하여, 불소계 가스를 사용한 공지한 드라이 에칭에 의해, 패시베이션막(8) 및 게이트 절연막(3)을 에칭한다. 이 에칭 처리를 행함으로써, 저부로부터 드레인 전극(7)이 노출하는 콘택홀(12) 및 저부로부터 유리 기판(1)이 노출하는 투과부(14)가 되는 개구부가 형성된다(도 8, 9).

<101> 콘택홀(12)등이 형성된 유기막(9)의 형성후, 다음에 유기막(9) 위에, 소정의 패턴의 화소전극(10)을 형성한다. 여기에서, 화소전극(10)은, 투명성을 가지는 도전막이다. 이 화소전극(10)형성후의 공정단면도를, 도 10에 나

타낸다.

- <102> 도 10에 나타나 있는 바와 같이 화소전극(10)은, 콘택홀(12)의 측면 및 저면에도 형성되어 있다. 따라서, 화소전극(10)은, 드레인 전극(7)과 전기적으로 접속된다. 또한 화소전극(10)은, 투과부(14)가 되는 개구부의 측면 및 저면에도 형성되어 있다.
- <103> 화소전극(10)의 구체적인 형성 방법은, 아래와 같다.
- <104> 예를 들면, 스퍼터링 법을 사용하여, 유기막(9)(콘택홀(12) 및 투과부(14)가 되는 개구부를 포함한다)을 덮도록, 화소전극(10)이 되는 투명성을 가지는 도전막을, 100nm정도의 두께로 성막한다. 여기에서, 투명성을 가지는 도전막은, 산화인듐(In₂O₃), 산화아연(ZnO) 및 산화 주석(SnO₂)을 포함하는, 비정질 상태의 ITZO막이다.
- <105> 이 투명성을 가지는 도전막 형성후, 제5회계의 포토리소그래피 공정에 의해, 이 투명성을 가지는 도전막 위에 레지스트 패턴을 형성한다. 그리고, 이 레지스트 패턴을 마스크로 하여, 공지한 수산계의 에천트를 사용하고, 투명성을 가지는 도전막을 에칭한다. 이 에칭 처리에 의해, 유기막(9)(콘택홀(12) 및 투과부(14)가 되는 개구부를 포함한다) 위에, 소정의 패턴의 화소전극(10)이 형성된다 (도 10).
- <106> 여기에서, 화소전극(10)에 Zn산화물을 함유시킴으로써, 비교적 결정화 온도가 높아진다. 따라서, 비정질막 안에 결정 입자(결정성 산화물)가 존재하지 않게 된다(요컨대, 화소전극(10)의 비정질성이 향상한다). 따라서, 수산계의 에천트에 의해, 이 화소전극(10)을 에칭(패터닝)했다고 해도, 이 에칭후에, 에칭 잔사가 발생하는 것을 방지할 수 있다.
- <107> 또한, 화소전극(10)의 하층에 존재하는, 게이트 절연막(3)이나 패시베이션막(8)에 핀홀 등의 막결함이 있었다고 해도, 수산 등의 약산을 에천트로서 사용하므로, Al합금이나 Mo합금을 포함하는 재료로 형성되어 있는 게이트전극(2)이나 소스 전극(6)등에, 손상을 주는 일은 없다.
- <108> 또한, 이 화소전극(10)의 형성후, 상기 레지스트 패턴을 제거하고, 다음에 적어도 화소전극(10)을 덮도록, 금속박막을 성막한다. 여기에서, 금속박막은, 가시광선 영역에서 광반사 특성을 가지고 있다. 그리고, 이 금속박막을 소정의 형상으로 패터닝함으로써, 반사 전극(11)을 형성한다.
- <109> 이 공정까지의 액정표시장치의 평면도는, 도 1로부터 파악할 수 있다. 또한 상기 공정까지의, 마찬가지로 A-A단면을 도 11에 나타낸다. 또한, 도 1에 있어서도, 하층에 존재하는 각 부분2, 6, 7, 10등은, 점선으로 나타내고 있다.
- <110> 여기에서, 도 1, 11에서 알 수 있는 바와 같이, 투과부(14)가 되는 개구부의 저부로부터는, 화소전극(10)이 노출하고 있다. 또한 유기막(9)의 요철 형상(9a)에 따라, 이 요철 형상(9a) 위의 반사 전극(11)은, 요철형상(11d)을 가지고 있다. 또한 반사 전극(11)은, 하층반사 전극(11a)과 상층반사 전극(11b)으로 이루어지는, 2층 구조를 가지고 있다.
- <111> 반사 전극(11)의 구체적인 형성 방법은, 아래와 같다.
- <112> 예를 들면 스퍼터링법을 사용하여, 화소전극(10)을 덮도록, 하층반사 전극(11a)이 되는 금속박막을, 100nm정도의 두께로 성막한다. 여기에서, 이 금속박막(하층반사 전극(11a))은, Mo 또는 Mo에 소량의 다른 원소를 첨가한 Mo합금 등이다. 또한, 이 Mo합금으로서, Mo에 Nb를 첨가함으로써 이루어지는 MoNb합금이나, Mo에 W를 첨가함으로써 이루어지는 MoW합금을 채용할 수 있다.
- <113> 그 후에 스퍼터링법을 사용하여, 하층반사 전극(11a) 위에, 상층반사 전극(11b)이 되는 금속박막을, 300nm정도의 두께로 성막한다. 여기에서, 이 금속박막(상층반사 전극(11b))은, 가시광선영역에 있어서 높은 광반사 특성을 가지고 있다. 여기에서, 이 금속박막(상층반사 전극(11b))은, Al 또는 Al에 소량의 다른 원소를 첨가한 Al합금 등이다. 또한, 이 Al합금으로서, Al에, 0.1~2wt%의 Cu를 첨가함으로써 이루어지는 AlCu합금을 채용할 수 있다.
- <114> 2층 구조의 금속박막을 형성후, 제6회계의 포토리소그래피 공정에 의해, 이 2층 구조의 금속박막 위에 레지스트 패턴을 형성한다. 그리고, 이 레지스트 패턴을 마스크로 하여, 인산 + 질산 + 아세트산을 포함하는 에천트를 사용하여, 2층 구조의 금속박막을 에칭한다. 그 후에 상기 레지스트 패턴을 제거한다. 이 에칭 처리에 의해, 소정의 패턴의 반사 전극(11)이 형성된다 (도 1, 11).
- <115> 여기에서, 도 1, 11에 나타나 있는 바와 같이 투과부(14)가 되는 개구부의 저부에는, 화소전극(10)은 형성되고 있지만, 반사 전극(11)은 형성되고 있지 않다.

- <116> 반사 전극(11)형성후, 다음에 화소전극(10), 반사 전극(11) 및 유기막(9)등을 덮도록, 소정의 패턴을 가지는 보호 절연막(13)을 형성한다. 이 공정까지의 액정표시장치의 상기와 동일한 A-A단면이 도 2이다. 여기에서, 보호 절연막(13)은, 칼라필터 기관(16) 위에 설치되는 대향전극(15)과, 화소전극(10)(또는, 반사 전극(11))과의 단락을 방지하기 위해 형성된다. 또한 보호 절연막(13)은, 투명성을 가지고 있다.
- <117> 보호 절연막(13)의 구체적인 형성 방법은, 아래와 같다.
- <118> 예를 들면 플라즈마 CVD법을 사용하여, 유기막(9), 화소전극(10) 및 반사 전극(11)등을 덮도록, 보호 절연막(13)이 되는 질화 규소막을 성막한다.
- <119> 여기에서, 상기한 바와 같이, 화소전극(10)의 형성(패터닝)시, 입자 모양의 에칭 잔사는 발생하지 않는다. 따라서, 이 질화 규소막 형성시에, 질화 규소막이 이상 성장하는 경우도 없다.
- <120> 이 질화 규소막 형성후, 제7회계의 포토리소그래피 공정에 의해, 이 질화 규소막 위에 레지스트 패턴을 형성한다. 그리고, 이 레지스트 패턴을 마스크로 하여, 질화 규소막을 에칭한다. 그 후에 상기 레지스트 패턴을 제거한다. 이 에칭 처리에 의해, 소정의 패턴의 보호 절연막(13)이 형성된다 (도 2).
- <121> 또한, 질화 규소막의 성막 공정에서 열처리 공정을 거친다. 따라서, 에칭하는 단계에 있어서는 비정질이었던 투명 도전막이, 결정화하는 경우도 있을 수 있다.
- <122> 여기에서, 전술한 바와 같이, 보호 절연막(13)은, 액정(20)안에 포함되는 도전성 이물질(19)을 통한, 대향전극(15)과 화소전극(10)(또는, 반사 전극(11))과의 단락 방지를 위해, 형성되어 있다. 따라서, 유리 기관(1) 위에 있어서, 질화 규소막(보호 절연막(13))이 제거되는 영역은, 단자부(도시 생략)와 같이, 액정(20)을 통해 대향전극(15)과 대향하는 영역 이외의 영역으로 한정된다.
- <123> 이상까지 공정후, 대향전극(15)이나 배치막(17)이 형성된, 칼라필터 기관(16)과, 도 2에 나타난 구조를 가지는 유리 기관(1)(어레이 기관)을, 도전성 이물질(19)을 가지는 액정(20)을 통해, 양쪽 기관(1, 16)이 대향하도록 붙여진다(도 3).
- <124> 이 일련의 공정에 의해, 본 실시예에 따른 액정표시장치가 완성된다.
- <125> 이와 같이, 본 실시예에 따른 액정표시장치에서는, 화소전극(10)(투명성 도전막)에는, In산화물 및 Zn산화물이 포함되어 있다.
- <126> 따라서, 에칭전에는 비정질의 투명성 도전막내에, 결정성 산화물이 존재하지 않게 되고, 이 화소전극(10)의 형성을 위한 에칭 처리 시에, 에칭 잔사물이 발생하지 않게 된다. 따라서, 그 후에 보호 절연막(13)을 형성했다고 해도, 이 보호 절연막(13)의 이상 성장을 방지할 수 있다. 따라서, 표시부에 있어서의 백탁 현상이 발생하는 것도 없어지고, 반사율의 저하에 기인한 표시 불량도 발생하지 않게 된다.
- <127> 또한, 상기에서는, 보호 절연막(13)으로서 질화 규소막을 채용할 경우에 대해서 언급했다. 그러나, 비정질의 ITO막으로 이루어지는 화소전극(10) 위에, 보호 절연막으로서 질화 규소막을 형성하면, 전술한 바와 같이, 이 질화 규소막의 형성 과정에 있어서, 암모니아나 수소 가스가 플라즈마 분해하여, 수소 래디컬이 생성된다. 이 수소 래디컬의 영향에 의해, ITO막 위(화소전극(10)위)에 있어서 In의 환원 반응이 발생하고, 화소전극(10) 위에 있어서 질화 규소막이 이상으로 성장할 우려가 있다.
- <128> 그래서, 상기 In의 환원 반응을 회피하기 위해, 보호 절연막(13)으로서 산화 규소막을 채용해도 좋으며, 또는, 산화 규소막과 질화 규소막이 이 순서로 적층된 적층막을 채용해도 좋다. 보호 절연막(13)으로서, 산화 규소막과 질화 규소막이 이 순서로 적층된 적층막을 채용했을 경우의 단면도를, 도 12에 나타낸다.
- <129> 이 적층막을 형성할 경우에는, 예를 들면 플라즈마 CVD법을 사용하여 산화 규소막(13a)을 형성한 후에, 마찬가지로 플라즈마CVD법을 사용하여, 이 산화 규소막(13a) 위에 질화 규소막(13b)을 형성한다. 그 후에 소정의 형상으로 이 적층막을 패터닝(즉, 보호 절연막(13)을 형성)한다 (도 12).
- <130> 이와 같이, 보호 절연막(13)으로서, 산화 규소막과 질화 규소막이 이 순서로 적층된 적층막을 채용함으로써, 질화 규소막이 이상 성장되는 경우는 없으며, 또한, 내습성에 뛰어난 보호 절연막(13)을 제공할 수 있다.
- <131> 또한 상기에서는, 반투과형 액정표시장치에 대하여 본 실시예를 적용할 경우에 대해서 언급했다. 그러나, 투과형 액정표시장치에 대해서도, 본 실시예를 적용할 수 있는 것은 물론이다.
- <132> <실시예 2>

- <133> 대향전극(15)이 투명성을 가지고 있으므로, 표시 특성을 개선하기 위해서, 반사 전극(11) 위에 투명 도전막을 형성하는 기술이 존재하고 있다. 이 구조를 가지는 액정표시장치에 대해서도, 본 발명을 적용할 수 있다.
- <134> 즉, 이 투명 도전막에, In과 Zn을 포함하는 산화 화합물이 함유되어 있다.
- <135> 도 13은, 본 실시예에 따른 액정표시장치의 구성(구체적으로는, 어레이 기판의 구성)을 나타내는 단면도이다. 또한, 실시예 1에 있어서 설명한 부재와 같은 부재는, 본 실시예에 있어서도 동일 부호를 붙이고 있다.
- <136> 여기에서, 상술과 마찬가지로, 저저항화를 위해, 게이트 전극(2), 소스 전극(6) 및 드레인 전극(7)의 하나 또는 몇개에는 Mo 또는 Al이 포함되어 있다. 이와 같이, 게이트 전극(2)등에는, Mo 혹은 Al이 포함되어 있다. 따라서, 전술한 바와 같이, 그 후의 투명 도전막의 에칭 처리 시에 사용하는 에천트는, 수산 등의 약산일 필요가 있다. 또한 이와 같이, 약산성의 에천트에 의해, 투명 도전막의 에칭 처리가 실시되므로, 적어도 에칭 처리전의 투명 도전막은, 이 약산성의 에천트로 에칭이 가능한 비정질성일 필요가 있다.
- <137> 도 2와 도 13의 비교로부터 알 수 있는 바와 같이, 본 실시예에 따른 액정표시장치는, 투명 도전막(21)이 반사 전극(11) 위에 형성되어 있는 것 이외는, 실시예 1에 따른 표시장치의 구성과 같다. 따라서, 이하에서는, 실시예 1의 구성과 같은 부분에 관해서는 설명을 생략하고, 다른 부분만 상세하게 설명한다.
- <138> 도 13에 나타나 있는 바와 같이 본 실시예에 따른 액정표시장치에서는, 반사 전극(11)과 보호 절연막(13)과의 사이에, 투명 도전막(21)이 형성되어 있다. 전술한 바와 같이, 대향전극(15)이 투명성을 가지고 있으므로, 표시 특성을 개선하기 위해, 반사 전극(11) 위에 투명 도전막(21)을 형성하고 있다.
- <139> 본 실시예에 따른 액정표시장치 (구체적으로는, 투명 도전막(21))의 형성 방법은, 아래와 같다. 또한, 본 실시예에서는, 실시예 1에 따른 액정표시장치의 제조 방법과 다른 공정만 언급하고, 같은 공정에 관해서는 설명을 생략한다.
- <140> 또한 실시예 1에서 설명한 일련의 공정에 의해, 반사 전극(11)이 되는 2층 구조의 금속박막을 형성한다. 여기에서, 이 2층 구조의 금속박막은, 아직 패터닝 되고 있지 않다(즉, 반사 전극(11)은, 아직 소정의 패턴을 가지지 않고 있다). 또한, 2층 구조의 금속박막의 형성전의 공정은, 실시예 1에서 설명한 내용과 같다.
- <141> 다음에 2층 구조의 금속박막 위에 투명도전 재료를 형성한다. 그 후에 이 투명도전 재료 및 2층 구조의 금속박막을 패터닝함으로써, 반사 전극(11) 및 투명 도전막(21)을 형성한다(도 13). 구체적인 형성 방법은, 아래와 같다.
- <142> 예를 들면 스퍼터링법을 사용하여, 2층 구조의 금속박막 위에, 투명 도전막(21)이 되는 투명성 도전 재료를, 3~15nm의 두께로 성막한다. 여기에서, 이 투명성 도전 재료(투명 도전막(21))는, 산화인듐(In₂O₃), 산화아연(ZnO) 및 산화 주석(SnO₂)을 포함하는, 비정질 상태의 ITZO막이다.
- <143> 이 투명성 도전 재료의 성막후, 포토리소그래피 공정에 의해, 이 투명성 도전 재료 위에 레지스트 패턴을 형성한다. 그리고, 이 레지스터 패턴을 마스크로 하여, 공지한 수산계의 에천트를 사용하고, 투명성 도전 재료를 에칭한다. 그 후에 같은 레지스트 패턴을 마스크로 하여, 인산 + 질산 + 아세트산을 포함하는 에천트를 사용하여, 2층 구조의 금속박막을 에칭한다. 그 후에 상기 레지스트 패턴을 제거한다.
- <144> 상기 일련의 에칭 처리에 의해, 소정의 패턴을 가지는 반사 전극(11)(구체적으로는, 하층반사 전극(11a)과 상층반사 전극(11b)으로 이루어지는, 2층 구조의 반사 전극(11))이 형성됨과 동시에, 이 반사 전극(11) 위에 소정의 패턴의 투명 도전막(21)이 형성된다(도 13).
- <145> 여기에서, 투명 도전막(21)에 Zn산화물을 함유시킴으로써, 비교적 결정화 온도가 높아진다. 따라서, 비정질막 안에 결정 입자(결정성 산화물)가 존재하지 않게 된다(요컨대, 투명 도전막(21)의 비정질성이 향상한다). 따라서, 수산계의 에천트에 의해, 이 투명 도전막(21)을 에칭(패터닝)했다고 해도, 이 에칭후에, 에칭 잔사가 발생하는 것을 방지할 수 있다.
- <146> 또한, 이 반사 전극(11) 및 투명 도전막(21)의 형성후, 다음에 화소전극(10), 투명 도전막(21) 및 유기막(9)등을 덮도록, 소정의 패턴을 가지는 보호 절연막(13)을 형성한다(도 13). 여기에서, 보호 절연막(13)은, 칼라필터 기판(16) 위에 설치되는 대향전극(15)과, 화소전극(10)(또는, 투명 도전막(21))과의 단락을 방지하기 위해서, 형성된다. 또한 보호 절연막(13)은, 투명성을 가지고 있다.
- <147> 보호 절연막(13)의 구체적인 구성 및 형성 방법은, 실시예 1과 같으므로, 여기에서의 설명은 생략한다.

- <148> 여기에서, 상기한 바와 같이, 투명 도전막(21)의 형성시, 입자 모양의 에칭 잔사는 발생하지 않는다. 따라서, 보호 절연막(13) 시에, 이 보호 절연막(13)이 이상 성장하는 경우도 없다.
- <149> 또한 보호 절연막(13)의 성막 공정에 있어서 열처리 공정을 거친다. 따라서, 에칭하는 단계에 있어서는 비정질이었던 투명 도전막이 결정화하는 경우도 있을 수 있다.
- <150> 이상까지 공정후, 대향전극(15)이나 배치막(17)이 형성된, 칼라필터 기관(16)과, 도 13에 나타난 구조를 가지는 유리 기관(1)을, 도전성 이물질(19)을 가지는 액정(20)을 통해, 양쪽 기관(1, 16)이 대향하도록 서로 붙인다.
- <151> 이 일련의 공정에 의해, 본 실시예에 따른 액정표시장치가 완성된다.
- <152> 이와 같이, 본 실시예에 따른 액정표시장치에서는, 투명 도전막(21)에, In산화물 이외에, Zn산화물이 포함되어 있다.
- <153> 따라서, 에칭 이전에는 비정질이었던 투명 도전막(21)안에, 결정성 산화물이 존재하지 않게 되고, 이 투명 도전막(21)의 패터닝을 위한 에칭 처리 시에, 에칭 잔사가 발생하지 않게 된다. 따라서, 그 후의 보호 절연막(13)을 형성해도, 이 보호 절연막(13)의 이상 성장을 방지할 수 있다. 따라서, 표시부의 백택 현상이 발생하는 경우도 없어져, 반사율의 저하에 기인한 표시 불량도 발생하지 않게 된다.
- <154> 또한, 본 실시예에 따른 액정표시장치에 있어서, 화소전극(10)은, Zn산화물을 포함하고 있거나 그렇지 않아도 된다. 그러나, 실시예 1과 같이, 에칭 이전에는 비정질의 화소전극(10)에 있어서도, In산화물 외에 Zn산화물을 포함시키는 것으로, 투명 도전막(21)의 에칭 처리 시에 에칭 잔사가 발생하지 않을 뿐만아니라, 실시예 1에서 설명한 바와 같이, 화소전극(10)의 에칭 처리 시에도 에칭 잔사가 발생하지 않게 된다.
- <155> 따라서, 에칭 처리 이전에는 비정질의 화소전극(10)에 있어서도 Zn산화물을 포함시키는 것에 의해, 보다 확실하게, 보호 절연막(13)의 이상 성장을 방지할 수 있다.
- <156> 또한 본 실시예에서는, 반투과형 액정표시장치에 대하여, 본 발명을 적용할 경우에 대해서 언급했다. 그러나, 반사형 액정표시장치에 대해서도 본 발명을 적용할 수 있는 것은, 물론이다.
- <157> <실시예 3>
- <158> 실시예 1, 2에 따른 액정표시장치는, 반사 전극(11)을 별도 설치함으로써, 반투과형의 액정표시장치를 구성하고 있었다. 그러나, 드레인 전극(7)에 반사 기능을 갖게 함으로써, 이 반사 전극(11)을 생략하여, 반투과형의 액정표시장치를 구성할 수 있다.
- <159> 본 실시예는, 드레인 전극(7)에 반사 기능을 갖게 한 반투과형의 액정표시장치에 있어서, 실시예 1과 마찬가지로, 화소전극(10)에, In산화물 및 Zn산화물을 포함시키는 것을 특징으로 한다.
- <160> 도 14에, 본 실시예에 따른 액정표시장치(자세한 것은, 어레이 기관)의 단면도이다. 또한, 실시예 1에 있어서 설명한 부재와 같은 부재는, 본 실시예에 있어서도 동일한 부호를 붙이고 있다.
- <161> 본 실시예에 따른 액정표시장치는, 반사 전극(11)을 갖지 않기 때문에, 도 14에 나타나 있는 바와 같이 유기막(9)은 생략되고 있다.
- <162> 또한 드레인 전극(7)에 반사 기능을 갖게 함으로써, 반사 전극(11)의 대용을 이 드레인 전극(7)이 담당하고 있다. 따라서, 화질의 저하를 방지하는 관점에서, 본 실시예에 있어서, 드레인 전극(7)은, 실시예 1의 드레인 전극(7)보다도, 면적이 넓은 것이 바람직하다.
- <163> 또한 반사 전극(11) 및 유기막(9)을 갖지 않기 때문에, 본 실시예에서는, 도 14에 나타나 있는 바와 같이 보호 절연막(13)은, 패시베이션막(8)과 화소전극(10)을 덮도록 형성되어 있다.
- <164> 또한 도 14에서 알 수 있는 바와 같이, 본 실시예에 따른 액정표시장치에서는, 투과부(14)에 있어서, 유리 기관(1)과 화소전극(10)과의 사이에, 게이트 절연막(3) 및 패시베이션막(8)이 존재한다. 이것은, 이하의 이유에 의한다.
- <165> 즉, 실시예 1에서는, 투과부(14)가 되는 개구부를 가지는 유기막(9)을 가진다. 그리고, 이 유기막(9)을 마스크로 하여 사용한, 에칭 처리를 행하였다. 그러나, 본 실시예에서는, 유기막(9)은 존재하지 않는다. 따라서, 본 실시예에서는, 투과부(14)에 있어서, 게이트 절연막(3) 및 패시베이션막(8)이 제거되는 경우는 없으며, 유리 기관(1)과 화소전극(10)과의 사이에 잔존한다.

- <166> 또한, 유리 기판(1)과 화소전극(10)과의 사이에, 절연막이 존재하고 있어도, 액정표시장치의 동작상, 특히 문제가 생기지 않는다.
- <167> 그 외의 구성은, 실시예 1에 따른 액정표시장치와, 거의 동일하므로, 상세한 설명은 생략한다.
- <168> 다음에 본 실시예에 따른 액정표시장치의 제조 방법에 관하여 설명한다. 또한, 소스 전극(6) 및 드레인 전극(7)을 형성하고, 그 후에, 패시베이션막(8)이 되는 질화 규소막을 성막할때까지의 공정은, 실시예 1과 같다. 따라서, 이 공정까지의 설명은 생략한다.
- <169> 여기에서, 본 실시예에서는, 반사 전극(11)의 기능을 드레인 전극(7)이 대용하고 있다. 따라서, 화질의 저하를 방지하는 관점에서, 이 드레인 전극(7)의 면적은, 최대한 넓게 하는 것이 바람직하다.
- <170> 상기 공정후, 다음에 유리 기판(1) 위에 형성되어 있는, 게이트 절연막(3), 소스 전극(6) 및 드레인 전극(7)등을 덮도록, 패시베이션막(8)을 형성한다. 또한, 패시베이션막(8)을 관통하는, 소정의 개구 면적을 가지는 콘택홀(12)을 형성한다.
- <171> 이 공정까지의 액정표시장치의 평면도를 도 15에 나타낸다. 또한 도 15의 B-B단면도를 도 16에 나타낸다. 또한, 도 15에 있어서, 패시베이션막(8)보다 하층에 존재하는 각 부분2, 4, 5등은, 점선으로 나타내고 있다 (단, 도면의 사정상, 소스 전극(6)과 드레인 전극(7)은, 실선으로 나타내고 있다).
- <172> 여기에서, 도 16에서 알 수 있는 바와 같이, 콘택홀(12)의 저부로부터는 드레인 전극(7)이 노출하고 있다.
- <173> 패시베이션막(8) 및 콘택홀(12)의 구체적인 형성 방법은, 아래와 같다.
- <174> 예를 들면 CVD법을 사용하여, 유리 기판(1)에 형성되어 있는 각 부분3, 6, 7등을 덮도록, 패시베이션(8)이 되는 질화 규소막을 300~400nm의 두께로 성막한다.
- <175> 그 후에 포토리소그래피 공정에 의해, 질화 규소막(패시베이션막(8)) 위에 레지스트 패턴을 형성한다. 그리고, 이 레지스트 패턴을 마스크로 하여, 불소계 가스를 사용한 공지한 드라이에칭에 의해, 패시베이션막(8)을 에칭한다. 이 에칭 처리를 행함으로써, 패시베이션막(8)에 있어서, 저부로부터 드레인 전극(7)이 노출하는 콘택홀(12)이 형성된다(도 15, 16).
- <176> 콘택홀(12)이 형성된 패시베이션막(8)형성후, 다음에 패시베이션막(8) 위에, 소정의 패턴의 화소전극(10)을 형성한다. 여기에서, 화소전극(10)은, 투명성을 가지는 도전막이다.
- <177> 이 공정까지의 액정표시장치의 평면도를 도 17에 나타낸다. 또한 도 17의 B-B단면도를 도 18에 나타낸다. 또한, 도 17에 있어서, 화소전극(10)보다 하층에 존재하는 각 부분2, 6, 7, 12등은, 점선으로 나타내고 있다.
- <178> 도 18에 나타나 있는 바와 같이 화소전극(10)은, 콘택홀(12)에 있어서, 드레인 전극(7)과 전기적으로 접속된다.
- <179> 화소전극(10)의 구체적인 형성 방법은, 아래와 같다.
- <180> 예를 들면 스퍼터링법을 사용하여, 패시베이션막(8)을 덮도록, 화소전극(10)이 되는 투명성을 가지는 도전막을, 100nm정도의 두께로 성막한다. 여기에서, 투명성을 가지는 도전막은, 산화인듐(In2O3), 산화아연(ZnO) 및 산화주석(SnO2)을 포함하는 비정질 상태의 ITZO막이다.
- <181> 이 투명성을 가지는 도전막 형성후, 포토리소그래피 공정에 의해, 투명성을 가지는 도전막 위에 레지스트 패턴을 형성한다. 그리고, 이 레지스트 패턴을 마스크로 하여, 공지한 수산계의 에천트를 사용하고, 투명성을 가지는 도전막을 에칭하여, 그 후에 레지스트 패턴을 제거한다. 이 에칭 처리에 의해, 패시베이션막(8) 위에, 소정의 패턴의 화소전극(10)이 형성된다(도 17, 18).
- <182> 여기에서, 화소전극(10)에 Zn산화물을 함유시킴으로써, 비교적 결정화 온도가 높아진다. 따라서, 비정질막 안에 결정 입자(결정성 산화물)가 존재하지 않게 된다(요컨대, 화소전극(10)의 비정질성이 향상한다). 따라서, 수산계의 에천트에 의해, 이 화소전극(10)을 에칭(패터닝)했다고 해도, 이 에칭후에, 에칭 잔사가 발생하는 것을 방지할 수 있다.
- <183> 화소전극(10)형성후, 다음에 화소전극(10)등을 덮도록, 소정의 패턴을 가지는 보호 절연막(13)을 형성한다. 이 공정까지의 액정표시장치의 단면도가 도 14이다.
- <184> 또한, 보호 절연막(13)의 구체적인 형성 방법은, 실시예 1에서 설명한 방법과 같다. 따라서, 여기에서의 설명은 생략한다.

- <185> 상기한 바와 같이, 화소전극(10)의 형성시, 입자 모양의 에칭 잔사는 발생하지 않는다. 따라서, 보호 절연막(13)형성시에, 이 보호 절연막(13)이 이상 성장하는 것을 방지할 수 있다.
- <186> 또한, 보호 절연막(13)의 성막 공정에 있어서 열처리 공정을 거친다. 따라서, 에칭하는 단계에 있어서는 비정질이었던 투명 도전막이 결정화하는 경우도 있을 수 있다.
- <187> 이상까지 공정 후, 대향전극(15)이나 배치막(17)이 형성된, 칼라필터 기관(16)과, 도 14에 나타난 구조를 가지는 유리 기관(1)을, 도전성 이물질(19)을 가지는 액정(20)을 통해, 양쪽 기관(1, 16)이 대향하도록 서로 붙인다.
- <188> 이 일련의 공정에 의해, 본 실시예에 따른 액정표시장치가 완성된다.
- <189> 이와 같이, 본 실시예에 따른 액정표시장치에서는, 화소전극(10)(투명성을 가지는 도전막)에, In산화물 이외에 Zn산화물이 포함되어 있다.
- <190> 따라서, 에칭하기 전에는 비정질의 투명성을 가지는 도전막 내에, 결정성 산화물이 존재하지 않게 되고, 이 화소전극(10)의 형성을 위한 에칭 처리 시에, 에칭 잔사물이 발생하지 않게 된다. 따라서, 그 후의 보호 절연막(13)을 형성해도, 이 보호 절연막(13)의 이상 성장을 방지할 수 있다. 따라서, 표시부의 백택 현상이 발생하는 경우도 없어지고, 반사율의 저하의 기인한 표시 불량도 발생하지 않게 된다.
- <191> 또한 본 실시예에 따른 액정표시장치는, 반사 전극(11)이나 유기막(9)을 가지지 않으므로, 실시예 1에 따른 액정표시장치보다도, 제조 공정을 간소화할 수 있다.

발명의 효과

- <192> 본 발명의 청구항 1 또는 청구항 2에 기재된 액정표시장치에서는, 화소전극 또는 투명 도전막은, In과 Zn을 포함하는 산화 화합물을 가지고 있으므로, 비정질막 안에 결정 입자(결정성 산화물)가 존재하지 않는 상태에서, 이 화소전극 또는 투명 도전막의 패터닝을 실시할 수 있다. 따라서, 수산계의 에천트에 의해, 이 화소전극 또는 투명 도전막을 에칭(패터닝)했다고 해도, 이 에칭후에, 에칭 잔사가 발생하는 것을 방지할 수 있다. 따라서, 그 후에 보호 절연막을 형성해도, 이 보호 절연막(13)의 이상 성장을 방지할 수 있다.

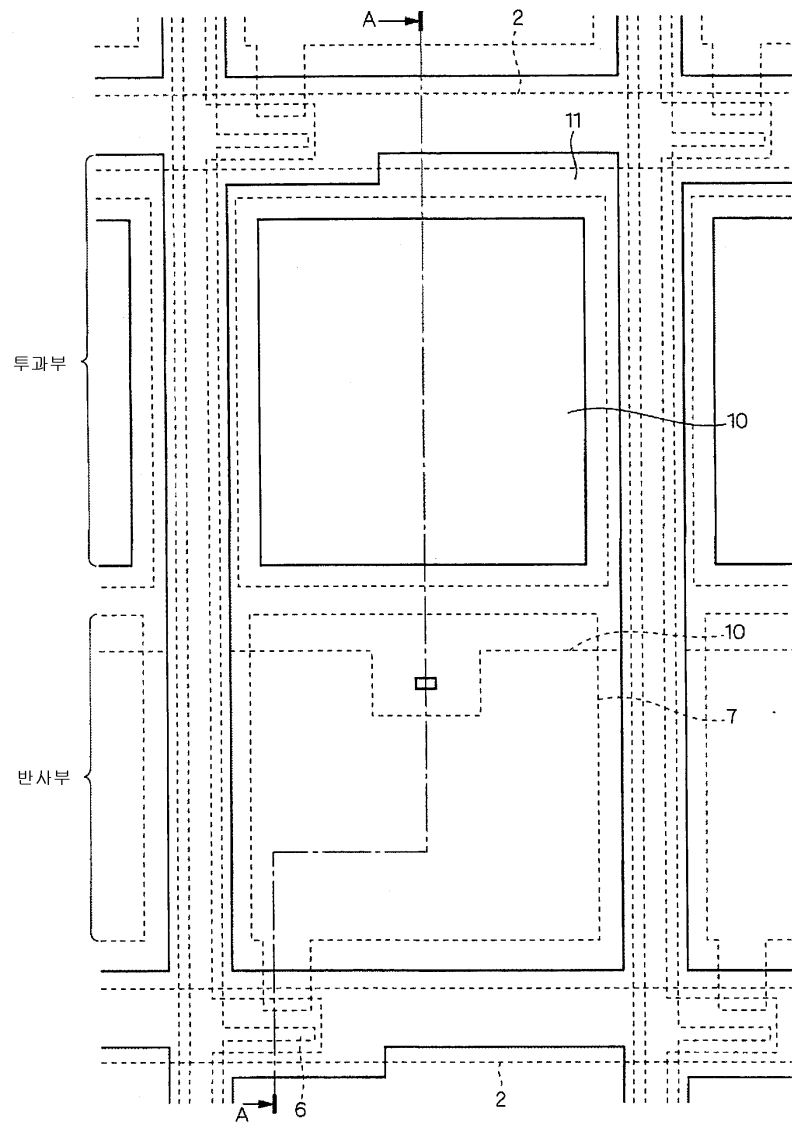
도면의 간단한 설명

- <1> 도 1은 실시예 1에 따른 액정표시장치가 가지는 어레이 기관의 구성을 나타내는 투시 평면도.
- <2> 도 2는 실시예 1에 따른 액정표시장치가 가지는 어레이 기관의 구성을 나타내는 단면도.
- <3> 도 3은 실시예 1에 따른 액정표시장치의 구성의 일부를 나타내는 단면도.
- <4> 도 4는 실시예 1에 따른 액정표시장치의 제조 방법을 설명하기 위한 공정단면도.
- <5> 도 5는 실시예 1에 따른 액정표시장치의 제조 방법을 설명하기 위한 투시 평면도.
- <6> 도 6은 실시예 1에 따른 액정표시장치의 제조 방법을 설명하기 위한 투시 평면도.
- <7> 도 7은 실시예 1에 따른 액정표시장치의 제조 방법을 설명하기 위한 공정단면도.
- <8> 도 8은 실시예 1에 따른 액정표시장치의 제조 방법을 설명하기 위한 투시 평면도.
- <9> 도 9는 실시예 1에 따른 액정표시장치의 제조 방법을 설명하기 위한 공정단면도.
- <10> 도 10은 실시예 1에 따른 액정표시장치의 제조 방법을 설명하기 위한 공정단면도.
- <11> 도 11은 실시예 1에 따른 액정표시장치의 제조 방법을 설명하기 위한 공정단면도.
- <12> 도 12는 실시예 1에 따른 액정표시장치의 제조 방법을 설명하기 위한 공정단면도.
- <13> 도 13은 실시예 2에 따른 액정표시장치가 가지는 어레이 기관의 구성을 나타내는 단면도.
- <14> 도 14는 실시예 3에 따른 액정표시장치가 가지는 어레이 기관의 구성을 나타내는 단면도.
- <15> 도 15는 실시예 3에 따른 액정표시장치의 제조 방법을 설명하기 위한 투시 평면도.
- <16> 도 16은 실시예 3에 따른 액정표시장치의 제조 방법을 설명하기 위한 공정단면도.

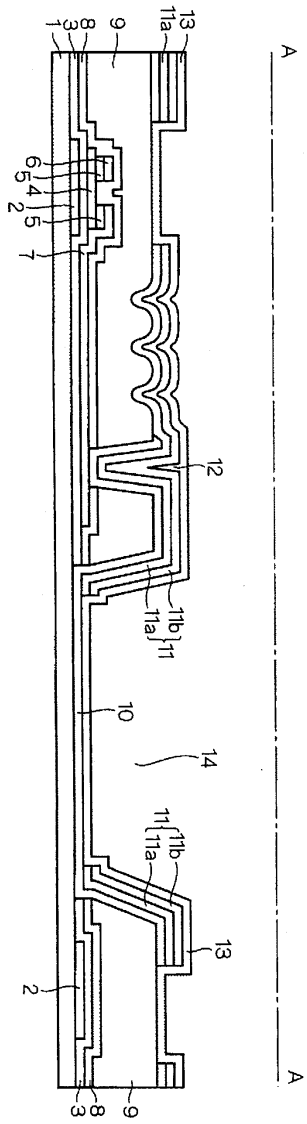
- <17> 도 17은 실시예 3에 따른 액정표시장치의 제조 방법을 설명하기 위한 투시 평면도.
- <18> 도 18은 실시예 3에 따른 액정표시장치의 제조 방법을 설명하기 위한 공정단면도이다.
- <19> [도면의 주요부분에 대한 부호의 설명]
- | | |
|--------------------|----------------|
| <20> 1 : 유리 기판 | 2 : 게이트 전극 |
| <21> 3 : 게이트 절연막 | 4 : 반도체층 |
| <22> 5 : 오믹 콘택층 | 6 : 소스 전극 |
| <23> 7 : 드레인 전극 | 8 : 패시베이션막 |
| <24> 9 : 유기막 | 9a, 11d : 요철형상 |
| <25> 10 : 화소전극 | 11 : 반사 전극 |
| <26> 11a : 하층반사 전극 | 11b : 상층반사 전극 |
| <27> 12 : 콘택홀 | 13 : 보호 절연막 |
| <28> 13a : 산화 규소막 | 13b : 질화 규소막 |
| <29> 14 : 투과부 | 15 : 대향전극 |
| <30> 16 : 칼라필터 기판 | 17 : 배향막 |
| <31> 18 : 셀제 | 19 : 도전성 이물질 |
| <32> 20 : 액정 | 21 : 투명 도전막 |

도면

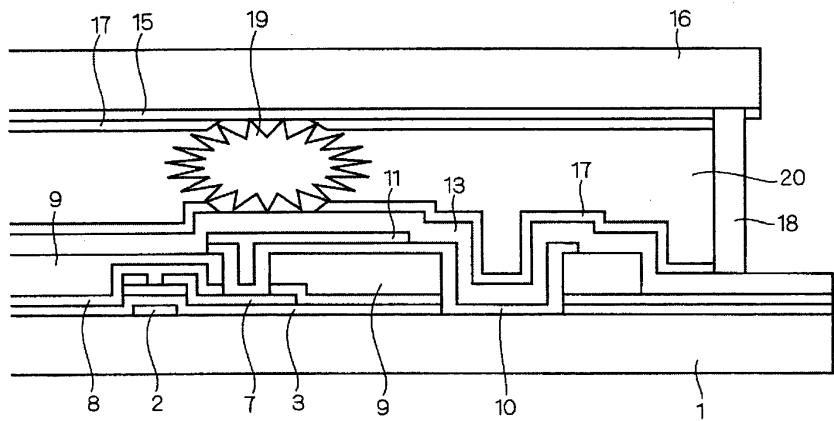
도면1



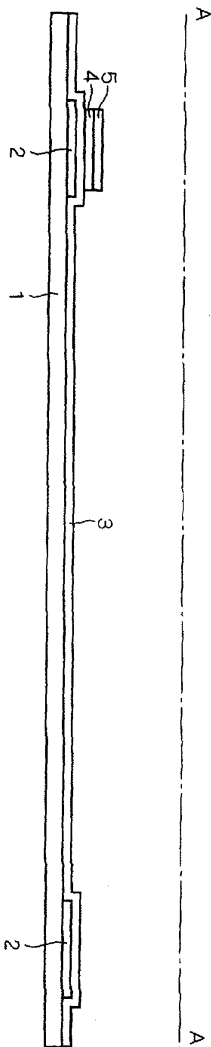
도면2



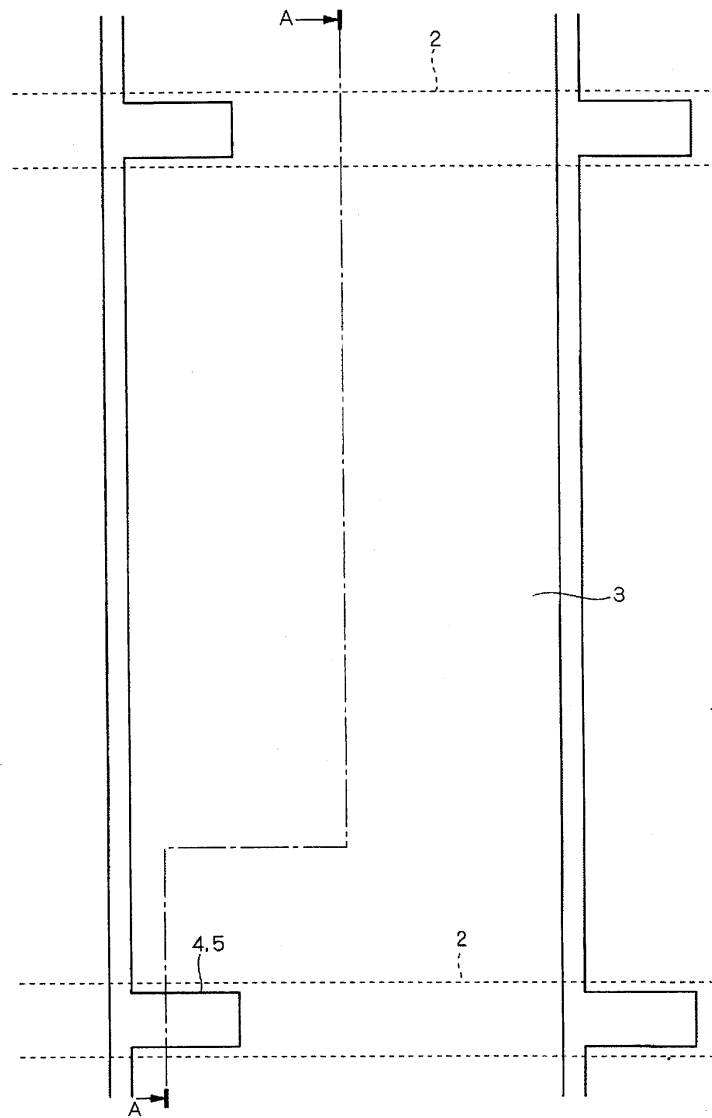
도면3



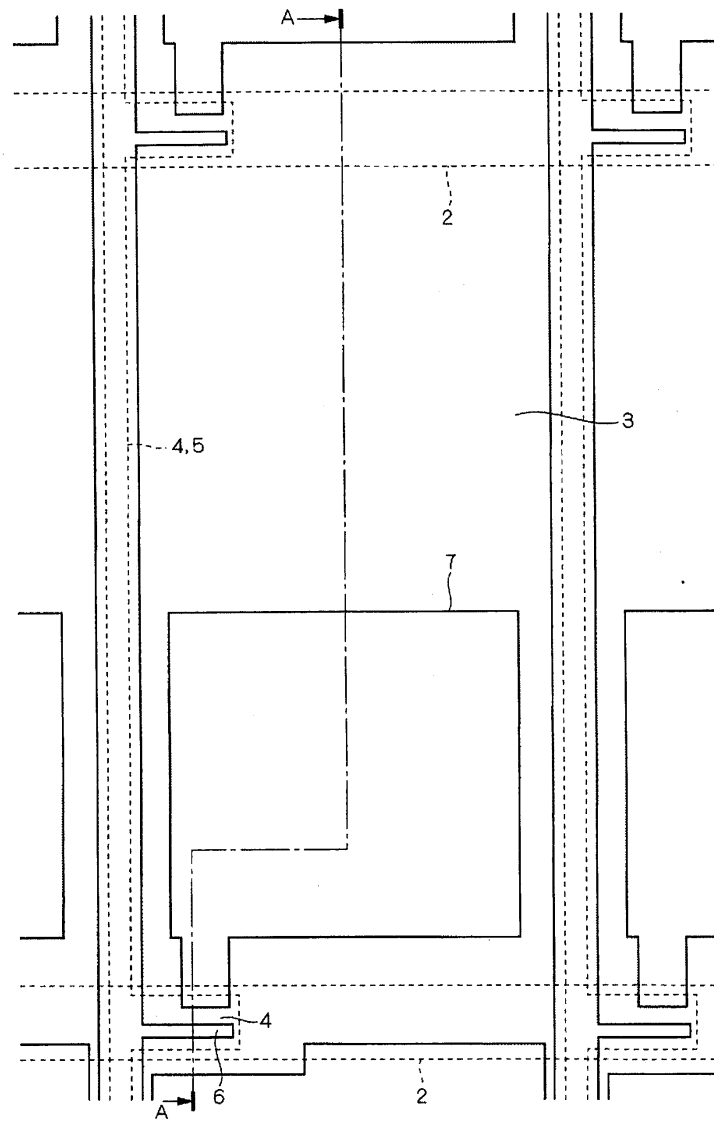
도면4



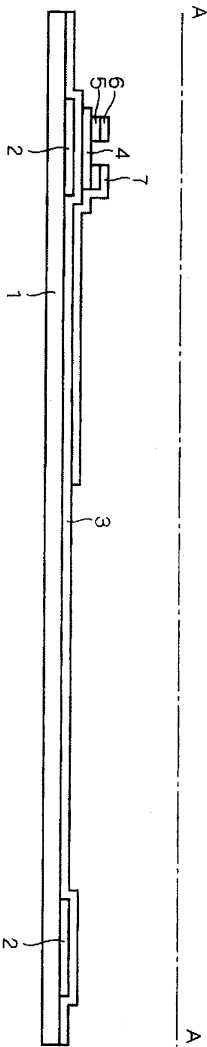
도면5



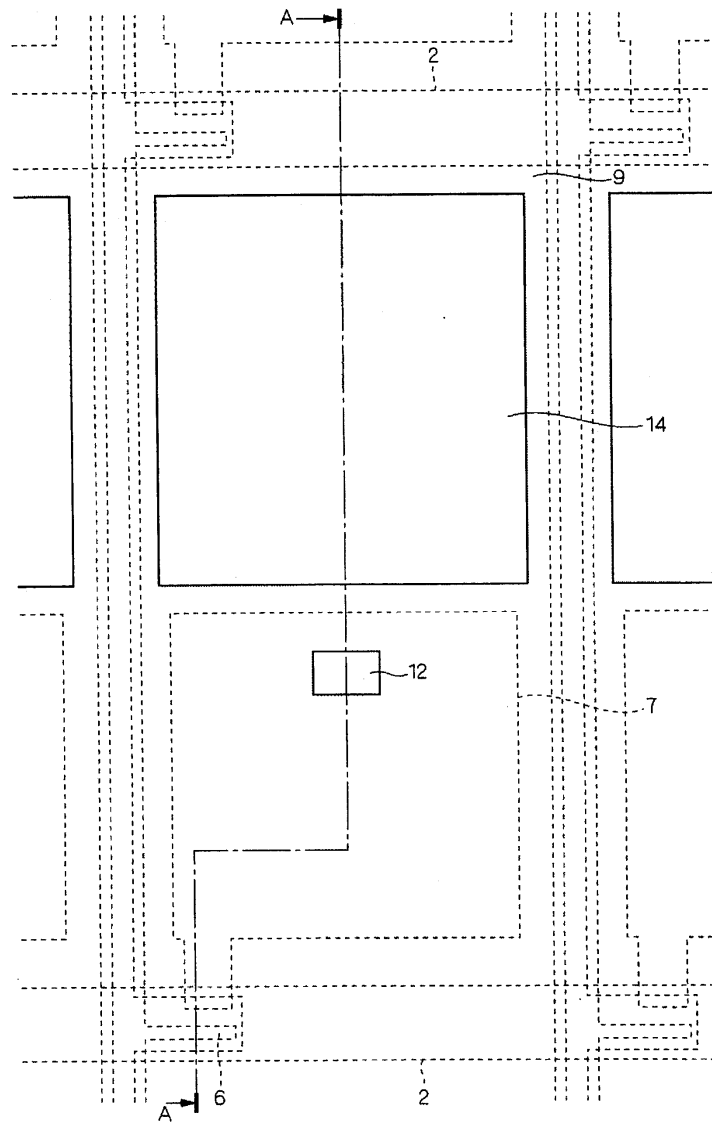
도면6



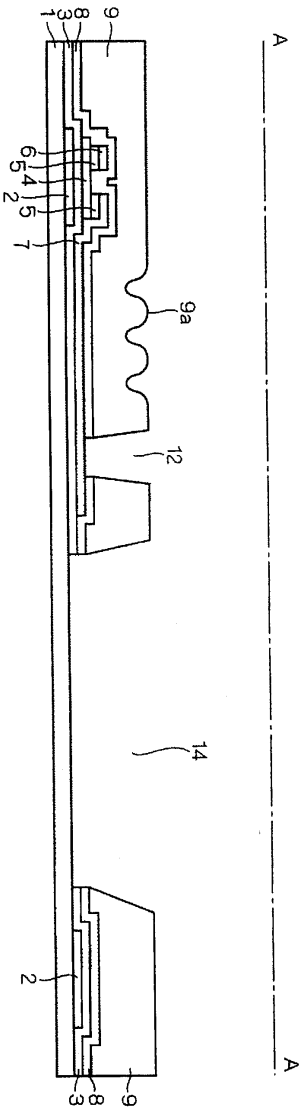
도면7



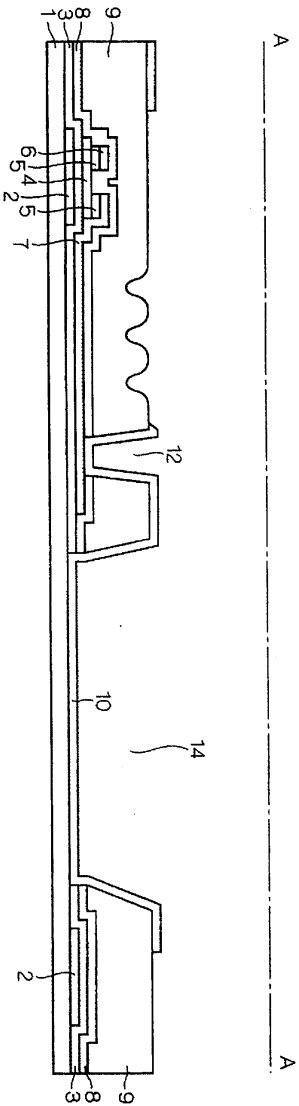
도면8



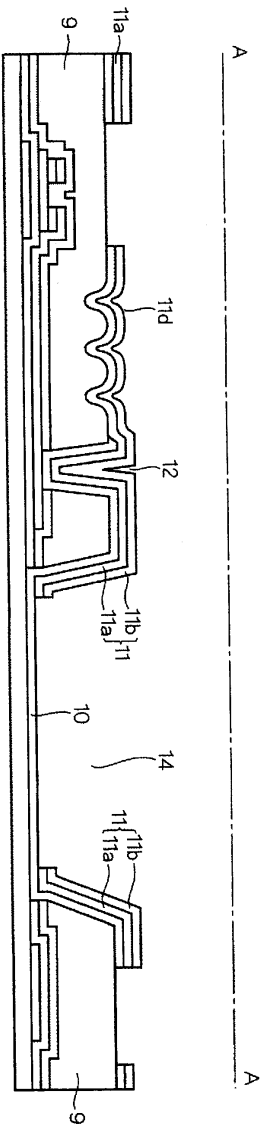
도면9



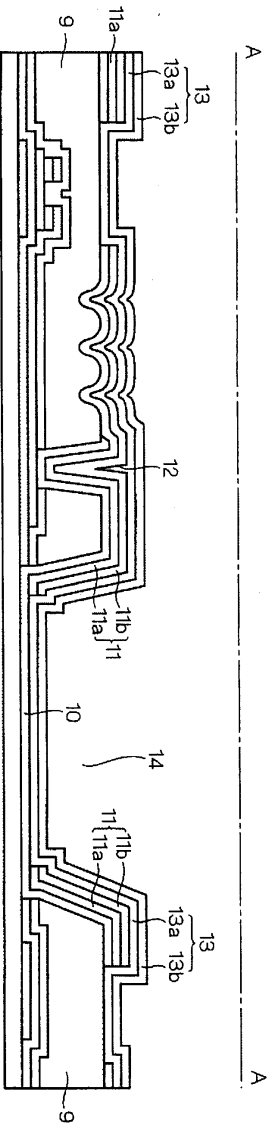
도면10



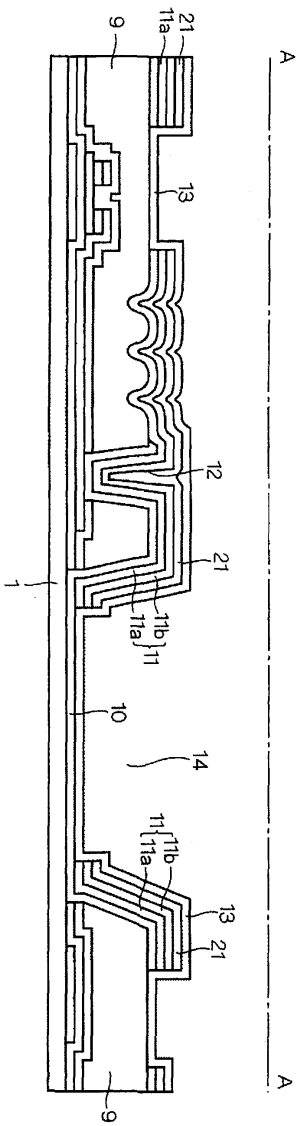
도면11



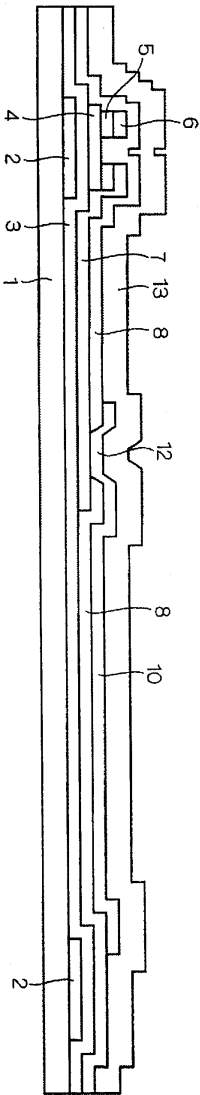
도면12



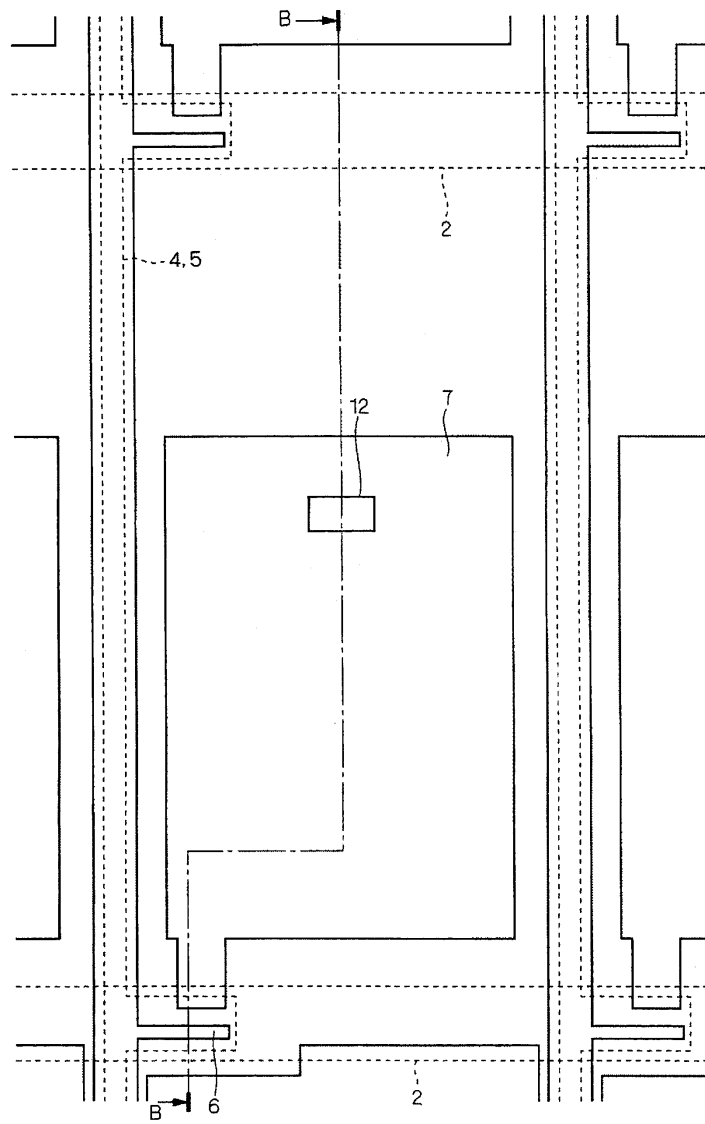
도면13



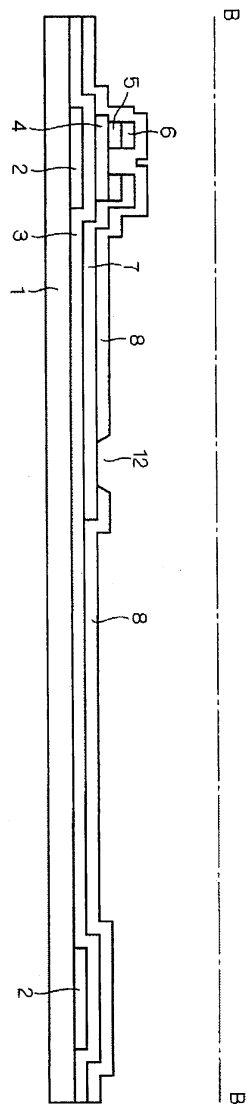
도면14



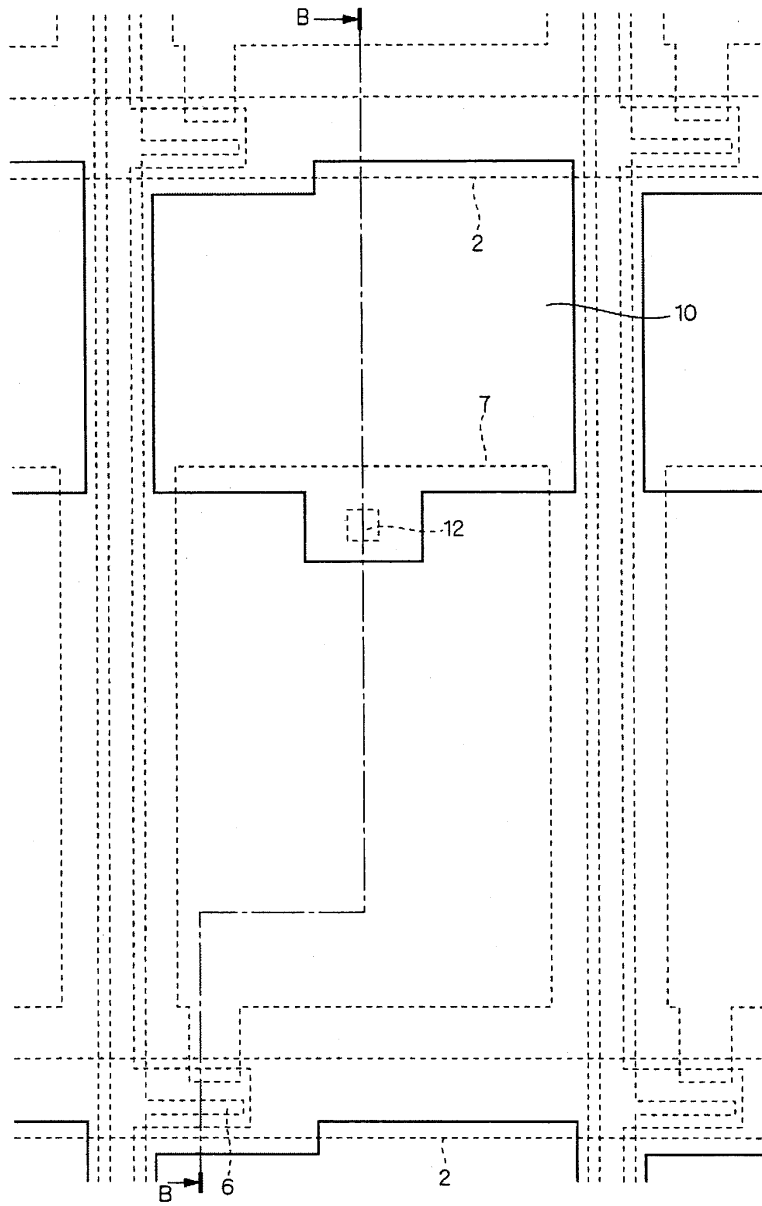
도면15



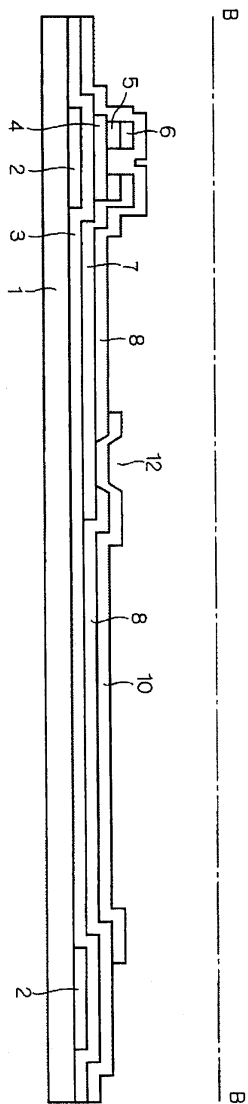
도면16



도면17



도면18



专利名称(译)	液晶显示器		
公开(公告)号	KR100812321B1	公开(公告)日	2008-03-10
申请号	KR1020060045970	申请日	2006-05-23
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机有限公司		
当前申请(专利权)人(译)	三菱电机有限公司		
[标]发明人	NAKAHORI TADAKI 나카호리타다키 UCHIDA YUUSUKE 유치다유우스케 NAGAYAMA KENSUKE 나가야마켄스케 ISHIGA NOBUAKI 이시가노부아키		
发明人	나카호리타다키 유치다유우스케 나가야마켄스케 이시가노부아키		
IPC分类号	G02F1/136		
CPC分类号	G02F1/136227 G02F1/133555 G02F1/13439 H01L27/14621		
代理人(译)	권태복 Yihwaik		
优先权	2005148993 2005-05-23 JP		
其他公开文献	KR1020060121713A		
外部链接	Espacenet		

摘要(译)

本发明还适用于这样的情况：通过使用预定的蚀刻剂将非晶导电膜图案化成预定形状来形成保护绝缘膜以覆盖图案化的导电膜，并防止保护绝缘膜的异常生长，和一个显示设备。根据本发明的示例的液晶显示装置具有夹在玻璃基板1和滤色器基板16之间的液晶，在玻璃基板1上形成有薄膜晶体管，在滤色器基板16上，在上表面上形成有相对电极。像素电极10连接到薄膜晶体管的漏电极。像素电极10覆盖有具有透明性的保护绝缘膜13。像素电极10具有包含In和Zn的氧化物化合物。

