



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G02F 1/136 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년08월30일 10-0753568 2007년08월23일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2003-0044002 2003년06월30일 2006년02월09일	(65) 공개번호 (43) 공개일자	10-2005-0003283 2005년01월10일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자	엘지.필립스 엘시디 주식회사 서울 영등포구 여의도동 20번지
(72) 발명자	김상현 경기도안양시만안구석수2동LG빌리지401동503호
(74) 대리인	박장원
(56) 선행기술조사문헌 10200300007093	

심사관 : 박남현

전체 청구항 수 : 총 21 항

(54) 비정질 반도체층의 결정화방법 및 이를 이용한 액정표시소자의 제조방법

(57) 요약

본 발명의 비정질 반도체층의 결정화방법은 결정화 방식을 개선하여 소자 특성을 향상시키기 위한 것으로, 제 1 두께의 비정질 반도체층을 제공하는 단계; 상기 비정질 반도체층을 제 1 방향으로 수평 결정화하는 단계; 상기 결정화된 반도체층을 제 2 두께로 식각하는 단계; 및 상기 식각된 반도체층을 상기 제 1 방향과 직교하는 제 2 방향으로 수평 결정화하는 단계를 포함한다.

대표도

도 5d

특허청구의 범위

청구항 1.

제 1 두께의 비정질 반도체층을 제공하는 단계;

상기 비정질 반도체층을 제 1 방향으로 수평 결정화하는 단계;

상기 결정화된 반도체층을 제 2 두께로 식각하는 단계; 및

상기 식각된 반도체층을 상기 제 1 방향과 직교하는 제 2 방향으로 수평 결정화하는 단계를 포함하는 비정질 반도체층의 결정화방법.

청구항 2.

제 1 항에 있어서, 상기 반도체층은 실리콘층을 포함하는 것을 특징으로 하는 비정질 반도체층의 결정화방법.

청구항 3.

제 1 항에 있어서, 상기 제 1 두께는 약 1000~2000Å인 것을 특징으로 하는 비정질 반도체층의 결정화방법.

청구항 4.

삭제

청구항 5.

제 1 항에 있어서, 상기 수평 결정화는 순차적 수평 결정화인 것을 특징으로 하는 비정질 반도체층의 결정화방법.

청구항 6.

삭제

청구항 7.

제 1 항에 있어서, 상기 비정질 반도체층은 기판 위에 형성되는 것을 특징으로 하는 비정질 반도체층의 결정화방법.

청구항 8.

제 7 항에 있어서, 상기 기판에 버퍼층을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 비정질 반도체층의 결정화방법.

청구항 9.

제 1 항에 있어서, 상기 제 2 두께는 약 300~600Å인 것을 특징으로 하는 비정질 반도체층의 결정화방법.

청구항 10.

기판을 제공하는 단계;

상기 기판 위에 비정질 반도체층을 형성하는 단계;

상기 비정질 반도체층을 제 1 방향으로 수평 결정화하고, 상기 결정화된 반도체층을 식각한 후 상기 제 1 방향과 직교하는 제 2 방향으로 수평 결정화하여 다결정 반도체층을 형성하는 단계;

상기 기판 위에 게이트절연층을 형성하는 단계;

상기 게이트절연층 위에 게이트전극을 형성하는 단계;

상기 게이트전극이 형성된 기판 위에 절연층을 형성하는 단계; 및

상기 절연층 위에 상기 다결정 반도체층과 접촉하는 소오스전극과 드레인전극을 형성하는 단계를 포함하는 박막 트랜지스터의 제조방법.

청구항 11.

삭제

청구항 12.

제 10 항에 있어서, 상기 비정질 반도체층의 결정화는 순차적 수평 결정화에 의해 이루어지는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 13.

기판을 제공하는 단계;

상기 기판 위에 비정질 반도체층을 형성하는 단계;

상기 비정질 반도체층을 결정화하여 실질적으로 정사각형 형태의 그레인을 갖는 다결정 반도체층을 형성하는 단계;

상기 기판 위에 게이트절연층을 형성하는 단계;

상기 게이트절연층 위에 게이트전극을 형성하는 단계;

상기 게이트전극이 형성된 기판 위에 절연층을 형성하는 단계; 및

상기 절연층 위에 상기 다결정 반도체층과 접촉하는 소오스전극과 드레인전극을 형성하는 단계를 포함하는 박막 트랜지스터의 제조방법.

청구항 14.

제 13 항에 있어서, 상기 비정질 반도체층을 결정화하는 단계는

비정질 반도체층을 제 1 방향으로 수평 결정화하는 단계;

상기 결정화된 반도체층을 식각하는 단계; 및

상기 식각된 반도체층을 제 1 방향과 실질적으로 수직인 제 2 방향으로 수평 결정화하는 단계로 이루어진 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 15.

제 13 항에 있어서, 상기 소오스전극 및 드레인전극은 정사각형 형태의 그레인 내에 위치하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 16.

화소부와 구동회로부로 이루어진 제 1 기판을 제공하는 단계, 상기 제 1 기판에 비정질 반도체층을 형성하는 단계, 상기 비정질 반도체층을 제 1 방향으로 수평결정화하는 단계, 상기 결정화된 반도체층을 상기 제 1 방향과 실질적으로 수직인 제 2 방향으로 수평 결정화하는 단계를 포함하며, 상기 결정화된 반도체층을 액티브층으로 사용하여 구동회로부에 제 1 박막 트랜지스터를 형성하는 단계;

상기 화소부에 제 2 박막 트랜지스터를 형성하는 단계;

상기 제 1 기판 위에 상기 제 2 박막 트랜지스터와 전기적으로 접속하는 화소전극을 형성하는 단계;

컬러필터층이 형성된 제 2 기판을 제공하는 단계;

상기 제 1 기판과 제 2 기판을 합착하는 단계; 및

상기 제 1 기판 및 제 2 기판 사이에 액정층을 형성하는 단계를 포함하는 액정표시소자의 제조방법.

청구항 17.

제 16 항에 있어서, 상기 비정질 반도체층의 수평 결정화는 순차적 수평 결정화인 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 18.

제 16 항에 있어서, 상기 제 1 박막 트랜지스터를 형성하는 단계는

결정화된 반도체층 위에 게이트절연층을 형성하는 단계;

상기 게이트절연층 위에 게이트전극을 형성하는 단계;

상기 게이트전극 위에 절연층을 형성하는 단계; 및

상기 절연층 위에 상기 결정화된 반도체층과 접촉하는 소오스전극 및 드레인전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 19.

제 18 항에 있어서, 상기 결정화된 반도체층에 n형 불순물을 주입하는 단계를 추가로 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 20.

제 18 항에 있어서, 상기 결정화된 반도체층에 p형 불순물을 주입하는 단계를 추가로 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 21.

제 16 항에 있어서, 상기 제 2 박막 트랜지스터를 형성하는 단계는

상기 제 1 기판에 비정질 반도체층을 형성하는 단계;

상기 비정질 반도체층 위에 게이트전극을 형성하는 단계;

상기 게이트전극 위에 절연층을 형성하는 단계; 및

상기 절연층 위에 상기 비정질 반도체층과 접촉하는 소오스전극 및 드레인전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 22.

제 18 항 또는 제 21 항에 있어서, 상기 제 1 박막 트랜지스터 및 제 2 박막 트랜지스터는 동일한 제조라인에서 형성되는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 23.

제 18 항 또는 제 21 항에 있어서, 상기 제 1 박막 트랜지스터 및 제 2 박막 트랜지스터는 일체로 형성되는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 24.

제 16 항에 있어서, 상기 반도체층은 실리콘층인 것을 특징으로 하는 액정표시소자의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 비정질 반도체층의 결정화방법에 관한 것으로, 보다 상세하게는 결정화 특성이 향상된 비정질 반도체층의 결정화방법 및 이를 이용한 액정표시소자의 제조방법에 관한 것이다.

최근 정보 디스플레이에 관한 관심이 고조되고 휴대가 가능한 정보매체를 이용하려는 요구가 높아지면서 기존의 표시장치인 브라운관(Cathode Ray Tube; CRT)을 대체하는 경량 박막형 평판표시장치(Flat Panel Display; FPD)에 대한 연구 및 상업화가 중점적으로 이루어지고 있다. 특히, 이러한 평판표시장치 중 액정표시장치(Liquid Crystal Display; LCD)는 액정의 광학적 이방성을 이용하여 이미지를 표현하는 장치로서, 해상도와 컬러표시 및 화질 등에서 우수하여 노트북이나 데스크탑 모니터 등에 활발하게 적용되고 있다.

액정표시장치에 주로 사용되는 구동 방식인 능동 매트릭스(Active Matrix; AM) 방식은 비정질 실리콘 박막 트랜지스터(Amorphous Silicon Thin Film Transistor; a-Si TFT)를 스위칭소자로 사용하여 화소부의 액정을 구동하는 방식이다.

비정질 실리콘 박막 트랜지스터 기술은 1979년 영국의 LeComber 등에 의하여 개념이 확립되어 1986년에 3" 액정 휴대용 텔레비전으로써 실용화되었고 최근에는 50" 이상의 대면적 박막 트랜지스터 액정표시장치가 개발되었다.

그러나, 상기 비정질 실리콘 박막 트랜지스터의 전기적 이동도($\sim 1\text{cm}^2/\text{Vsec}$)로는 1MHz 이상의 고속 동작을 요구하는 주변회로에 이용하는 데는 한계가 있다. 이에 따라 전계효과 이동도(field effect mobility)가 상기 비정질 실리콘 박막 트랜지스터에 비해 큰 다결정 실리콘(Polycrystalline Silicon; poly-Si) 박막 트랜지스터를 이용하여 유리기관 위에 화소부와 구동회로를 동시에 집적하는 연구가 활발히 진행되고 있다.

다결정 실리콘 박막 트랜지스터 기술은 1982년에 액정 컬러 텔레비전이 개발된 이후로 캠코더 등의 소형 모듈에 적용하고 있으며, 낮은 감광도와 높은 전계효과 이동도를 가지고 있어 구동회로를 기관에 직접 제작할 수 있다는 장점이 있다.

이동도의 증가는 구동 화소수를 결정하는 구동회로의 동작 주파수를 향상시킬 수 있으며 이로 인한 표시장치의 고정세화가 용이해진다. 또한, 화소부의 신호 전압의 충전 시간의 감소로 전달 신호의 왜곡이 줄어들어 화질 향상을 기대할 수 있다.

또한, 다결정 실리콘 박막 트랜지스터는 높은 구동 전압($\sim 25\text{V}$)을 갖는 비정질 실리콘 박막 트랜지스터에 비해 10V 미만에서 구동이 가능하므로 전력 소모를 감소시킬 수 있다는 장점이 있다.

다결정 실리콘 박막 트랜지스터의 제작 방법으로는 크게 다결정 실리콘 박막을 직접 증착하는(as-deposition) 방법과 비정질 실리콘 박막을 증착한 뒤 열처리하여 결정화하는 방법이 있다. 특히, 저가의 유리기관을 사용하기 위해서는 저온 공정이 가능하고 박막 트랜지스터의 전계효과 이동도를 향상시킬 수 있는 방법이 요구된다.

비정질 실리콘 박막을 결정화하는 열처리 방법에는 크게 고상 결정화(Solid Phase Crystallization; SPC) 방법과 엑시머 레이저 어닐링(Eximer Laser Annealing; ELA) 방법이 있다.

고상 결정화는 약 600°C 의 저온에서 다결정 실리콘 박막을 형성하기 위한 방법으로서 저융점 유리기관 위에 비정질 실리콘 박막을 형성한 후, 약 600°C 에서 수 시간 내지 수십 시간 동안 가열처리를 함으로써 비정질 실리콘 박막을 결정화하는 방법이다. 상기 고상 결정화 방법으로 얻어진 다결정 실리콘 박막은 보통 수 μm 수준의 비교적 큰 그레인(grain)을 가지나 상기 그레인 내에 결함(defect)이 많다는 단점이 있다. 상기 결함은 그레인 경계(grain boundary) 영역 다음으로 박막 트랜지스터의 성능에 좋지 않은 영향을 미치는 것으로 알려져 있다.

엑시머 레이저 어닐링은 저온에서 다결정 실리콘 박막 트랜지스터를 제조하는 핵심적인 방법으로서 높은 에너지를 갖는 레이저빔을 비정질 실리콘 박막에 수십 nsec의 순간적인 조사에 의해 비정질 실리콘 박막을 결정화하는 방법이다. 아주 짧은 시간에 비정질 실리콘의 용융과 결정화가 이루어지므로 유리기관이 전혀 손상을 입지 않는다는 장점이 있다.

또한, 엑시머 레이저를 이용하여 제작된 다결정 실리콘 박막은 일반적인 다른 열처리 방법으로 제작된 다결정 실리콘 박막보다 전기적 특성이 우수하다. 예를들면, 비정질 실리콘 박막 트랜지스터의 전계효과 이동도는 $0.1\sim 0.2\text{cm}^2/\text{Vsec}$ 정도이고 일반적인 열처리 방법으로 제작된 다결정 실리콘 박막 트랜지스터의 전계효과 이동도는 $10\sim 20\text{cm}^2/\text{Vsec}$ 정도인데 반해, 상기 엑시머 레이저를 이용하여 제작된 다결정 실리콘 박막 트랜지스터는 $100\text{cm}^2/\text{Vsec}$ 가 넘는 전계효과 이동도 값을 가진다.(IEEE Trans. Electron Devices, vol. 36, no. 12, p. 2868, 1989)

이하, 엑시머 레이저를 이용한 결정화 방식에 대해 자세히 살펴본다.

도 1은 조사되는 레이저 에너지 밀도에 대한 다결정 실리콘 박막의 그레인 크기를 나타내는 그래프이다.

도면에 도시된 바와 같이, 제 1 영역(A)과 제 2 영역(B)에서는 레이저 에너지 밀도가 증가할수록 결정화된 다결정 실리콘 박막의 그레인 크기가 증가하고 있는 것을 알 수 있다.(IEEE Electron Dev. Lett., DEL-7, 276, 1986) 그러나, 제 3 영역(C)에서는 특정 에너지 밀도(E_c) 이상의 에너지가 조사되면 결정화된 다결정 실리콘 박막의 그레인 크기는 급격하게 감소하게 됨을 알 수 있다.

즉, 조사되는 레이저 에너지 밀도에 따라 실리콘 박막의 결정화 메커니즘이 다르다는 것을 알 수 있다.

도 2a 내지 도 2c는 도 1에 도시된 그래프의 레이저 에너지 밀도에 따른 실리콘 결정화 메커니즘을 나타내는 단면도이다.

레이저 어닐링에 의한 비정질 실리콘의 결정화 메커니즘은 레이저 조사 조건(레이저 에너지 밀도, 조사 압력, 기판 온도 등) 및 비정질 실리콘 박막의 물성적, 기하학적 특성(흡수 계수, 열 전도도, 질량, 불순물 함유도, 두께 등)과 같이 여러 가지 요인에 의해 영향을 받는다.

엑시머 레이저가 가지는 파장 근처에서 비정질 실리콘은 매우 높은 흡수 계수를 가지므로 레이저빔의 조사시 30~200ns 이내에서 에너지를 흡수하여 용융되고 재결정화된다.

먼저, 도 2a에 도시된 바와 같이, 도 1 그래프의 제 1 영역(A)은 부분 용융 영역(partial melting region)으로 비정질 실리콘 박막(12)은 점선 부분까지만 결정화가 이루어지며 이 때 형성된 그레인(G_1)의 크기는 수백 Å 정도이다.

이와 같이 버퍼층(11)이 형성된 기판(10) 위의 비정질 실리콘 박막(12)에 레이저가 조사되면 상기 비정질 실리콘 박막(12)은 녹게 되는데, 레이저빔에 직접 노출되는 비정질 실리콘 박막(12)의 표면에는 강한 레이저 에너지가 조사되고 비정질 실리콘 박막(12)의 하부에는 상대적으로 약한 레이저 에너지가 조사됨으로써 비정질 실리콘 박막(12)의 일정 부분까지만 결정화가 일어나게 된다.

이 때, 레이저 결정화에 의한 결정 성장 과정은 첫째가 레이저 조사에 따른 비정질 실리콘 표면층의 일차 용융(primary melting)이고, 둘째는 일차 용융층의 고상화에 따른 잠열 발생 및 이로 인한 하부층의 이차 용융(secondary melting)이고, 셋째가 고상화를 통한 결정 성장으로, 상기 결정 성장 과정에 대해 자세히 설명하면 다음과 같다.

레이저가 조사된 비정질 실리콘 박막은 용융 온도(1000°C)를 상회하게 되어 액상 상태로 용융(primary melting)된다. 이어, 상기 일차 용융층은 하부 실리콘 및 기판과 높은 온도차가 발생하여 고상핵화(solid phase nucleation) 및 고상화(solidification)가 발생할 때까지 급격하게 냉각된다. 레이저 조사에 따른 용융층은 상기 고상핵화 및 고상화가 일어날 때까지 유지되며, 이와 같은 용융 상태는 증발(ablation)이 일어나지 않는 범위에서는 레이저 에너지 밀도가 높을수록 또는 외부로의 열 방출이 적을수록 오랫동안 지속된다. 또한, 일차 용융층은 결정질 실리콘의 용융 온도(1400°C)보다 낮은 온도(1000°C)에서 용융되므로 상기 용융층은 냉각되어 상변화 이하의 온도로 내려가는 과냉각(supercooling) 상태로 유지되며, 이와 같은 과냉각 상태가 클수록, 즉 박막의 용융 온도가 낮거나 냉각 속도가 클수록 고상화시 핵 생성율(nucleation rate)의 증가를 가져와 미세(fine)결정 성장을 이루게 된다.

일차 용융층이 냉각되어 고상화가 시작되면 결정핵을 중심으로 상부방향으로 결정 성장이 이루어지며, 이 때 일차 용융층이 액상에서 고상으로의 상변화에 따른 잠열이 방출되어 고체 상태의 하부 비정질 실리콘 박막을 용융(secondary melting)시키며 다시 고상화를 통한 이와 같은 과정이 반복되어 결정이 성장하게 된다. 이 때의 하부 이차 용융층은 일차 용융층에 비해 보다 더 과냉각된 상태로 핵 생성율이 증가하여 결정 크기가 작아지게 된다.

따라서, 레이저 어닐링에 의한 결정화시 결정화 특성을 향상시키기 위해서는 고상화에 따른 냉각 속도를 늦추는 것이 효과적인 방법이며 이에 따라 기판 가열, 이중 빔 조사, 버퍼 절연층 삽입 등과 같이 흡수된 레이저 에너지의 외부로의 열 방출을 억제하여 냉각 속도를 늦추는 방법을 사용할 수 있다.

도 2b는 도 1 그래프의 제 2 영역(B)에 대한 실리콘 결정화 메커니즘을 나타내는 단면도로서, 상기 제 2 영역(B)은 완전 용융 근접 영역(near-complete melting region)을 나타낸다.

도면에 도시된 바와 같이, $3000\sim 4000\text{\AA}$ 정도의 비교적 큰 크기의 그레인(G_2)을 가진 다결정 실리콘 박막이 하부 버퍼층(11)의 계면까지 형성되어 있다. 즉, 상기 영역에 해당하는 에너지 밀도에 의하면 버퍼층(11)과 근접한 영역까지 비정질 실리콘 박막(12)이 용융되어 상기 비정질 실리콘 박막(12)과 버퍼층(11) 사이의 계면에 밀집되어 존재하는 입자들이 핵(N)으로 작용하여 화살표 방향으로 성장하게 되어 비교적 큰 결정립이 형성되게 된다.(J. Appl. Phys. 82, 4086) 그러나, 상기 결정핵(N)의 분포밀도가 일정하지 않아 불균일한 결정립이 형성되며 그레인(G_2) 경계 표면이 주위보다 높은 융기(protuberance)(P) 부위가 형성되어 다결정 실리콘 박막의 특성을 저하시키게 된다.

마지막으로 도 2c는 도 1의 그래프의 제 3 영역(C)에 해당하며 완전 용융 영역(complete melting region)에 대한 결정화 메커니즘을 나타내는 단면도이다.

도면에 도시된 바와 같이, 상기 영역에 해당하는 에너지 밀도에서는 매우 작은 크기의 결정립(G_3)이 불규칙하게 형성되어 있다.

즉, 레이저 에너지 밀도가 일정 수준(E_c) 이상이 될 때에는 조사되는 영역의 비정질 실리콘 박막(12)이 모두 용융되고 그레인으로 성장할 수 있는 핵이 존재하지 않게 된다. 이후, 강한 에너지의 레이저를 조사받은 비정질 실리콘 박막(12)이 급격한 냉각 과정을 거칠 때 많은 수의 결정핵(N)이 생성되며 상기 결정핵에 의해 미세한 결정립(G_3)이 형성되게 된다.

이와 같은 결정화 메커니즘에 의해 형성된 다결정 실리콘 박막은 단결정과 달리 필연적으로 결정립 내의 결함 보다 더 큰 결함인 그레인 경계가 존재하게 된다. 상기 그레인 경계는 용융된 비정질 실리콘이 고상화되면서 발생하는 열적 스트레스(thermal stress)에 기인하며 소자 특성을 저하시키는 주 요인이 되고 있다.

고이동도를 확보하기 위해서는 상기 그레인 경계의 밀도를 낮추는 것이 중요하며, 이는 결정화된 다결정 실리콘 박막의 그레인 크기를 증가시킴으로써 해결할 수 있다.

그러나, 액정표시장치의 소자에 적용시키기 위해서는 그레인의 크기보다는 그레인 크기의 균일도 및 그레인의 형태(morphology)가 더 중요하다.

액정표시장치의 박막 트랜지스터를 구성하는 액티브층의 결정 입자, 즉 그레인의 크기가 균일하지 않은 경우에는 각 소자는 서로 다른 전계효과 이동도를 갖게 되어 표시패널 전체에 대해서 화질 불균일을 초래하는 문제점을 발생시키게 된다.

또한, 그레인의 길이방향(즉, 그레인 경계와 만나는 횡수가 적은 방향)과 나란하게 박막 트랜지스터의 채널이 형성되지 못하면 아무리 그레인의 크기가 크더라도 고이동도의 소자를 얻을 수 없게 된다. 이는 채널이 그레인 경계를 가로지르는 방향으로 형성되게 되면 상기 그레인 경계가 캐리어의 이동을 방해하는 장애물로 작용하여 소자의 이동도를 현저하게 감소시키게 하기 때문이다.

이러한 그레인의 방향 의존성은 박막 트랜지스터의 배치(특히, 구동회로부의 박막 트랜지스터의 배치) 등의 문제와 그에 따른 소요(所要) 면적의 증가라는 문제점을 발생시키게 한다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 문제를 해결하기 위한 것으로, 결정화 방식을 개선함으로써 균일한 그레인 크기를 가지며 그레인의 방향 의존성이 제거된 비정질 반도체층의 결정화방법을 제공하는 것을 목적으로 한다.

본 발명의 다른 목적은 상기의 결정화방법에 의해 결정화된 반도체층을 사용함으로써 전기적 특성이 향상된 다결정 박막 트랜지스터의 제조방법을 제공하는 것이다.

본 발명의 또 다른 목적은 상기의 결정화 특성이 향상된 다결정 박막 트랜지스터를 적용함으로써 구동회로부를 화소부와 일체로 기관상에 형성하는 SOP(System On Panel)이 가능하게 하는 것이다.

발명의 구성

상기한 목적을 달성하기 위하여, 본 발명의 비정질 반도체층의 결정화방법은 제 1 두께의 비정질 반도체층을 제공하는 단계; 상기 비정질 반도체층을 제 1 방향으로 수평 결정화하는 단계; 상기 결정화된 반도체층을 제 2 두께로 식각하는 단계; 및 상기 식각된 반도체층을 상기 제 1 방향과 직교하는 제 2 방향으로 수평 결정화하는 단계를 포함한다.

또한, 본 발명의 박막 트랜지스터의 제조방법은 기관을 제공하는 단계; 상기 기관 위에 비정질 반도체층을 형성하는 단계; 상기 비정질 반도체층을 제 1 방향으로 수평 결정화하고, 상기 결정화된 반도체층을 식각한 후 상기 제 1 방향과 직교하는 제 2 방향으로 수평 결정화하여 다결정 반도체층을 형성하는 단계; 상기 기관 위에 게이트절연층을 형성하는 단계; 상기 게이트절연층 위에 게이트전극을 형성하는 단계; 상기 게이트전극이 형성된 기관 위에 절연층을 형성하는 단계; 및 상기 절연층 위에 상기 다결정 반도체층과 접촉하는 소오스전극과 드레인전극을 형성하는 단계를 포함한다.

또한, 본 발명의 박막 트랜지스터의 다른 제조방법은 기관을 제공하는 단계; 상기 기관 위에 비정질 반도체층을 형성하는 단계; 상기 비정질 반도체층을 결정화하여 실질적으로 정사각형 형태의 그레인을 갖는 다결정 반도체층을 형성하는 단계;

상기 기판 위에 게이트절연층을 형성하는 단계; 상기 게이트절연층 위에 게이트전극을 형성하는 단계; 상기 게이트전극이 형성된 기판 위에 절연층을 형성하는 단계; 및 상기 절연층 위에 상기 다결정 반도체층과 접촉하는 소오스전극과 드레인전극을 형성하는 단계를 포함한다.

삭제

또한, 본 발명의 액정표시소자의 제조방법은 화소부와 구동회로부로 이루어진 제 1 기판을 제공하는 단계, 상기 제 1 기판에 비정질 반도체층을 형성하는 단계, 상기 비정질 반도체층을 제 1 방향으로 수평결정화하는 단계, 상기 결정화된 반도체층을 상기 제 1 방향과 실질적으로 수직인 제 2 방향으로 수평 결정화하는 단계를 포함하며, 상기 결정화된 반도체층을 액티브층으로 사용하여 구동회로부에 제 1 박막 트랜지스터를 형성하는 단계; 상기 화소부에 제 2 박막 트랜지스터를 형성하는 단계; 상기 제 1 기판 위에 상기 제 2 박막 트랜지스터와 전기적으로 접속하는 화소전극을 형성하는 단계; 컬러필터층이 형성된 제 2 기판을 제공하는 단계; 상기 제 1 기판과 제 2 기판을 합착하는 단계; 및 상기 제 1 기판 및 제 2 기판 사이에 액정층을 형성하는 단계를 포함한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다.

본 발명은 결정화 방식을 개선하여 그레인 방향 의존성을 제거한 다결정 실리콘 박막의 제조방법에 관한 것이다.

일반적으로 액정표시장치에 있어서 박막 트랜지스터를 만들어 주는 곳은 화소부와 주변의 구동회로부의 두 부분이다.

이 중, 상기 화소부의 박막 트랜지스터는 20~50cm²/Vs 정도의 이동도를 만족시키면 되므로 그다지 우수한 특성을 요구하지는 않는다. 반면, 구동회로부에서는 N-채널 박막 트랜지스터와 P-채널 박막 트랜지스터를 모두 형성하여야 하고 상기 박막 트랜지스터의 특성은 액정표시장치의 구동에 있어서 결정적인 영향을 미치므로 수백 cm²/Vs 정도의 이동도를 만족시켜야 한다.

일반적으로 다결정 실리콘 박막 트랜지스터에서는 그레인 경계와 만나는 횟수가 적은 그레인의 길이방향과 나란하게 박막 트랜지스터의 채널을 형성하게 되는데, 이는 상기 채널이 그레인 경계를 가로지르는 방향으로 형성되게 되면 상기 그레인 경계가 캐리어의 이동을 방해하는 장애물로 작용하여 소자의 이동도를 크게 감소시키게 하기 때문이다. 특히, 상기 구동회로부의 박막 트랜지스터는 일정한 방향으로 배치되어 있지 않아 상기 박막 트랜지스터의 채널은 임의의 방향을 갖게 되므로 이동도 크기의 편차는 매우 크게 된다.

따라서, 박막 트랜지스터의 채널은 임의의 방향성을 가지고 있으므로 원하는 소자 특성을 만족시키기 위해서는 다결정 실리콘 박막에 대한 그레인의 방향 의존성을 제거하는 것이 중요하게 된다. 즉, 그레인이 단결정 수준으로 형성되더라도 액정표시장치의 소자에 응용되기 위해서는 임의의 방향에 따라 상기 그레인의 형태가 균일한 특성을 가져야 한다.

그러므로, 본 발명에서는 일방향으로 일차 수평 결정화하여 단결정 수준의 다결정 실리콘 박막을 형성한 뒤 직교하는 다른 일방향으로 이차 수평 결정화를 실시함으로써 방향 의존성이 제거된 바둑판 모양의 다결정 실리콘 박막, 즉 대략 정사각형 형태의 다결정 실리콘 박막을 얻을 수 있게 된다.

일반적으로 상기 결정화에 사용되는 비정질 실리콘 박막은 증착 장비의 생산성 및 전기적 특성 확보의 이유로 500Å 내외의 두께로 가져간다. 특히, 액티브층이 두꺼울 경우 누설 전류의 증가, 온-오프 비(on-off ratio) 감소 등의 문제를 발생시키게 된다.

이 때, 그레인 경계의 결함을 완화시키기 위해서는 비정질 실리콘이 용융된 상태의 지속(duration) 시간을 길게 하면 되며, 상기 지속 시간을 길게 하는 방법으로는 결정화에 사용되는 비정질 실리콘 박막을 두껍게 가져가는 방법이 있다.

따라서, 본 발명에서는 일차 수평 결정화시 비정질 실리콘의 두께를 일반적인 액티브층 두께보다 두껍게 하여 그레인 경계의 결함이 완화된 다결정 실리콘 박막을 얻은 후 상기 결정화된 실리콘을 식각하여 최종 액티브 두께로 남긴다. 이후 이차 수평 결정화 공정을 진행함으로써 전기적 특성이 확보된 완벽한 바둑판 형태의 단결정 그레인을 확보할 수 있게 된다.

이하, 첨부한 도면을 참조하여 본 발명에 따른 다결정 실리콘 박막 제조방법의 바람직한 실시예를 상세히 설명한다.

도 3a 내지 도 3d는 본 발명의 제 1 실시예에 따른 결정화 방법을 순차적으로 나타내는 도면으로서, 수평 결정화 방법을 예를 들어 나타내고 있다.

본 실시예에서는 수평 결정화 방법 중 순차적 수평 결정화(Sequential Lateral Solidification; SLS) 방법을 사용하여 결정화하였으나 본 발명이 이에 한정되는 것은 아니며, 상기 소자 특성을 만족시키는 다른 수평 결정화 방법(예를 들면, SELAX(Selectively Enlarging LAser Xtallization), MILC(Metal Induced Lateral Crystallization) 등)을 사용할 수도 있다.

상기 순차적 수평 결정화는 실리콘 결정립, 즉 그레인(G)이 액상 실리콘과 고상 실리콘의 경계면에서 상기 경계면에 대하여 수직 방향으로 성장한다는 사실을 이용한 기술이다.(Robert S. Sposilli, M. A. Crowder, and James S. Im, Mat. Res. Soc. Symp. Proc. Vol. 452, 956~957, 1997)

특히, 순차적 수평 결정화 기술에서는 레이저 에너지 밀도와 레이저의 조사범위를 적절히 조절하여 실리콘 결정립을 소정의 길이만큼 수평 성장시킴으로써 비정질 실리콘 박막을 단결정 수준으로 결정화시킬 수 있다.

먼저, 도 3a에 도시된 바와 같이, 소정 두께로 증착된 비정질 실리콘 박막(112)에 소정의 폭(W)을 가진 슬릿(S)을 포함한 마스크(M)를 적용하여 제 1 레이저를 조사한다.

이 때, 상기 슬릿(S)을 통해 레이저가 조사된 영역(I, II)은 그레인(G)이 상하 경계면에 위치한 비정질 실리콘 박막(112)을 핵으로 삼아 수평으로 성장하여 서로 접촉하게 된다.

상기 마스크(M)는 가운데에 형성된 슬릿(S)을 제외한 부분으로 입사된 모든 레이저빔을 차단하는 역할을 한다. 마스크(M)의 재질은 레이저빔의 차단효과가 뛰어나고 반사율이 좋은 알루미늄 계열의 금속을 사용할 수 있다.

본 실시예에서는 하나의 슬릿(S)을 가진 마스크(M)를 사용하여 결정화를 실시하였으나 본 발명이 이에 한정되는 것은 아니며, 원하는 결정화 특성을 얻을 수만 있다면 어떠한 형태의 마스크(M)라도 사용할 수 있다.

또한, 본 실시예에서는 비정질 실리콘 박막(112)을 액티브층으로 일반적으로 사용하는 500Å 두께로 증착하여 결정화에 사용하였다.

이하, 본 실시예의 순차적 수평 결정화에 따른 결정 성장 과정에 대해서 자세히 설명한다.

먼저, 비정질 실리콘 박막(112)이 완전히 용융되는 에너지 밀도 이상(도 1의 제 3 영역(C))의 레이저가 조사되면 상기 비정질 실리콘 박막(112)은 완전히 용융되게 된다.

이 때, 레이저 에너지의 조사가 끝난 직후부터 비정질 실리콘 박막(112)은 상, 하면, 즉 레이저가 조사되지 않은 비-조사 영역을 통해 냉각되게 된다. 이는 비정질 실리콘 박막(112) 하부의 버퍼층 또는 유리기관(110)보다 상, 하면의 고상 비정질 실리콘 박막(112)이 더 큰 열 전도도를 가지기 때문이다.

따라서, 액상의 비정질 실리콘 박막(112)은 중앙부보다 상하의 고상과 액상의 계면에서 우선적으로 핵형성 온도에 도달하게 되어 상기 부분에서 결정핵이 형성되게 된다. 결정핵이 형성된 후부터는 온도가 낮은 쪽에서 높은 쪽으로 그레인(G)의 수평 성장이 일어나게 된다.

상기 방법에서 레이저를 단일 용융에 의한 횡방향 성장이 달성될 수 있는 거리($\sim 1\mu\text{m}$)와 거의 동일한 폭으로 비정질 실리콘 박막(112)에 조사함으로써 레이저의 조사방향을 따라 수평방향(Y 방향)으로 결정 입자가 성장하게 할 수 있다.

즉, 수평 결정화된 제 1 영역(I) 및 제 2 영역(II)의 폭은 조사된 레이저 폭(W)의 1/2이며 그레인의 길이방향(Y 방향)으로의 그레인 경계는 상기 영역(I, II)의 계면에 하나만 존재하게 된다.

다음으로, 도 3b에 도시된 바와 같이, 제 1 레이저 조사 후 기관 또는 레이저 조사 장치를 일정한 거리만큼 Y축 방향으로 수평 이동하여 제 2 레이저를 조사한다.

상기의 이동거리(즉, 제 1 레이저 조사 후 제 2 레이저 조사를 위해 기관 또는 레이저 조사 장치가 이동하는 거리)를 전이 거리(translation distance)라고 한다.

기관을 전이 거리만큼 Y축 방향으로 이동하면 제 1 레이저 조사영역(점선부)과 제 2 레이저 조사영역은 A만큼 겹치게 되고 그 폭은 임의로 조절할 수 있다. 이후 제 2 레이저를 조사하면, 이미 제 1 레이저 조사에 의해 결정화가 이루어진 제 2 영역(II)의 일부와 슬릿(S) 아래의 비정질 실리콘(112) 영역이 용융되어 순차적 수평 결정화가 진행되게 된다. 즉, 제 2 영역(II) 중 용융되지 않은 결정질 실리콘(120)과 경계면에 존재하는 용융되지 않은 비정질 실리콘(112)이 결정화의 핵으로 작용하여 수평 결정화가 이루어지게 된다.

상기의 결과, 제 2 영역(II)을 핵으로 삼아 결정화가 이루어진 영역은 그레인의 크기가 $1\mu\text{m}$ 이상이 된다. 즉, 제 2 영역(II) 중 레이저 조사를 받지 않은 영역의 크기와 새로이 성장한 그레인 크기 $1\mu\text{m}$ 의 합(제 3 영역(III))만큼의 그레인 크기(GW)를 가진다.

또한, 레이저가 조사되지 않은 비정질 실리콘(112)을 핵으로 삼아 성장한 그레인은 제 4 영역(IV)으로써 그 크기가 보통의 수평 결정화 크기인 $1\mu\text{m}$ 정도이다.

도 3c는 상기의 과정을 반복 실시하여 얻은 다결정 실리콘 박막(120)의 일부를 나타내고 있다.

먼저 Y축 방향으로 상기의 과정을 반복하여 비정질 실리콘 박막(112)을 모두 결정화한다. 이후, 기관(110) 또는 레이저 조사 장치를 X축 방향으로 마스크 상의 슬릿(S) 길이 만큼 수평 이동하고 상기의 과정을 반복하여 원하는 영역 전체를 레이저 어닐링 한다.

상기의 결과, 도면에 도시된 바와 같이, 비정질 실리콘 박막(112)은 결정화되어 수평으로 성장한 비교적 균일한 크기의 그레인(G)을 얻게 된다.

상기 결정화된 다결정 실리콘 박막(120)은 $1.5\sim 2\mu\text{m}$ 의 매우 큰 그레인 크기(GW)를 갖는 등 우수한 결정화 특성을 가지고 있다. 다만, Y축 방향으로 다수 형성되어 있는 그레인 경계(GB)는 X축 방향으로의 캐리어 이동을 방해하며, 이에 따라 상기 다결정 실리콘 박막(120)을 이용하여 원하는 특성을 가진 소자를 구현하기 위해서는 박막 트랜지스터의 채널을 그레인(G)의 길이방향인 Y축 방향으로 배치시켜 형성해야 된다.

도 3d는 이차 수평 결정화를 하고 난 뒤의 다결정 실리콘 박막(120)을 나타내고 있다.

일차 수평 결정화가 끝난 다음 샘플이 놓인 스테이지나 레이저 조사 장치를 90° 회전한 후 이차 수평 결정화를 실시하게 된다.

이 때, 도면에 도시된 바와 같이, 결정화된 다결정 실리콘 박막(120)은 단결정 수준이며 바둑판 형태의 그레인(G)을 가지게 된다. 다만, 상기 바둑판 형태의 그레인(G) 사이에는 약간의 서브-그레인(G_s)이 존재하여 캐리어의 이동을 방해하게 된다.

즉, 결정화에 사용된 비정질 실리콘 박막(112)의 두께가 얇으면 결정화 공정시 용융 지속 시간이 짧아 열적 스트레스에 기인된 결함이나 서브-그레인 경계(G_sB)의 치유가 부족하여 방향성 없는 직사각형(rectangle) 형태의 완벽한 단결정을 확보하기에는 어려움이 있게 된다.

도 4는 도 3d에 도시된 다결정 실리콘 박막의 결정화 형태를 나타내는 주사 전자 현미경(Scanning Electron Microscope; SEM) 사진이다.

도면에 도시된 바와 같이, 대략 $1.5\sim 2\mu\text{m}$ 정도의 크기를 가진 바둑판 모양의 그레인(G)이 형성되어 있으며, 상기 그레인(G) 내에는 약간의 서브-그레인(G_s)이 형성되어 있다.

상기 서브-그레인(G_s)의 경계(G_sB)는 캐리어의 이동을 방해하는 장애물로 작용하므로 상기 서브-그레인(G_s)의 형성을 억제하는 결정화 방법이 요구되며, 이를 다음 실시예를 통해 상세히 설명한다.

도 5a 내지 도 5d는 본 발명의 제 2 실시예에 따른 다결정 실리콘 박막 제조방법을 순차적으로 나타내는 도면이다.

본 실시예에서는 박막 트랜지스터의 액티브층으로 일반적으로 사용하는 두께보다 두꺼운 1000~2000Å 정도의 비정질 실리콘 박막을 이용하여 결정화 공정을 실시하였다.

이 때, 비정질 실리콘 박막의 두께가 두꺼우면 서브-그레인 경계의 빈도가 감소하며 그레인의 크기가 큰 다결정 실리콘 박막을 확보할 수 있게 된다.

먼저, 도 5a에 도시된 바와 같이, 버퍼층(211) 형성된 기판(210) 위에 결정화에 사용될 비정질 실리콘 박막(212)을 소정 두께로 증착한다.

일반적으로 비정질 실리콘 박막(212)은 여러 가지 방법으로 증착할 수 있으며, 상기 비정질 실리콘 박막을 증착하는 대표적인 방법으로는 저압 화학 기상 증착(Low Pressure Chemical Vapor Deposition; LPCVD) 방법과 플라즈마 화학 기상 증착(Plasma Enhanced Chemical Vapor Deposition; PECVD) 방법이 있다.

상기 플라즈마 화학 기상 증착 방법으로 비정질 실리콘 박막을 증착할 경우에는 증착시 기판의 온도에 따라 다소 차이는 있으나 약 20% 내외의 수소 원자가 상기 비정질 실리콘 박막 내에 포함되게 된다. 이 때, 상기 수소 원자들을 외부로 배출시키는 어닐링 공정인 탈수소화(dehydrogenation) 공정이 필수적으로 따라야 한다. 그 이유는 수소 원자를 포함한 비정질 실리콘 박막을 레이저로 결정화할 때 상기 수소 원자가 밖으로 튀어나와 박막 내부에 공동(cavity)이 형성되어 다결정 실리콘 박막의 질을 저하시키기 때문이다.

여기서, 결정화에 사용되는 비정질 실리콘 박막(212)의 최적 두께는 1000Å에서 매우 큰 레이저 에너지를 필요로 하지 않는 2000Å까지로 할 수 있다. 특히, 증착된 비정질 실리콘 박막(212)의 두께가 두꺼울수록 용융 지속 시간이 길어져 결정화된 다결정 실리콘 박막의 그레인 크기는 증가하게 되며 이에 따라 소자 특성도 향상되게 된다.

다음으로, 도 5b에 도시된 바와 같이, 순차적 수평 결정화 방법을 이용하여 결정화를 진행하면 비정질 실리콘 박막(212)은 결정화되어 수평으로 성장한 균일한 크기의 그레인(G)을 얻게 된다.

상기 결정화된 다결정 실리콘 박막(220)은 그레인(G)의 크기가 1.5~2 μ m 정도로 우수한 결정화 특성을 가지며, 도 3b에 도시된 제 1 실시예의 다결정 실리콘 박막에 비해 그레인 경계(G)의 빈도가 감소하였다. 따라서, 결정화에 사용할 비정질 실리콘 박막(212)을 두껍게 하여 결정화하면 더 우수한 특성의 다결정 실리콘 박막(220)을 얻을 수 있게 된다.

도 5c는 본 발명에 따른 결정화된 실리콘 박막을 소정 두께가 남도록 식각하는 단계를 나타내고 있다.

도면에 도시된 바와 같이, 일차 순차적 수평 결정화 후 결정화된 실리콘 박막(220)을 누설전류의 감소 등 액티브층으로 사용하기 위한 전기적 특성 확보를 위해 소정의 두께(300~600Å)가 남도록 식각한다.

본 실시예에서는 기판(210)에 노출된 실리콘 박막(220)을 마스크 없이 식각하는 에치-백(etch-back) 방법을 사용하였다. 이 때, 일차 결정화에 의해 형성된 다결정 실리콘 박막(220)은 그레인 형태는 유지하면서 실리콘의 두께만이 감소되게 된다.

상기 결정화된 다결정 실리콘 박막(220)은 그레인 경계 표면에 용기 부분을 포함하는데, 에치-백을 통한 실리콘 전면의 식각으로 상기 용기 부분이 제거되게 된다. 그 결과, 상기 다결정 실리콘 박막(220)의 소자 특성을 향상시킬 수 있게 된다. 이 때, 상기 용기 부분은 결함에 해당하여 결정립 부분에 비해 식각률이 크기 때문에 실리콘 식각시 상기 결정립 부분보다 먼저 식각되게 된다.

마지막으로, 일차 수평 결정화가 끝난 다음 샘플이 놓인 스테이지나 레이저 조사 장치를 90°회전한 후 이차 수평 결정화를 실시하게 된다.

도 5d에 도시된 바와 같이, 결정화된 다결정 실리콘 박막(220)을 순차적 수평 결정화 방법을 이용하여 결정화를 진행하면 서브-그레인 경계가 억제된 상태에서 재결정화를 이루게 됨으로써 완벽한 바둑판 형태의 단결정 그레인(G)을 확보할 수 있게 된다.

이 때, 상기 순차적 수평 결정화 공정을 통하여 결정화된 다결정 실리콘 박막(220)은 식각에 의해 손상된 표면이 치유되게 된다.

본 실시예와 같이 결정화에 사용할 비정질 실리콘 박막을 일반적으로 사용되는 액티브층보다 두껍게 하여 결정화하면 크기가 큰 그레인을 가지며 그레인 경계 밀도가 감소된 다결정 실리콘 박막을 얻을 수 있게 된다. 이후 상기 결정화된 실리콘 박막을 원하는 전기적 특성 확보를 위한 액티브층 두께가 되도록 식각한 뒤 재결정화하면 서브-그레인 경계가 억제된 완벽한 바둑판 형태의 다결정 실리콘 박막을 얻을 수 있게 된다.

도 6은 도 5d에 도시된 다결정 실리콘 박막의 결정화 형태를 나타내는 주사 전자 현미경 사진이다.

도면에 도시된 바와 같이, 완벽한 바둑판 형태의 단결정 그레인(G)이 형성되어 있으며, 상기 그레인(G) 내에는 도 4의 제 1 실시예와는 달리 서브-그레인(G_s)이 매우 작은 수로 형성되어 있다.

제 1 실시예 및 제 2 실시예와 같이 일방향으로 일차 수평 결정화하여 단결정 수준의 다결정 실리콘 박막(120, 220)을 형성한 뒤 직교하는 다른 일방향으로 이차 수평 결정화를 실시하면 방향 의존성이 제거된 바둑판 모양의 다결정 실리콘 박막(120, 220)을 얻을 수 있게 된다.

특히, 상기 제 1 실시예 및 제 2 실시예에 따라 형성된 다결정 실리콘 박막(120, 220)은 그레인 방향 의존성이 제거되었으므로 이를 이용하면 박막 트랜지스터를 제작할 때 상기 박막 트랜지스터의 배치 문제는 생기지 않게 되어 소자의 고집적화를 할 수 있게 된다.

본 실시예에 따라 형성된 다결정 실리콘 박막을 액티브층으로 이용하여 박막 트랜지스터를 제작할 수 있으며, 예를 들어 상부-게이트(top-gate) 구조의 다결정 실리콘 박막 트랜지스터를 제조하는 방법을 설명하면 다음과 같다.

먼저, 기판에 형성된 버퍼층 위에 비정질 실리콘층을 적층한 다음, 상기 결정화 방식에 의해 다결정화하고 포토리소그래피(photolithography) 공정을 통해 패터닝하여 액티브 패턴, 즉 다결정 실리콘층을 형성한다.

상기 액티브 패턴 위에 게이트절연층을 형성한 후, 도전막을 적층하고 식각하여 상기 게이트절연층 위에 게이트전극을 형성한다. 그리고, 상기 게이트전극 위에 절연층을 적층하고 상기 게이트절연층과 절연층을 식각하여 상기 액티브 패턴의 일부를 노출시킨 후, 상기 절연층 위에 액티브층과 접촉하는 소오소전극 및 드레인전극을 형성함으로써 박막 트랜지스터를 완성한다.

삭제

물론 박막 트랜지스터는 상기와 같이 상부-게이트 방식뿐만 아니라 하부-게이트방식도 존재한다(비정질 실리콘 박막 트랜지스터에서는 오히려 하부-게이트방식 박막 트랜지스터를 더 많이 사용한다). 그러나, 액티브층을 다결정 실리콘으로 사용하는 박막 트랜지스터에서는 하부-게이트방식의 전기적 특성이 상부-게이트방식의 전기적 특성보다 나쁘기 때문에 상기와 같이 상부-게이트방식의 박막 트랜지스터 제조방법에 대해서만 설명하였다.

한편, 상기 다결정 실리콘 박막 트랜지스터는 액정표시소자의 화소내에 배치되기보다는 주로 구동회로부에 위치한다. 그 이유는 구동회로부의 박막 트랜지스터가 더 큰 전기이동도를 필요로 하기 때문이다. 물론 화소내에 다결정 실리콘 박막 트랜지스터가 배치될 수 있지만, 비정질 실리콘 박막 트랜지스터가 배치될 수도 있을 것이다.

다결정 실리콘 박막 트랜지스터가 구동회로부에 배치되는 경우, 상기 다결정 실리콘 박막 트랜지스터는 CMOS(Complementary Metal Oxide Semiconductor)로 구성할 수 있다. 이때, 상기 액티브층의 소정영역에는 각각 n형 불순물과 p형 불순물이 주입되어 각각 n형 박막 트랜지스터 및 p형 박막 트랜지스터가 형성된다.

실질적으로 화소내의 비정질 실리콘 박막 트랜지스터와 구동회로부의 다결정 실리콘 박막 트랜지스터의 형성공정은 유사하다. 다시 말해서, 비정질 실리콘층을 결정화하는 공정을 제외하고는 실질적으로 동일한 공정으로 이루어지는 것이다. 따라서, 구동회로부의 다결정 실리콘 박막 트랜지스터와 화소내의 비정질 실리콘 박막 트랜지스터는 동일한 제조라인(결정화공정을 제외)에서 일체로 형성될 것이다.

상기와 같은 박막 트랜지스터를 구비한 액정표시소자를 제조하는 방법은 다음과 같다.

박막 트랜지스터(즉, 화소내의 비정질 실리콘 박막 트랜지스터(또는, 다결정 실리콘 박막 트랜지스터)와 구동회로부의 다결정 실리콘 박막 트랜지스터)를 형성한 후에 화소내에 콘택홀이 형성된 보호막을 형성한 후, 상기 보호막 위에 박막 트랜지스터의 드레인전극에 접속하는 화소전극을 형성한다. 한편, 상기 박막 트랜지스터를 형성할 때 상기 화소내에는 신호를 인가하는 게이트라인과 데이터라인이 형성된다.

상기와 같이 박막 트랜지스터와 화소전극이 형성된 기판을 컬러필터층 및 공통전극이 형성된 대향 기판과 합착하고 그 사이에 액정층을 형성함으로써 액정표시소자를 제조할 수 있게 되는 것이다.

삭제

상기한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 다결정 실리콘 박막의 제조방법은 결정화 방식을 개선함으로써 그레인의 방향 의존성을 제거하여 소자 특성을 향상시킬 수 있다.

또한, 상기 다결정 실리콘 박막을 이용하면 화질이 향상된 액정표시장치를 제조할 수 있다.

도면의 간단한 설명

도 1은 조사되는 레이저 에너지 밀도에 대한 다결정 실리콘 박막의 그레인 크기를 나타내는 그래프.

도 2a 내지 도 2c는 도 1에 도시된 그래프의 레이저 에너지 밀도에 따른 실리콘 결정화 메커니즘을 나타내는 단면도.

도 3a 내지 도 3d는 본 발명의 제 1 실시예에 따른 다결정 실리콘 박막의 제조방법을 순차적으로 나타내는 도면.

도 4는 도 3d에 도시된 다결정 실리콘 박막의 결정화 형태를 나타내는 주사 전자 현미경 사진.

도 5a 내지 도 5d는 본 발명의 제 2 실시예에 따른 다결정 실리콘 박막의 제조방법을 순차적으로 나타내는 도면.

도 6은 도 5d에 도시된 다결정 실리콘 박막의 결정화 형태를 나타내는 주사 전자 현미경 사진.

**** 도면의 주요부분에 대한 부호의 설명 ****

10,110 : 어레이 기판 11,211 : 버퍼층

12,112,212 : 비정질 실리콘 박막 120,220 : 다결정 실리콘 박막

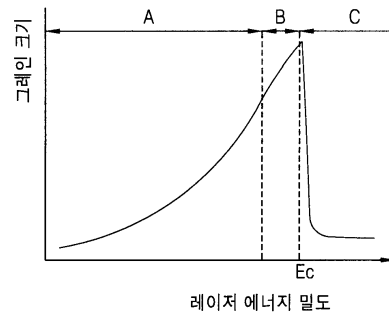
G : 그레인 G_s : 서브-그레인

GB : 그레인 경계 G_sB : 서브-그레인 경계

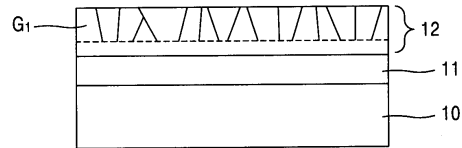
GW : 그레인 크기

도면

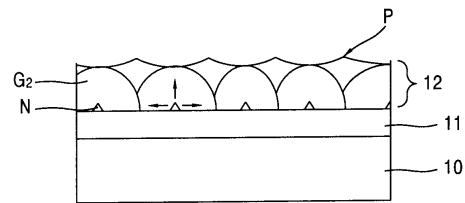
도면1



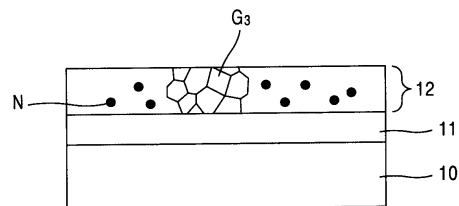
도면2a



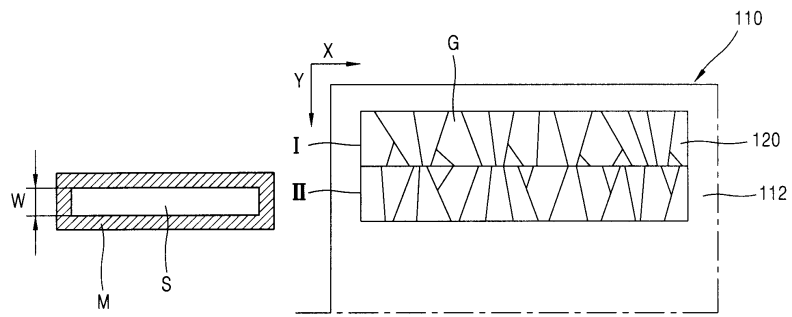
도면2b



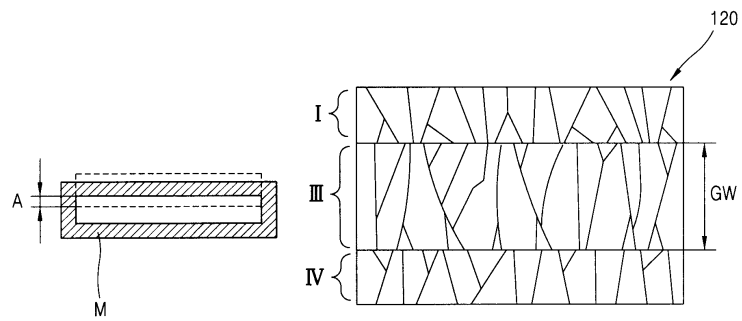
도면2c



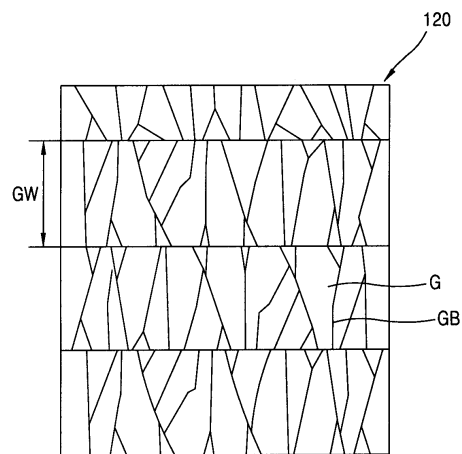
도면3a



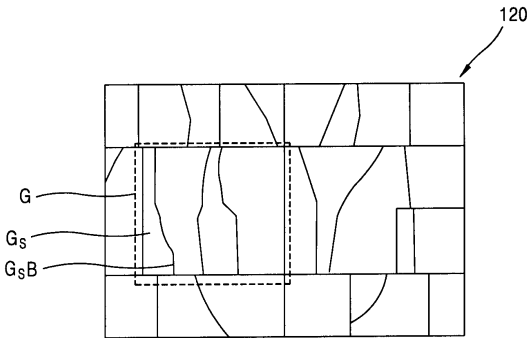
도면3b



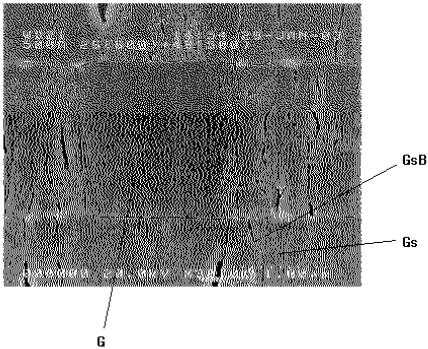
도면3c



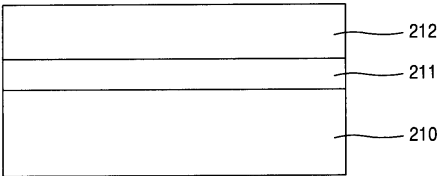
도면3d



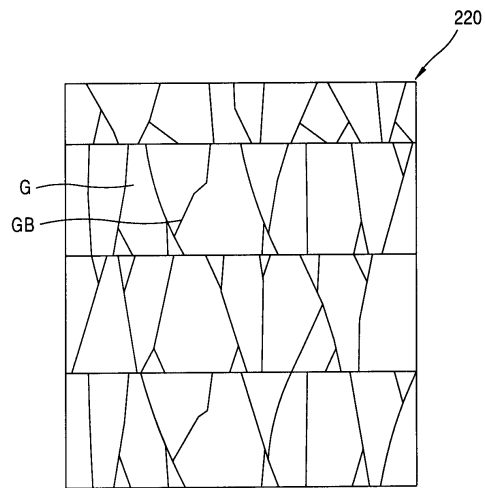
도면4



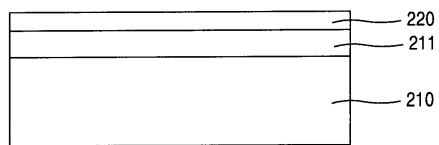
도면5a



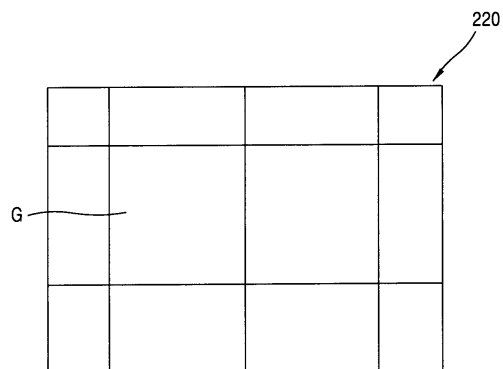
도면5b



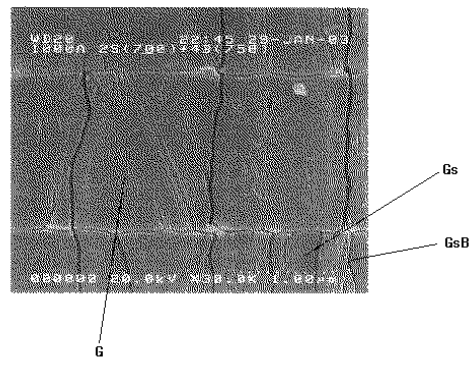
도면5c



도면5d



도면6



专利名称(译)	非晶半导体层的结晶方法和使用其的液晶显示装置的制造方法		
公开(公告)号	KR100753568B1	公开(公告)日	2007-08-30
申请号	KR1020030044002	申请日	2003-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM SANGHYUN		
发明人	KIM,SANGHYUN		
IPC分类号	G02F1/136 H01L21/20 H01L21/336 H01L21/77 H01L27/12 H01L29/04 H01L29/786		
CPC分类号	H01L29/78675 H01L21/02532 H01L27/1285 H01L29/04 H01L21/0268 H01L29/66757 H01L27/1296 H01L21/02691		
代理人(译)	PARK , JANG WON		
其他公开文献	KR1020050003283A		
外部链接	Espacenet		

摘要(译)

用途：提供一种制造多晶硅薄膜的方法，以通过改进结晶方法获得均匀尺寸的晶粒并消除晶粒的方向依赖性。提供一种制造LCD器件的方法，通过使用具有改善的结晶特性的多晶硅薄膜作为有源层来改善图像质量。

