



도 1

## 특허청구의 범위

### 청구항 1.

제1 절연 기관,

상기 제1 절연 기관 위에 매트릭스 모양의 화소에 개구부를 가지고 있어 그물 모양으로 형성되어 있는 블랙 매트릭스,

상기 블랙 매트릭스를 덮는 절연막,

상기 절연막 상부에 형성되어 있으며, 가로 방향으로 뻗어 있는 게이트선 및 상기 게이트선에 연결되어 있는 게이트 전극을 포함하는 게이트 배선,

상기 절연막 상부에 형성되어 상기 게이트 배선을 덮고 있는 게이트 절연막 패턴,

상기 게이트 절연막 패턴 상부에 형성되어 있는 반도체 패턴,

상기 반도체층 상부에 형성되어 있는 저항성 접촉층,

서로 분리되어 상기 저항성 접촉층 상부에 형성되어 있는 소스 및 드레인 전극과 상기 소스 전극과 연결되어 있고 상기 게이트선과 교차하여 상기 화소를 구획하는 데이터선을 포함하는 데이터 배선,

상기 데이터 배선 및 상기 게이트 배선을 덮고 있으며, 상기 게이트 절연막 패턴 및 반도체 패턴과 함께 상기 화소의 상기 절연막을 드러내는 개구부를 가지는 보호막

을 포함하는 액정 표시 장치.

### 청구항 2.

제1항에서,

상기 보호막은 상기 드레인 전극을 드러내는 제1 접촉 구멍을 가지며,

상기 제1 접촉 구멍을 통하여 상기 드레인 전극과 연결되어 있는 화소 전극을 더 포함하는 액정 표시 장치.

### 청구항 3.

제2항에서,

상기 블랙 매트릭스는 다수로 분리되어 있는 액정 표시 장치.

### 청구항 4.

제2항에서,

상기 게이트 배선 또는 상기 데이터 배선과 동일한 층에 위치하며, 다수로 분리된 상기 블랙 매트릭스의 사이에 형성되어 있는 버퍼막을 더 포함하는 액정 표시 장치.

#### 청구항 5.

제2항에서,

상기 블랙 매트릭스는 상기 게이트선과 중첩하는 제1 부분과 상기 제1 부분과 분리되어 있으며, 상기 데이터선과 중첩하는 제2 부분을 포함하는 액정 표시 장치.

#### 청구항 6.

제2항에서,

상기 화소 전극의 가장자리는 상기 블랙 매트릭스와 중첩되어 있는 액정 표시 장치.

#### 청구항 7.

제2항에서,

상기 제1 접촉 구멍을 제외한 상기 보호막은 상기 게이트 절연막 패턴 및 반도체 패턴과 동일한 모양으로 형성되어 있는 액정 표시 장치.

#### 청구항 8.

제2항에서,

상기 드레인 전극이 지나는 부분을 제외한 상기 보호막, 상기 게이트 절연막 패턴 및 반도체 패턴의 경계선은 상기 블랙 매트릭스 상부에 위치하는 액정 표시 장치.

#### 청구항 9.

제2항에서,

상기 게이트 배선은 상기 게이트선과 연결되어 있으며 외부로부터 주사 신호를 전달받아 상기 게이트선으로 전달하는 게이트 패드를 포함하며,

상기 데이터 배선은 상기 데이터선과 연결되어 있으며 외부로부터 영상 신호를 전달받아 상기 데이터선으로 전달하는 데이터 패드를 포함하며,

상기 게이트 절연막 패턴, 반도체 패턴 및 보호막은 상기 게이트 패드 및 데이터 패드를 드러내는 제2 및 제3 접촉 구멍을 가지며,

상기 화소 전극과 동일한 층에는 상기 제2 및 제3 접촉 구멍을 통하여 상기 게이트 패드 및 상기 데이터 패드와 연결되는 보조 게이트 패드 및 보조 데이터 패드를 더 포함하는 액정 표시 장치.

### 청구항 10.

제9항에서,

상기 제1 및 제3 접촉 구멍을 제외한 상기 보호막은 상기 게이트 절연막 패턴 및 반도체 패턴은 서로 동일한 모양으로 형성되어 있는 액정 표시 장치.

### 청구항 11.

제2항에서,

서로 이웃하는 상기 데이터선 사이의 상기 반도체 패턴 상부에 위치하며, 상기 데이터선 또는 상기 화소 전극과 동일한 층에 형성되어 있는 버퍼 도전막을 더 포함하는 액정 표시 장치.

### 청구항 12.

제11항에서,

상기 버퍼 도전막은 상기 게이트 배선과 연결되어 있는 액정 표시 장치.

### 청구항 13.

제12항에서,

상기 버퍼 도전막이 상기 데이터 배선과 동일한 층으로 형성되어 있는 경우에,

상기 보호막은 상기 게이트선 및 상기 버퍼 도전막을 드러내는 제2 접촉 구멍을 가지며,

상기 화소 전극과 동일한 층에는 상기 제2 접촉 구멍을 통하여 상기 게이트선과 상기 버퍼 도전막을 연결하는 연결 패턴을 더 포함하는 액정 표시 장치.

### 청구항 14.

제2항에서,

상기 제1 절연 기판과 마주하는 제2 절연 기판,

상기 제1 절연 기판과 마주하는 상기 제2 절연 기판 상부에 형성되어 있으며, 서로 이웃하는 상기 데이터선 사이의 상기 반도체 패턴 상부에 개구부를 가지는 공통 전극

을 더 포함하는 액정 표시 장치.

### 청구항 15.

절연 기판 위에 매트릭스 모양의 화소에 개구부를 가지고 있는 그물 모양의 블랙 매트릭스를 형성하는 단계,

상기 블랙 매트릭스를 덮는 절연막을 형성하는 단계,

상기 절연막 상부에 가로 방향으로 뻗어 있는 게이트선 및 상기 게이트선에 연결되어 있는 게이트 전극을 포함하는 게이트 배선을 형성하는 단계,

상기 절연막 상부에 게이트 절연막을 적층하는 단계,

상기 게이트 절연막 상부에 반도체층을 적층하는 단계,

상기 반도체층 상부에 저항성 접촉층을 형성하는 단계,

서로 분리되어 있는 소스 및 드레인 전극과 상기 소스 전극과 연결되어 있고 상기 게이트선과 교차하여 상기 화소를 구획하는 데이터선을 포함하는 데이터 배선을 형성하는 단계,

상기 데이터 배선 및 상기 게이트 배선을 덮는 보호막을 적층하는 단계,

상기 보호막, 상기 게이트 절연막 및 반도체층과 함께 패터닝하여 상기 화소의 상기 절연막을 드러내는 개구부를 형성하는 단계

을 포함하는 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법.

## 청구항 16.

제15항에서,

상기 개구부 형성 단계에서 상기 보호막에 상기 드레인 전극을 드러내는 제1 접촉 구멍을 형성하며,

상기 제1 접촉 구멍을 통하여 상기 드레인 전극과 연결되어 있는 화소 전극을 형성하는 단계를 더 포함하는 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법.

## 청구항 17.

제16항에서,

상기 블랙 매트릭스는 다수로 분리하여 형성하는 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법.

## 청구항 18.

제16항에서,

상기 게이트 배선 또는 상기 데이터 배선 형성 단계에서 다수로 분리된 상기 블랙 매트릭스의 사이에 버퍼막을 더 형성하는 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법.

## 청구항 19.

제16항에서,

상기 화소 전극의 가장자리는 상기 블랙 매트릭스와 중첩되도록 형성하는 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법.

## 청구항 20.

제16항에서,

상기 제1 접촉 구멍을 제외한 상기 보호막은 상기 게이트 절연막 패턴 및 반도체 패턴과 동일한 모양으로 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

## 청구항 21.

제16항에서,

상기 드레인 전극이 지나는 부분을 제외한 상기 보호막, 상기 게이트 절연막 패턴 및 반도체 패턴의 경계선은 상기 블랙 매트릭스 상부에 위치하도록 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

## 청구항 22.

제16항에서,

상기 게이트 배선은 상기 게이트선과 연결되어 있으며 외부로부터 주사 신호를 전달받아 상기 게이트선으로 전달하는 게이트 패드를 포함하며,

상기 데이터 배선은 상기 데이터선과 연결되어 있으며 외부로부터 영상 신호를 전달받아 상기 데이터선으로 전달하는 데이터 패드를 포함하며,

상기 게이트 절연막 패턴, 반도체 패턴 및 보호막은 상기 게이트 패드 및 데이터 패드를 드러내는 제2 및 제3 접촉 구멍을 가지며,

상기 화소 전극과 동일한 층에 상기 제2 및 제3 접촉 구멍을 통하여 상기 게이트 패드 및 상기 데이터 패드와 연결되는 보조 게이트 패드 및 보조 데이터 패드를 더 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

## 청구항 23.

제22항에서,

상기 제1 및 제3 접촉 구멍을 제외한 상기 보호막은 상기 게이트 절연막 패턴 및 반도체 패턴은 서로 동일한 모양으로 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

## 청구항 24.

제16항에서,

서로 이웃하는 상기 데이터선 사이의 상기 반도체 패턴 상부에 상기 데이터선 또는 상기 화소 전극과 동일한 층에 버퍼 도전막을 형성하는 단계를 더 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

## 청구항 25.

제24항에서,

상기 버퍼 도전막이 상기 데이터 배선과 동일한 층으로 형성하는 경우에,

상기 보호막은 상기 게이트선 및 상기 버퍼 도전막을 드러내는 제2 접촉 구멍을 가지며,

상기 화소 전극과 동일한 층에 상기 제2 접촉 구멍을 통하여 상기 게이트선과 상기 버퍼 도전막을 연결하는 연결 패턴을 형성하는 단계를 더 포함하는 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법.

명세서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치용 박막 트랜지스터 기관 및 그 제조 방법에 관한 것이다.

액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 전극이 형성되어 있는 두 장의 기관과 그 사이에 삽입되어 있는 액정층으로 이루어져, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하여 화상을 표시하는 장치이다.

액정 표시 장치 중에서도 현재 주로 사용되는 것은 두 기관에 전극이 각각 형성되어 있고 전극에 인가되는 전압을 스위칭하는 박막 트랜지스터를 가지고 있는 액정 표시 장치이며, 두 기관 중 하나에는 박막 트랜지스터와 화소 전극이 형성되어 있으며, 나머지 다른 기관에는 컬러 필터와 블랙 매트릭스(black matrix)와 전면의 공통 전극이 형성되어 있는 것이 일반적이다.

이러한 액정 표시 장치의 휘도를 향상시키기 위해서는 패널의 높은 개구율을 확보하는 것이 중요한 과제이다. 그러나, 블랙 매트릭스는 두 기관의 정렬 오차를 고려하여 넓은 폭으로 형성하게 되는데, 개구율을 감소시키는 요인이 된다.

한편, 액정 표시 장치의 제조 방법에서 박막 트랜지스터가 형성되어 있는 기관은 마스크를 이용한 사진 식각 공정을 통하여 제조하는 것이 일반적인데, 제조 비용을 최소화하기 위해서는 마스크의 수를 줄이는 것이 바람직하다.

#### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 개구율을 확보할 수 있는 액정 표시 장치용 박막 트랜지스터 기관 및 그 제조 방법을 제공하는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법을 단순화하는 것이다.

### 발명의 구성

이러한 과제를 달성하기 위하여 본 발명에서는 박막 트랜지스터의 하부에 매트릭스 배열을 가지는 화소에 개구부를 가지는 블랙 매트릭스(black matrix)를 형성하고, 반도체 패턴을 형성할 때 게이트 절연막 및 보호막을 식각하여 다른 층으로 형성하는 도전층과 서로 연결하기 위해 도전층을 드러내는 접촉 구멍을 함께 형성한다.

우선, 절연 기관 위에 매트릭스 모양의 화소에 개구부를 가지고 있는 그물 모양의 블랙 매트릭스를 형성하고, 블랙 매트릭스를 덮는 절연막을 형성한다. 이어, 절연막 상부에 가로 방향으로 뻗어 있는 게이트선 및 게이트선에 연결되어 있는 게이트 전극을 포함하는 게이트 배선을 형성하고, 그 상부에 게이트 절연막 및 반도체층을 차례로 적층한다. 이어, 저항성 접촉

층을 형성하고, 서로 분리되어 있는 소스 및 드레인 전극과 소스 전극과 연결되어 있고 게이트선과 교차하여 화소를 정의하는 데이터선을 포함하는 데이터 배선을 형성하고, 그 상부에 데이터 배선 및 게이트 배선을 덮는 보호막을 적층한다. 이어, 보호막을 게이트 절연막 패턴 및 반도체 패턴과 함께 패터닝하여 화소의 절연막을 드러내는 개구부를 형성한다.

이때, 개구부 형성 단계에서 보호막에 드레인 전극을 드러내는 제1 접촉 구멍을 형성할 수 있으며, 제1 접촉 구멍을 통하여 드레인 전극과 연결되어 있는 화소 전극을 더 형성하는 단계를 더 포함할 수 있다.

블랙 매트릭스는 다수로 분리하여 형성할 수 있으며, 게이트 배선 또는 데이터 배선 형성 단계에서 다수로 분리된 블랙 매트릭스의 사이에 버퍼막을 더 형성하는 것이 바람직하다.

여기서, 화소 전극의 가장자리는 블랙 매트릭스와 중첩되도록 형성하는 것이 좋으며, 제1 접촉 구멍을 제외한 보호막은 게이트 절연막 패턴 및 반도체 패턴과 동일한 모양으로 형성할 수 있다. 또한, 드레인 전극이 지나가는 부분을 제외한 보호막, 게이트 절연막 패턴 및 반도체 패턴의 경계선은 블랙 매트릭스 상부에 위치하도록 형성하는 것이 바람직하다.

게이트 배선은 게이트선과 연결되어 있으며 외부로부터 주사 신호를 전달받아 게이트선으로 전달하는 게이트 패드를 포함하며, 데이터 배선은 데이터선과 연결되어 있으며 외부로부터 영상 신호를 전달받아 데이터선으로 전달하는 데이터 패드를 포함하며, 게이트 절연막 패턴, 반도체 패턴 및 보호막은 게이트 패드 및 데이터 패드를 드러내는 제2 및 제3 접촉 구멍을 가지며, 화소 전극과 동일한 층에 제2 및 제3 접촉 구멍을 통하여 게이트 패드 및 상기 데이터 패드와 연결되는 보조 게이트 패드 및 보조 데이터 패드를 더 형성할 수 있다.

서로 이웃하는 데이터선 사이의 반도체 패턴 상부에 데이터선 또는 화소 전극과 동일한 층에 버퍼 도전막을 형성할 수 있으며, 버퍼 도전막이 데이터 배선과 동일한 층으로 형성하는 경우에, 보호막은 게이트선 및 버퍼 도전막을 드러내는 제2 접촉 구멍을 가지며, 화소 전극과 동일한 층에 제2 접촉 구멍을 통하여 게이트선과 버퍼 도전막을 연결하는 연결 패턴을 형성하는 것이 바람직하다.

그러면, 첨부한 도면을 참고로 하여 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관 및 그 수리 방법에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.

먼저, 도 1 및 2를 참고로 하여 본 발명의 실시예에 따른 박막 트랜지스터 기관의 구조에 대하여 상세히 설명한다.

도 1은 본 발명의 실시예에 따른 박막 트랜지스터 기관의 구조를 도시한 배치도이고, 도 2는 도 1에서 II-II' 선을 따라 잘라 도시한 단면도이다.

먼저, 하부 절연 기관(10)의 상부에 불투명한 도전 물질 또는 질화 크롬 또는 질화 몰리브덴 등을 포함하는 단일막 또는 다층막으로 이루어진 블랙 매트릭스(90)가 형성되어 있다. 블랙 매트릭스(90)는 매트릭스 배열을 가지는 화소에 개구부를 가지고 있어 그물 모양으로 형성되어 있으며, 서로 분리되어 있고, 가로 방향으로 뻗어 있는 가로부(92)와 세로 방향으로 뻗어 있는 세로부(94)를 포함한다. 블랙 매트릭스(90)는 화소의 사이에서 누설되는 빛을 차단하는 기능을 가지며, 이후에 형성되는 박막 트랜지스터의 반도체 패턴(40)으로 입사하는 빛을 차단하기 위해 변형된 형태를 가질 수 있다. 여기서, 블랙 매트릭스(90)를 가로부(92)와 세로부(94)로 분리하는 이유는 이후에 가로부(92) 및 세로부(94)와 각각 중첩되어 형성되는 게이트선(22) 및 데이터선(62)에 각각 전달되는 주사 신호 및 데이터 신호가 서로 간섭을 일으키거나, 신호에 대한 지연을 최소화하기 위해서이다. 여기서, 세로부(94)가 다수로 분리되어 형성되어 있지만, 가로부(92)가 다수로 분리되어 형성될 수 있으며, 가로부(92) 및 세로부(94)가 다수로 분리되어 형성될 수도 있다.

기관(10)의 상부에는 블랙 매트릭스(90)를 덮는 절연막(100)이 형성되어 있다. 절연막(100)은 3.0-4.0 정도의 낮은 유전율을 가지는 산화 규소(SiO<sub>x</sub>)로 형성하는 것이 바람직하며 0.5-3.0 μm 정도로 충분한 두께를 가지는 것이 바람직하다. 왜냐하면, 블랙 매트릭스(90)로 인하여 이후에 형성되는 게이트 배선(22, 26) 및 데이터 배선(62, 65, 66)에 전달되는 신호에 대한 지연을 최소화하기 위함이다.

절연막(50) 상부에는 알루미늄(Al) 또는 알루미늄 합금(Al alloy), 몰리브덴(Mo) 또는 몰리브덴-텅스텐(MoW) 합금, 크롬(Cr), 탄탈륨(Ta), 구리(Cu) 또는 구리 합금(Cu alloy) 등의 금속 또는 도전체로 만들어진 게이트 배선이 형성되어 있다. 게이트 배선은 가로 방향으로 뻗어 있으며, 블랙 매트릭스(90)의 가로부(92)와 중첩하는 주사 신호선 또는 게이트선(22), 게이트선(22)에 주사 신호 또는 게이트 신호를 외부로부터 전달하기 위한 게이트 패드(24) 및 게이트선(22)의 일부인 박막 트랜지스터의 게이트 전극(26)을 포함한다. 여기서, 게이트 배선(22, 24, 26)은 후술할 화소 전극(82)과 중첩되도록 하여

화소의 전하 보존 능력을 향상시키는 유지 축전기를 이루도록 형성할 수 있으며, 이들의 중첩으로 발생하는 유지 용량이 충분하지 않을 경우 게이트 배선(22, 24, 26)과 동일한 층에는 후술할 화소 전극(82)과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 만드는 유지 용량용 배선이 추가될 수 있다. 한편, 게이트 배선(22, 24, 26)과 동일한 층에는 블랙 매트릭스(90)의 가로부(92)와 세로부(94) 사이에서 누설되는 빛을 차단하기 위해 이들과 중첩되어 있는 버퍼막(28)이 형성되어 있다.

절연막(100) 위에는 질화 규소( $\text{SiN}_x$ ) 따위로 이루어진 게이트 절연막 패턴(30)이 형성되어 게이트 배선(22, 24, 26) 및 버퍼막(28)을 덮고 있으며, 게이트 절연막(30) 상부에는 수소화 비정질 규소(hydrogenated amorphous silicon) 따위의 반도체로 이루어진 박막 트랜지스터의 반도체 패턴(40)이 형성되어 있다. 반도체 패턴(40) 위에는 인(P) 따위의 n형 불순물로 고농도로 도핑되어 있는 비정질 규소 또는 미세 결정화된 규소 또는 금속 실리사이드 따위를 포함하는 저항성 접촉층(ohmic contact layer)(55, 56)이 분리되어 형성되어 있다.

저항성 접촉층(55, 56) 위에는 저저항을 가지는 알루미늄 계열 또는 구리 계열 또는 은 계열의 도전 물질로 이루어진 데이터 배선이 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 게이트선(22)과 단위 화소를 정의하며 블랙 매트릭스(90)의 세로부(94)와 중첩하는 데이터선(62), 데이터선(62)의 한쪽 끝에 연결되어 외부로부터의 화상 신호를 인가받는 데이터 패드(68), 그리고 데이터선(62)과 연결되어 있으며 저항성 접촉층(55) 위에 위치하는 박막 트랜지스터의 소스 전극(65) 및 데이터선부(62, 65, 68)와 분리되어 있으며 게이트 전극(26)에 대하여 소스 전극(65)의 반대쪽의 저항성 접촉층(56)의 상부에 위치하는 박막 트랜지스터의 드레인 전극(66)을 포함한다.

데이터 배선(62, 65, 66, 68)도 게이트 배선(22, 24, 26)과 마찬가지로 저저항을 가지는 도전 물질의 단일층으로 형성될 수도 있지만, 이중층이나 삼중층으로 형성될 수도 있다. 물론, 이중층 이상으로 형성하는 경우에는 한 층은 저항이 작은 물질로 형성하고 다른 층은 다른 물질과의 접촉 특성이 좋은 물질로 만드는 것이 바람직하다.

이때, 저항성 접촉층(55, 56)은 데이터 배선(62, 65, 66, 68)과 동일한 모양을 가진다. 또한, 블랙 매트릭스(90)의 가로부(92)를 다수로 형성하는 경우에는 데이터 배선(62, 65, 66, 68)과 동일한 층에 다수의 가로부(92) 사이에서 누설되는 빛을 차단하기 위해 다른 버퍼막이 추가로 형성될 수 있다.

데이터 배선(62, 65, 66, 68) 위에는 보호막(70)이 형성되어 있으며, 보호막(70)은 드레인 전극(66)을 드러내는 접촉 구멍(76)을 가지고 있으며, 보호막(70)은 질화 규소나 아크릴계 따위의 유기 절연 물질로 이루어질 수 있다. 또한, 보호막(70)에는 데이터 패드(68)를 드러내는 접촉 구멍(78)과, 반도체 패턴(40) 및 게이트 절연막 패턴(30)과 함께 게이트 패드(24)를 드러내는 접촉 구멍(74)이 형성되어 있다. 또한, 보호막(70)은 게이트 절연막 패턴(30)과 반도체 패턴(40)과 단위 화소의 절연막(100)을 드러내는 개구부(72)를 가지고 있다. 개구부(72)는 각각의 화소에서 드레인 전극(66)을 지나가는 부분을 제외한 블랙 매트릭스(90)의 가장자리 둘레까지 형성되어 있다.

이때, 보호막(70)은 게이트 절연막 패턴(30) 및 반도체 패턴(40)과 유사한 모양으로 형성되어 있다. 구체적으로, 접촉 구멍(76, 78)을 제외한 보호막(70)은 게이트 절연막 패턴(30) 및 반도체 패턴(40)과 동일한 모양으로 형성되어 있으며, 이들(30, 40, 70)은 게이트 배선(22, 24, 26)과 데이터 배선(62, 65, 66, 68)의 모양을 따라 형성되어 있으며, 드레인 전극(66)을 따라 형성된 부분을 제외하면 블랙 매트릭스(90)와 유사한 모양을 가진다. 한편, 게이트 배선(22, 24, 26)과 동일한 층에 유지 용량용 배선을 추가하는 경우에는 유지 용량용 배선을 덮는 보호막 및 그 하부의 게이트 절연막 패턴과 반도체 패턴이 추가로 형성될 수도 있다.

개구부(72)를 통하여 드러난 화소의 절연막(100) 상부에는 박막 트랜지스터로부터 화상 신호를 받아 상판의 전극과 함께 전기장을 생성하는 화소 전극(82)이 형성되어 있다. 화소 전극(82)은 ITO(indium tin oxide) 또는 IZO(indium zinc oxide) 따위의 투명한 도전 물질로 만들어지며, 접촉 구멍(76)을 통하여 드레인 전극(66)과 물리적·전기적으로 연결되어 화상 신호를 전달받는다. 이때, 화소 전극(82)은 또한 이웃하는 게이트선(22)과 중첩되도록 형성되어 유지 축전기를 이루도록 형성될 수도 있다. 한편, 게이트 패드(24) 및 데이터 패드(68) 위에는 접촉 구멍(74, 78)을 통하여 각각 이들과 연결되는 보조 게이트 패드(84) 및 보조 데이터 패드(88)가 형성되어 있으며, 이들은 패드(24, 68)와 외부 회로 장치와의 접촉성을 보완하고 패드를 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다.

이러한 본 발명의 실시예에 따른 액정 표시 장치용 기관을 이용한 액정 표시 장치의 제조 방법에서는, 화소 전극(82) 및 박막 트랜지스터가 형성되어 있는 기관(10)에 블랙 매트릭스(90)가 함께 형성되어 있어 액정 패널을 이루는 두 기관에 대한 정렬을 고려하지 않아도 되므로 블랙 매트릭스(90)의 폭을 최소로 형성하여 개구율을 향상시킬 수 있다.

한편, 본 발명의 실시예와 달리 게이트선(22) 및 데이터선(62)과 중첩되는 면적을 최소화하여 이들을 통하여 전달되는 신호에 대한 지연을 최소화하기 위해 블랙 매트릭스(90)는 중앙부에는 개구부가 형성될 수 있다.

이러한 본 발명의 실시예에 따른 박막 트랜지스터 기관의 구조에서는 화소 전극(82)만을 가지는 구조에 대하여 예를 들었으나 공통 전극과 화소 전극이 기관에 대하여 거의 평행한 전기장을 형성하여 액정 분자를 구동하는 평면 구동 방식 또는 기관에 대하여 거의 수직하게 배열되어 있으며, 음의 유전율을 가지는 수직 배향 방식의 액정 표시 장치에도 동일하게 적용할 수 있다. 또한, 광시야각 구현을 구현하기 위해 화소 전극 또는 기관(10)과 마주하는 다른 기관에 전면적으로 형성되어 있는 공통 전극에 개구부 패턴을 형성하는 방법[PVA(patterned vertically aligned) 모드]와 돌기를 형성하는 방식의 액정 표시 장치용 기관에도 적용할 수 있다. 이들은 프린지 필드(fringe field)를 형성하여 액정 분자의 기우는 방향을 4방향으로 고르게 분산시켜 액정 분자를 분할 배향시킴으로써 광시야각을 확보하는 방법이다.

그러면, 본 발명의 실시예에 따른 액정 표시 장치용 기관의 제조 방법에 대하여 도 3a 내지 6b와 앞서의 도 1 및 도 2를 참고로 하여 상세히 설명한다.

먼저, 도 3a 내지 3b에 도시한 바와 같이, 크롬 따위의 불투명한 도전 물질을 스퍼터링 따위의 방법으로 증착하고 마스크를 이용한 사진 식각 공정으로 건식 또는 습식 식각하여, 하부 절연 기관(10) 위에 가로부(92) 및 세로부(94)를 포함하는 블랙 매트릭스(90)를 형성한다.

여기서, 도전 물질은 알루미늄 또는 알루미늄 합금 또는 구리 또는 구리 합금 또는 은 계열 등과 같이 저저항을 가지는 도전 물질 또는 크롬 또는 몰리브덴 또는 티타늄 또는 반사도가 낮은 질화 크롬 등을 포함하는 다층막으로 형성할 수 있다.

이어, 도 4a 및 4b에 도시한 바와 같이, 하부 절연 기관(10) 상부에 평탄화 특성이 우수한 유기 물질 또는 낮은 유전율을 가지는 산화 규소 등을 이용하여 절연막(100)을 형성한다. 이어, 몰리브덴(Mo) 또는 몰리브덴-텅스텐(MoW) 합금, 크롬(Cr), 탄탈륨(Ta), 알루미늄(Al) 또는 알루미늄 합금(Al alloy), 또는 구리 또는 구리 합금 또는 은 계열 등과 같이 저저항을 가지는 도전 물질을 단일막 또는 다층막을 차례로 스퍼터링 따위의 방법으로 증착하고 마스크를 이용한 사진 식각 공정으로 건식 또는 습식 식각하여, 기관(10) 위에 게이트선(22), 게이트 전극(26) 및 게이트 패드(24)를 포함하는 게이트 배선과 버퍼막(28)을 형성한다. 본 발명의 바람직한 실시예에서는 게이트 배선(22, 24, 26)을 크롬의 하부막과 알루미늄 계열의 금속으로 이루어진 상부막으로 형성하였다.

다음, 도 5a 및 5b에 도시한 바와 같이, 게이트 절연막(30), 반도체층(40), 저항성 접촉층(50)을 화학 기상 증착법을 이용하여 각각 증착하고, 게이트 배선(22, 24, 26)과 같은 도전 물질을 적층한 후, 마스크를 이용한 사진 공정으로 건식 또는 습식 식각으로 패터닝하여 게이트선(22)과 교차하여 매트릭스 형태의 화소를 정의하는 데이터선(62), 데이터선(62)과 연결되어 게이트 전극(26) 상부까지 연장되어 있는 소스 전극(65), 데이터선(62)의 한쪽 끝에 연결되어 있는 데이터 패드(68) 및 소스 전극(65)과 분리되어 있으며 게이트 전극(26)을 중심으로 소스 전극(65)과 마주하는 드레인 전극(66)을 포함하는 데이터 배선을 형성한다. 여기서, 블랙 매트릭스(90)의 가로부(92)도 다수로 형성하는 경우에는 이들 사이에서 누설되는 빛을 차단하기 위한 버퍼막을 추가로 형성할 수 있다. 본 발명의 실시예에서 데이터 배선(62, 65, 66, 68)은 크롬의 하부막과 알루미늄 계열의 상부막으로 형성하였다.

이어, 데이터 배선(62, 65, 66, 68)으로 가리지 않는 도핑된 비정질 규소층(50)을 식각하여 게이트 전극(26)을 중심으로 양쪽으로 분리시키는 한편, 양쪽의 도핑된 비정질 규소층(55, 56) 사이의 반도체층(40)을 노출시킨다.

다음으로, 도 6a 및 도 6b에 도시한 바와 같이, 질화 규소 또는 유기 절연막으로 이루어진 보호막(70)을 적층한 후 마스크를 이용한 사진 식각 공정으로 게이트 절연막(30) 및 반도체층(40)과 함께 건식 식각으로 패터닝하여, 게이트 패드(24), 드레인 전극(66) 및 데이터 패드(68)를 노출시키는 접촉 구멍(74, 76, 78)을 가지는 반도체 패턴(40) 및 게이트 절연막 패턴(30)을 형성한다. 이때, 화소의 절연막(100)을 드러내는 개구부(72)도 함께 형성하며 개구부(72)를 통하여 블랙 매트릭스(90)의 가장자리 부분을 드러내도록 한다.

다음, 도 1 및 2에 도시한 바와 같이, ITO 또는 IZO막을 적층하고 마스크를 이용한 패터닝을 실시하여 접촉 구멍(76)을 통하여 드레인 전극(66)과 연결되는 화소 전극(82)과 접촉 구멍(74, 78)을 통하여 게이트 패드(24) 및 데이터 패드(68)와 각각 연결되는 보조 게이트 패드(84) 및 보조 데이터 패드(88)를 각각 형성한다. 본 발명의 실시예에서는 투명 도전체 패턴(82, 84, 88)을 IZO로 형성하였다. 투명 도전체 패턴(82, 84, 88)을 ITO로 형성하는 경우에는 알루미늄 계열의 금속과 접촉 특성이 좋지 않아 알루미늄 계열의 금속을 제거하는 것이 바람직하며, 본 발명의 실시예에서는 IZO로 형성하여 패드부를 포함하는 접촉부에서 알루미늄 계열의 금속과 IZO가 접하는 접촉 구조를 가진다.

이러한 본 발명의 실시예에 따른 박막 트랜지스터 기판 및 그 제조 방법에서는 블랙 매트릭스를 박막 트랜지스터 기판에 형성하여 정렬 오차를 최소화하여 개구율을 확보하였으며, 반도체 패턴과 함께 패드부를 드러내는 접촉 구멍(74, 78)을 함께 형성하여 5매의 마스크를 이용한 사진 식각 공정으로 박막 트랜지스터 기판을 완성하여 제조 공정을 단순화할 수 있다.

이때, 본 발명의 실시예와 같이 제조 공정을 단순하기 위하여 보호막(70), 반도체 패턴(40) 및 게이트 절연막(30)을 게이트 배선(22, 24, 26) 및 데이터 배선(62, 65, 66, 68)의 모양을 따라 패터닝하는 경우에는 도 1 및 도 2에서 보는 바와 같이 반도체 패턴(40)이 게이트 배선(22, 26) 상부에 연속적으로 형성된다. 따라서, 이러한 구조에서 게이트 배선(22, 26)에 게이트 신호가 인가되면 소스 전극(65)과 드레인 전극(66) 사이의 박막 트랜지스터의 채널부 이외의 부분, 즉 데이터선(62)과 소스 전극(65) 사이의 A 부분과 서로 이웃하는 데이터선(62) 사이 게이트선(22) 상부의 반도체 패턴(40)에서 채널이 형성될 수 있다. 먼저, A 부분에서는 기판(10)의 하부에서 백 라이트(액정 표시 장치의 광원)로부터 입사하는 빛으로 인하여 누설 전류가 발생할 수 있으나, 본 발명에서와 같이 A 부분의 반도체 패턴(40) 하부에는 블랙 매트릭스(90)의 가로부(92)가 형성되어 있어 기판(10)의 하부로부터 입사하는 빛이 차단된다. 따라서 A 부분에서 누설 전류가 발생하지 않는다. 다음은, 서로 이웃하는 데이터선(62) 사이의 게이트선(22) 상부의 반도체 패턴(40)에서 발생할 수 있는 누설 전류에 대하여 시뮬레이션을 통하여 구체적으로 설명하기로 한다.

도 7 내지 도 9는 본 발명의 실시예에 따른 액정 표시 장치에서 서로 이웃하는 데이터선 사이의 게이트 배선 상부 구조를 개략적으로 도시한 단면도이다. 도 7 내지 도 9에서는 하부 절연 기판(10)과 마주하는 상부 절연 기판도 함께 도시하였으며, 반도체 패턴, 전극 및 배선의 구조를 개략적으로 도시하였다.

도 7에서 보는 바와 같이, 도 1에서와 같이 하부 절연 기판(10)의 상부에 게이트 배선(22, 26), 게이트 절연막(30), 반도체 패턴(40), 저항성 접촉층(55, 56), 데이터 배선(62, 65, 66) 및 보호막(70)이 차례로 형성되어 있다.

한편, 하부 절연 기판(10)과 마주하는 상부 절연 기판(200)의 상부에는 전면적으로 공통 전극(210)이 형성되어 있다.

하지만, 도 8에서는 서로 이웃하는 데이터선(62) 사이의 반도체 패턴(40)의 상부에 게이트선(22)과 연결 패턴(89)을 통하여 전기적으로 연결되어 있는 버퍼 도전막(69)이 형성되어 있으며, 도 9에서는 서로 이웃하는 데이터선(62) 사이의 반도체 패턴(40)의 상부의 공통 전극(210)에 개구부(211)가 형성되어 있다.

이때, 도 7에서 보는 바와 같이, 게이트 전극(22)의 상부 채널부(C)뿐만 아니라 게이트선(22)의 상부(D)에도 반도체 패턴(40)이 형성되어 있기 때문에 게이트 배선(22, 26)에 주사 신호가 인가되면 D 부분의 반도체 패턴(40)에서도 누설 전류가 발생할 수 있다. 하지만, 도면에서 보는 바와 같이, 채널부(C)에서는 게이트 배선(22, 26)에 인가된 게이트 신호에 의한 전기장의 영향이 강하게 작용하지만, D 부분에서는 드레인 전극(66)과 데이터선(62)이 멀리 떨어져 있기 때문에 게이트 신호에 의한 전기장의 영향이 약하게 작용하기 때문에 누설 전류가 흐를 수 있는 경로가 형성될 가능성이 희박하다. 이때, 도 8에서 보는 바와 같이, 게이트 배선(22, 26)과 전기적으로 연결되어 있는 버퍼 도전막(69)이 서로 이웃하는 데이터선(62) 사이의 반도체 패턴(40)의 상부에 형성되어 있는 경우에는 게이트 배선(22, 26)에 전달된 게이트 신호에 의한 전기장은 반도체 패턴(40)에 영향을 미치지 않는다. 따라서, D 부분의 반도체 패턴(40)에는 누설 전류의 경로가 형성되지 않게 되므로 누설 전류는 발생하지 않는다. 이때, 버퍼 도전막(69)이 불투명한 물질로 이루어진 경우에는 버퍼 도전막(69)이 상부 기판(10, 200)의 상부에서 반도체 패턴(40)으로 입사하는 빛도 차단하여 반도체 패턴(40)에서 빛에 의한 누설 전류가 발생하는 것을 최소화할 수 있다. 이때, 버퍼 도전막(69)은 데이터 배선(62, 65, 66, 68, 도 1 참조)과 동일한 층으로 형성할 수 있으며 화소 전극(82)과 동일한 층으로 형성할 수도 있다. 본 발명의 실시예에 따른 제조 방법에서는 버퍼 도전막(69)을 데이터 배선(62, 65, 66, 68)과 동일한 층으로 형성하고, 접촉 구멍(74, 76, 78) 및 개구부(72)를 형성하는 공정에서 버퍼 도전막(69)과 게이트선(22)을 드러내는 접촉 구멍을 형성하고 화소 전극(82)을 형성하는 단계에서 접촉 구멍을 통하여 버퍼 도전막(69)과 게이트선(22)을 전기적으로 연결하는 연결 패턴(89)을 형성할 수 있다. 물론, 화소 전극(82)과 동일한 층으로 버퍼 도전막(69)을 형성하는 경우에는 게이트선(22)을 드러내는 접촉 구멍을 접촉 구멍(74, 76, 78) 및 개구부(72)를 형성하는 공정에서 형성하고 화소 전극(82)을 형성할 때 접촉 구멍을 통하여 게이트선(22)과 연결되는 버퍼 도전막(69)을 형성한다. 또한, 도 9에서 보는 바와 같이, 서로 이웃하는 데이터선(62) 사이의 반도체 패턴(40)의 상부의 공통 전극(210)에 개구부(211)를 형성하는 경우에는 반도체 패턴(40)에 미치는 게이트 신호에 의한 전기장의 영향을 더욱 줄일 수 있어 D 부분에서 발생하는 누설 전류의 경로를 차단할 수 있다.

### 발명의 효과

이와 같이, 본 발명의 실시예에 따른 박막 트랜지스터 기판 및 그 제조 방법에서 블랙 매트릭스를 박막 트랜지스터 및 배선과 함께 형성함으로써 개구율을 확보할 수 있다. 또한, 반도체 패턴과 접촉 구멍을 함께 형성하여 제조 공정을 단순화할 수

있으며, 블랙 매트릭스를 이용하여 채널부 이외의 부분에서 발생하는 누설 전류를 차단할 수 있다. 또한, 이웃하는 데이터선 사이에 형성되어 있는 반도체 패턴의 상부에 버퍼 도전막을 형성하거나 공통 전극에 개구부를 형성하여 반도체 패턴에서 발생하는 누설 전류를 차단할 수 있다.

**도면의 간단한 설명**

도 1은 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관의 구조를 도시한 배치도이고,

도 2는 도 1에서 II-II' 선을 따라 절단한 단면도이고,

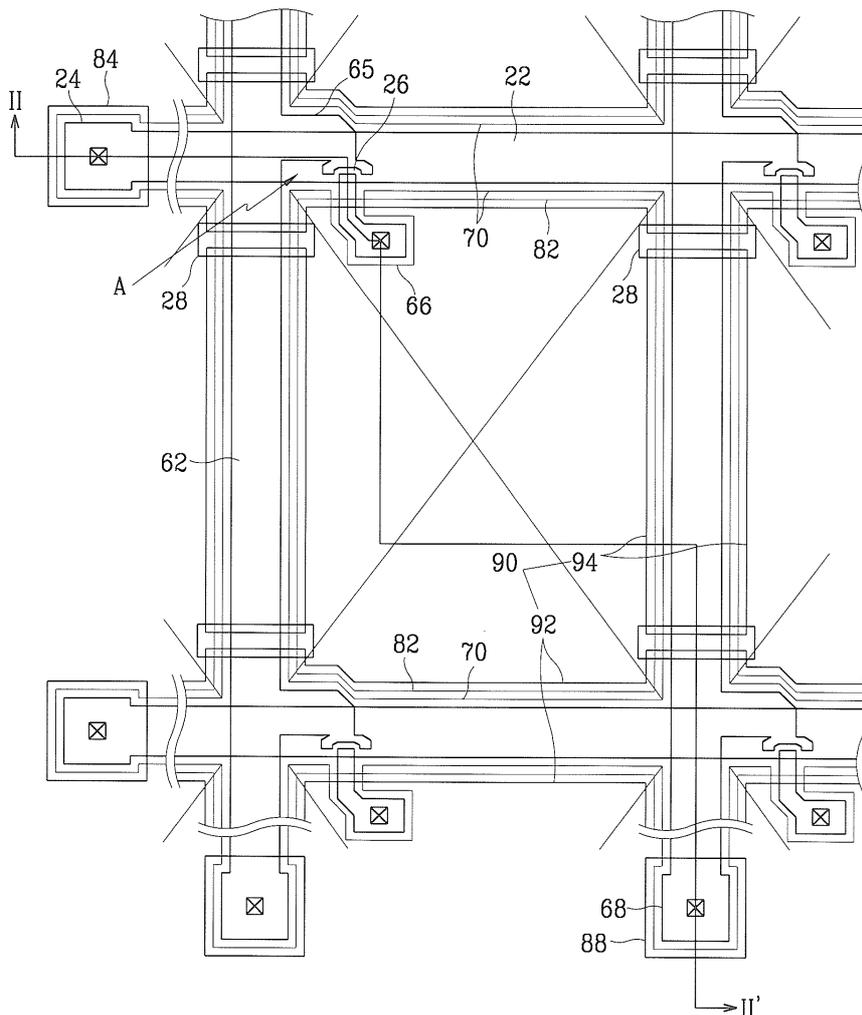
도 3a, 4a, 5a 및 6a는 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법을 그 공정 순서에 따라 도시한 배치도이고,

도 3b, 4b, 5b 및 6b는 도 3a, 4a, 5a 및 6a에서 각각 IIIb-IIIb', IVb-IVb', Vb-Vb' 및 VIb-VIb' 선을 따라 도시한 각각의 단면도이고,

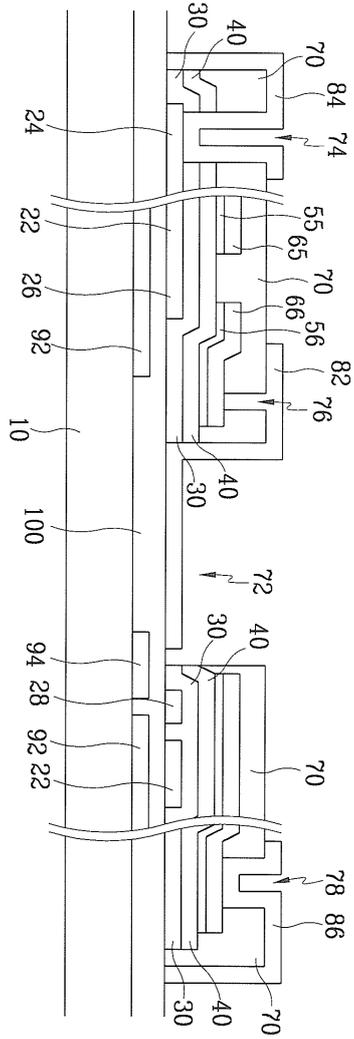
도 7 내지 도 9는 본 발명의 실시예에 따른 액정 표시 장치에서 서로 이웃하는 데이터선 사이의 게이트 배선 상부 구조를 개략적으로 도시한 단면도이다.

**도면**

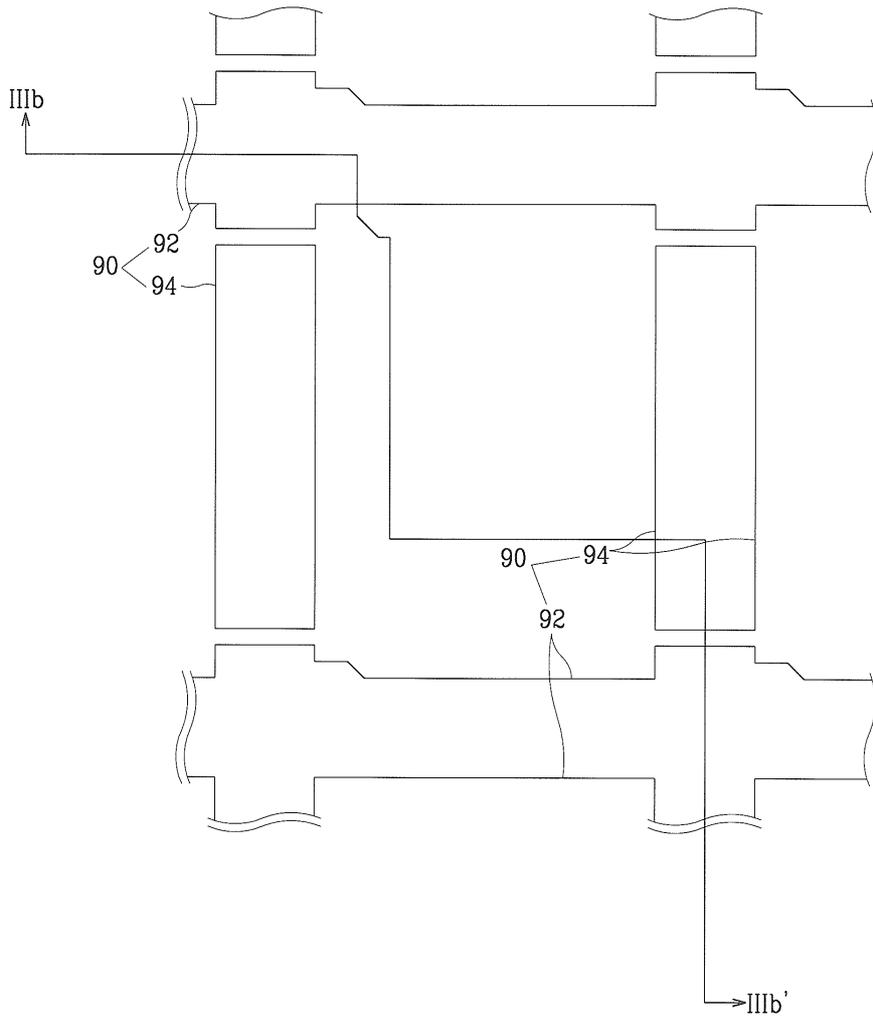
**도면1**



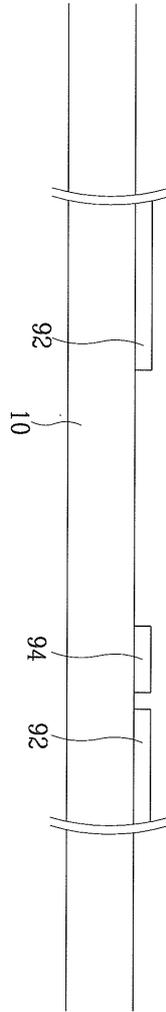
도면2



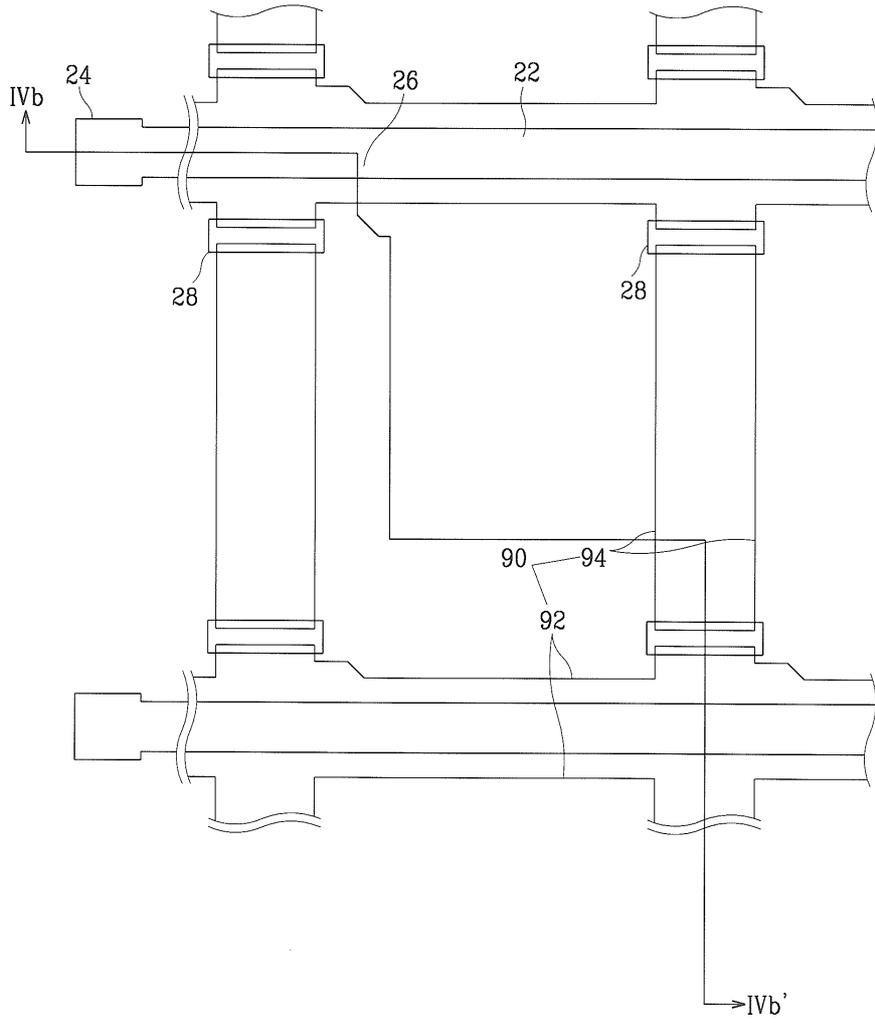
도면3a



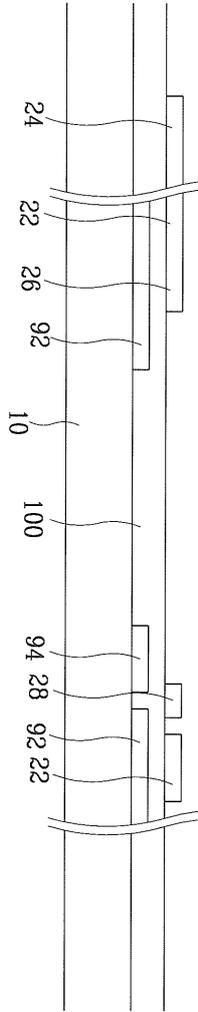
도면3b



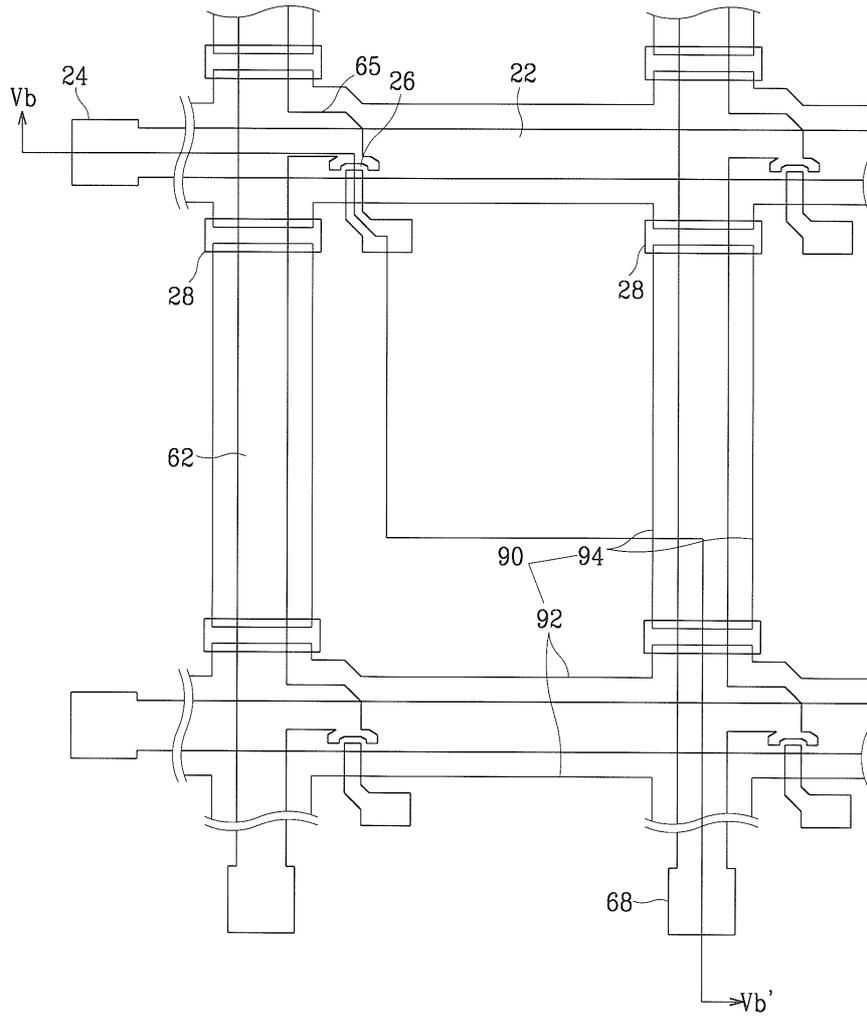
도면4a



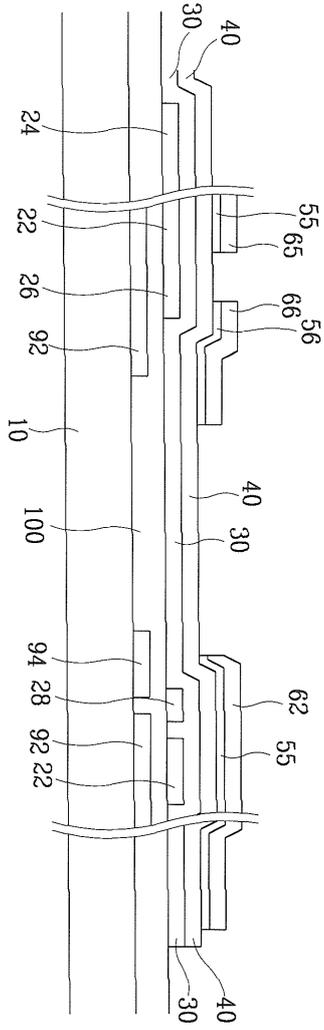
도면4b



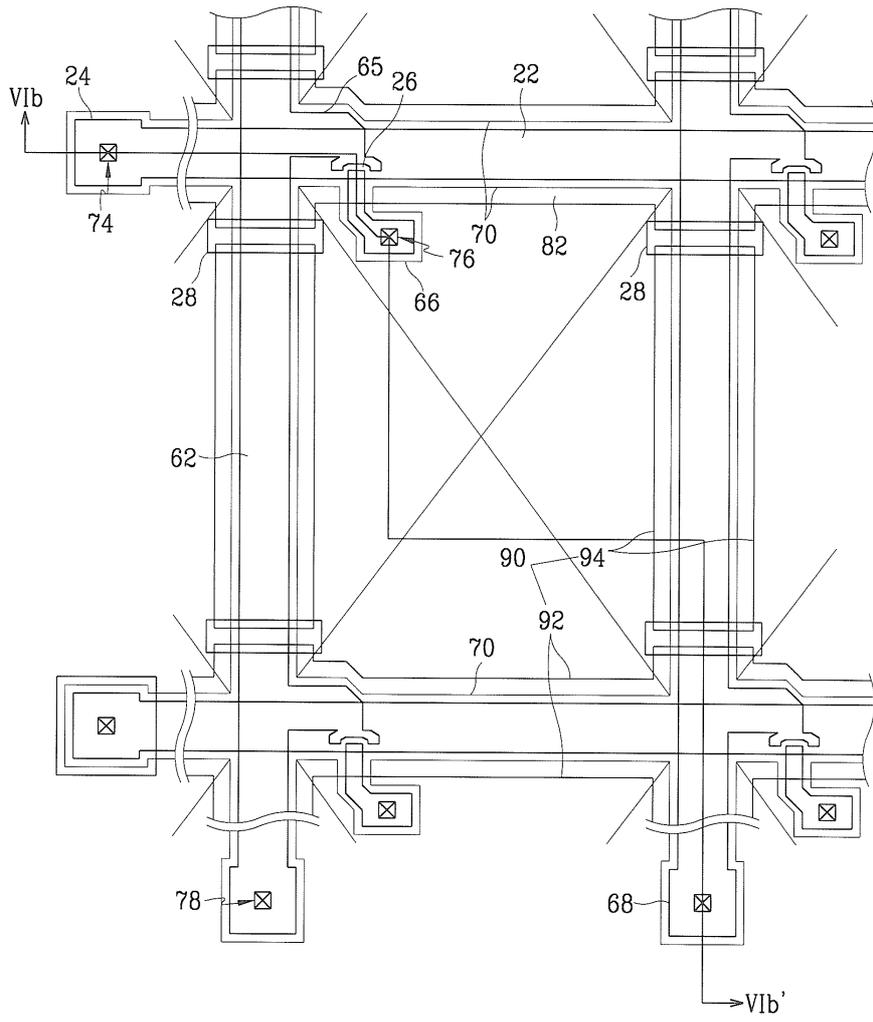
도면5a



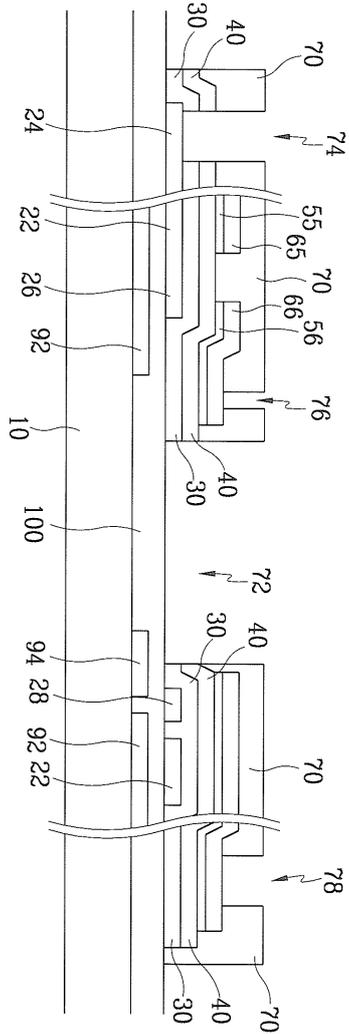
도면5b



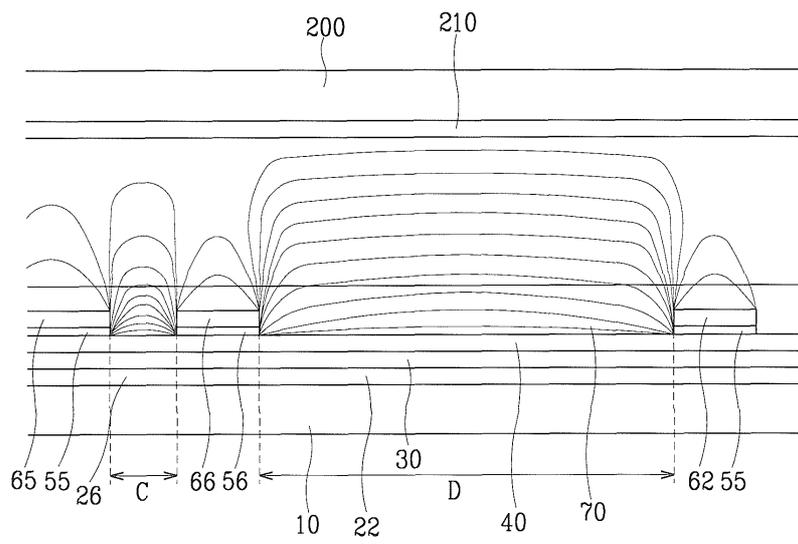
도면6a



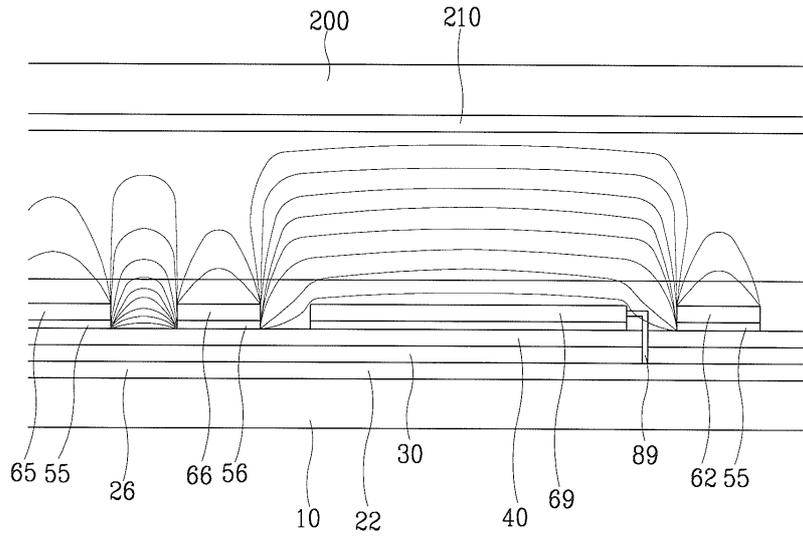
도면6b



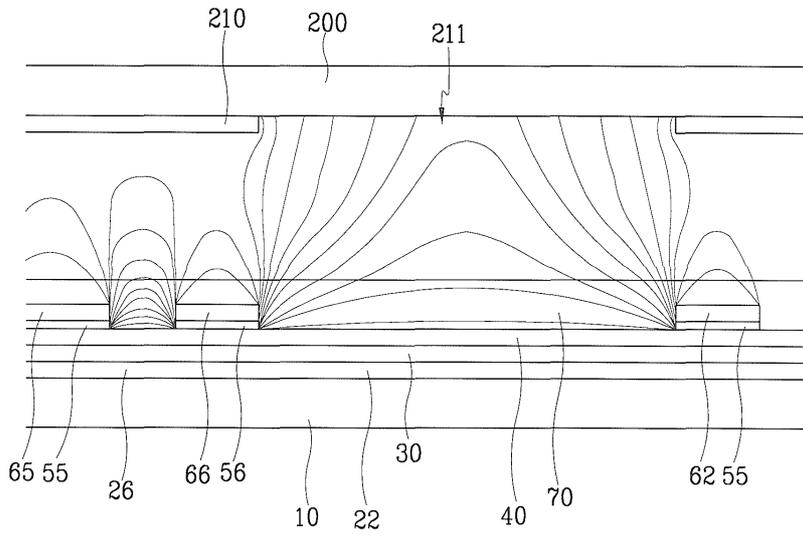
도면7



도면8



도면9



专利名称(译)	用于液晶显示装置的薄膜晶体管基板及其制造方法		
公开(公告)号	<a href="#">KR100695299B1</a>	公开(公告)日	2007-03-14
申请号	KR1020000025468	申请日	2000-05-12
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	SONG JANGKUN 송장근 CHOI YONGWOO 최용우		
发明人	송장근 최용우		
IPC分类号	G02F1/136 G02F1/1335 G02F1/1343 G02F1/1362 G02F1/1368 G09F9/30 H01L29/786		
CPC分类号	G02F1/134363 G02F1/13458 G02F1/136209 G02F2001/13629		
代理人(译)	您是我的专利和法律公司 KIM, WON GUN		
其他公开文献	KR1020010104070A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

首先,使用具有低的氧化硅,在不确定的导电材料上包括基板和包括绝缘层的纵向部分的横向部分的黑色矩阵。形成介电常数随后,在与包括基板上的栅极线的栅极布线分离的黑色矩阵与栅极和栅极焊盘之间形成缓冲层。形成下一个栅极绝缘层,以及包括连接的源电极和数据焊盘和漏电极的数据线。随后,在蚀刻之后,未被数据线层叠的欧姆接触层是保护膜。它与栅极绝缘层和半导体层形成图案。显示像素的绝缘层和暴露栅极焊盘的接触孔以及漏电极和数据焊盘的开口部分一起形成。此时,可以参考通过开口部分的黑矩阵的边缘部分这是可取的。下一个IZO薄膜像素电极通过接触孔分别连接到漏电极,并且栅极焊盘和数据焊盘被层叠并形成图案,并形成辅助栅极焊盘和辅助数据焊盘。这里,在相邻的数据线之间的半导体层中产生的漏电流缓冲导电膜可以形成为诸如数据线之类的层中的数据线,该数据线位于彼此相邻的数据线之间的半导体层的顶部中以便阻挡或像素电极。并且开口部分可以形成在与像素电极相反方向的公共电极上。孔径比,黑矩阵和漏电流。

