



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2007년02월27일
<i>G02F 1/1339</i> (2006.01)	(11) 등록번호	10-0687344
	(24) 등록일자	2007년02월20일

(21) 출원번호	10-2004-0001501	(65) 공개번호	10-2005-0073662
(22) 출원일자	2004년01월09일	(43) 공개일자	2005년07월18일
심사청구일자	2004년06월25일		

(73) 특허권자 비오이 하이드스 테크놀로지 주식회사
경기도 이천시 부발읍 아미리 산 136-1

(72) 발명자 김재광
경기도이천시송정동수림아파트105-1303

(74) 대리인 강성배

(56) 선행기술조사문헌
JP11084394 A JP11167116 A
KR1020030031842 A
* 심사관에 의하여 인용된 문헌

심사관 : 신상훈

전체 청구항 수 : 총 3 항

(54) 액정 표시 소자

(57) 요약

본 발명은 패턴 스페이서(patterned spacer) 기인성 결합에 효과적으로 대처할 수 있는 액정 표시 소자를 개시한다. 개시된 본 발명의 액정 표시 소자는, 컬러 필터 기판 상에 블랙 매트릭스, RGB 부재 및 오버코팅막이 순차적으로 적층되어 구성된 상판부; 상기 상판부와 이격 배치되며, 어레이 기판 상에 게이트 라인, 게이트 절연막, 보호막 및 편광판이 순차적으로 적층되어 구성된 하판부; 및 상기 상판부에 형성되어 상기 상판부와 하판부간의 간격을 유지시키는 패턴 스페이서;를 포함하며, 상기 게이트 라인은 상기 패턴 스페이서와 접촉되는 부분의 폭이 그 이외 부분 보다 큰 폭을 갖도록 형성된 것을 특징으로 한다.

대표도

5 3

특허청구의 범위

청구항 1.

컬러 필터 기판 상에 블랙 매트릭스, RGB 부재 및 오버코팅막이 순차적으로 적층되어 구성된 상판부;

상기 상판부와 이격 배치되며, 어레이 기판 상에 게이트 라인, 게이트 절연막, 보호막 및 편광판이 순차적으로 적층되어 구성된 하판부; 및

상기 상판부에 형성되어 상기 상판부와 하판부간의 간격을 유지시키는 패턴 스페이서;를 포함하며,

상기 게이트 라인은 상기 패턴 스페이서와 접촉되는 부분의 폭이 그 이외 부분 보다 큰 폭을 갖도록 형성된 것을 특징으로 하는 액정 표시 소자.

청구항 2.

삭제

청구항 3.

제 1 항에 있어서, 상기 게이트 라인은 상기 패턴 스페이서와 접촉되는 부분에 다수의 멀티 홀이 형성된 것을 특징으로 하는 액정 표시 장치.

청구항 4.

삭제

청구항 5.

제 3 항에 있어서, 상기 다수의 멀티 홀은 수지를 이용한 엠보싱 방식으로 형성된 것을 특징으로 하는 액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 소자에 관한 것으로, 보다 상세하게는, 패턴 스페이서 기인성 결함에 효과적으로 대처할 수 있는 액정 표시 소자에 관한 것이다.

최근, 액정 표시 소자는 상판(컬러 필터 기판)과 하판(어레이 기판) 사이의 간격, 즉, 셀갭을 유지하기 위해 패턴 스페이서(Patterned Spacer; 이하, PS)를 형성하고 있다. 그런데, 상판과 하판간의 합착 오정렬이 일어남으로써, 상기 PS는 셀 갭 변동은 물론 무라(Mura), 즉, 표시얼룩 및 DNU(Dark Non Uniformity)와 같은 결함을 유발하고 있다. 다시말해, 상기 PS는 탑 ITO 위의 배향막에 손상을 일으켜 액정의 이상 배향을 일으키고, 이에 따라, 특정 부분의 휘도 저하를 야기하여 표시 얼룩을 초래하며, 아울러, 합착 후 부분적인 셀 갭 불량을 일으켜 DNU(Dark Non Uniformity)를 유발하는 등 결함을 초래하고 있다.

구체적으로, 최근 경향이 고 휘도 제품을 추구하고 있어, 게이트 라인과 블랙 매트릭스 사이에 형성되는 PS의 경우, 고 휘도 타겟 제품의 사양 상 개구율을 최대화 확보할 수 있는 화소 구조를 갖도록 형성되고 있고, 상기 게이트 라인은 지연(RC 지연)에 영향이 없는 범위 내에서 최대한 얇은 폭을 갖도록 형성되고 있는 추세이다. 이때, 상기 PS는 하판과 접촉되어지는 면적이 15~20 μ m 정도로, 게이트 라인의 폭 보다 크게 형성되고 있는 바, 상,하판의 합착 마진을 고려하더라도, 상기 PS는 게이트 라인과 접촉되는 면적 보다 접촉되지 않는 면적이 넓기 때문에, PS 관련 표시얼룩을 발생하게 하는 원인이 된다.

여기서, PS의 치수는 기존의 볼 스페이서가 지지하던 면적과 비슷한 지지 면적을 기준으로 결정하며, 그리고, 이러한 PS는 보통 1~5개의 화소에 하나 정도를 형성하고 있고, 보통 시인성이 떨어지는 블루의 픽셀 측에 형성하고 있다. 이렇게 결정된 PS의 치수(탭 치수; PS의 상부 치수)는 보통 10 μ m 내외인 게이트 라인 폭이나 공통 전극 라인 폭 보다 5~10 μ m 이상 크게 설계되는게 보통이다.

결과적으로, 도 1에 도시된 바와 같이, PS의 크기가 하판 배선의 접촉면 보다 크므로, 오배치 오차를 감안할 경우, 도 2에 도시된 바와 같이, 셀 갭의 유의차가 유발되어 실제 개구 영역의 배향막이 PS에 의해 손상되고, 그래서, PS 기인성 결함이 발생하게 된다.

도 2에서, 도면부호 1은 어레이 기관, 2는 하판 배선에 해당하는 게이트 라인, 3은 카운터전극에 해당하는 하부 ITO, 4는 게이트 절연막, 5는 보호막, 6은 화소전극에 해당하는 상부 ITO, 7은 편광판, 11은 컬러 필터 기관, 12는 블랙 매트릭스, 13은 RGB 부재, 14는 오버 코팅막, 그리고, 15는 PS를 각각 나타낸다.

여기서, 상판에 위치한 PS(15)의 변형량(deformation)은 0.2 μ m 정도인데, 이는 실제 합착 시 셀 갭에 영향을 주고 있다. 아울러, 상기 PS(15)의 탭 부분과 접촉되는 하판 배선 부분과 배선이 형성되지 않는 부분간 단차 변화는 0.2~0.3 μ m 정도이고, 이는 합착 공정 시에 PS 치수가 하판 배선의 폭 보다 커 합착 마진 이상의 유격을 갖게 되고, 이는 합착 공정시, PS(15)에 의해 하판 배향막에 손상을 주어 그 부분에 표시열룩을 야기시키게 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기한 종래 기술의 제반 문제점을 해결하기 위하여 안출된 것으로서, 상판에 형성된 PS의 탭 부분과 접촉되어지는 하판의 배선면이 PS의 변형량과 상,하판 합착 마진을 고려한 크기를 가지도록 함으로써 PS 기인성 결함 발생을 방지할 수 있는 액정 표시 소자를 제공함에 그 목적이 있다.

발명의 구성

상기한 목적을 달성하기 위하여, 본 발명은, 컬러 필터 기관 상에 블랙 매트릭스, RGB 부재 및 오버코팅막이 순차적으로 적층되어 구성된 상판부; 상기 상판부와 이격 배치되며, 어레이 기관 상에 게이트 라인, 게이트 절연막, 보호막 및 편광판이 순차적으로 적층되어 구성된 하판부; 및 상기 상판부에 형성되어 상기 상판부와 하판부간의 간격을 유지시키는 패턴 스페이서;를 포함하며, 상기 게이트 라인은 상기 패턴 스페이서와 접촉되는 부분의 폭이 그 이외 부분 보다 큰 폭을 갖도록 형성된 것을 특징으로 하는 액정 표시 소자를 제공한다.

여기서, 상기 하판 배선은 상기 패턴 스페이서와 접촉되는 부분에 다수의 멀티 홀이 형성된 것을 특징으로 하며, 상기 다수의 멀티 홀은 수지를 이용한 엠보싱 방식으로 형성된다.

(실시예)

이하, 첨부된 도면에 의거하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다.

도 3은 본 발명의 제1실시예에 따른 액정 표시 소자를 나타낸 평면도이고, 도 4는 도 3의 B-B'선을 따라 절단한 단면도이다.

본 발명의 제1실시예에 따른 액정 표시 소자는 상판부(302), 하판부(304) 및 상기 상판부(302)에 형성된 PS(306)를 포함한다. 상판부(302)는 컬러 필터 기관(310) 상에 블랙 매트릭스(312), RGB 부재(314) 및 오버 코팅막(316)이 순차적으로 적층되어 구성된다. 하판부(304)는 상기 상판부(302)와 소정 간격 이격되어 배치되며, 어레이 기관(318) 상에 게이트 라인(308), 게이트 절연막(322), 보호막(324) 및 편광판(326)이 순차적으로 적층되어 구성된다.

상기 상판부(302)에는 PS(306)이 형성되며, 이러한 PS(306)이 상판부(302)와 하판부(304) 사이에 개재되어 기관들(302, 304) 사이의 간격을 유지시킨다. 상기 하판부(304)의 배선, 즉, 게이트 라인(308)은 상기 PS(306)와 접촉된다. 본 발명의 실시예에 의하면, 상기 게이트 라인(308)은 PS(306)와 접촉하는 부분이 그 이외 부분 보다 큰 폭을 가진다. 예컨대, PS(306)과 접촉하는 게이트 라인(308) 부분은 PS(306)의 폭에 합착 마진을 고려한 값을 더한 값의 폭을 갖는다.

따라서, 본 발명은 PS(306)가 접하는 게이트 라인(308) 부분에 충분한 PS 유격 마진을 가진 PS-롬(328)이 구비됨으로써, 상,하판의 합착시 발생할 수 있는 결함, 즉, 합착 오정렬로 인한 PS(306) 기인성 결함 발생을 방지할 수 있다. 이때, 상기 PS-롬(328)은 상판부(302)의 블랙 매트릭스(312)와 겹치는 영역에 형성되므로, 개구율에 영향을 미치지 않으며, 따라서, 패널 투과율에 영향을 끼치지 않는다.

결과적으로, 본 발명은 PS의 탑 부분과 접하는 하판 배선, 즉, 게이트 라인 부분을 부분적으로 PS 치수에 합착 마진을 더한 값 정도로 크게 형성함으로써, 공정 중에 PS가 접하는 면을 일정하게 유지하여 셀 갭을 일정하게 유지할 수 있고, 이에 따라, DNU를 방지하고, PS가 실제 개구부 쪽의 배향막에 어택을 주지 않는 구조를 갖게 되어 PS 기인성 결함이 없는 구조를 구현하게 된다.

도 5는 본 발명의 제2 실시예에 따른 액정 표시 소자를 나타낸 평면도이다. 도 6은 도 5에 도시된 B-B' 부분의 단면도이다.

본 발명의 제2 실시예에 따른 액정 표시 소자는 상판부(502)와 하판부(504) 및 상기 상판부(502)에 형성된 PS(506)을 포함한다. 상판부(502)는 컬러 필터 기관(510) 상에 블랙 매트릭스(512), RGB 부재(514) 및 오버 코팅막(516)이 순차적으로 적층되어 구성된다. 하판부(504)는 상기 상판부(502)와 소정 간격 이격 배치되며, 어레이 기관(518) 상에 게이트 라인(508), 게이트 절연막(522), 보호막(524), 및 편광판(526)이 순차적으로 적층되어 구성된다.

상기 PS(506)는 상판부(502)에 형성되고, 상기 상판부(502)와 하판부(504) 사이에 개재되어 그들간의 간격을 유지시킨다. 하판 배선, 즉, 게이트 라인(508)은 PS(506)에 접촉된다. 특히, 상기 PS(506)와 접촉되는 게이트 라인(508) 부분은 그 이외 부분 보다 큰 폭을 갖도록 구비되며, 또한, 다수의 멀티 홀(528)이 형성된다. 상기 다수의 멀티 홀(528)은 정방형 형태를 갖도록 구비되는 것이 바람직하지만, PS(506)의 유격을 최소화할 수 있는 형태이면 모두 가능하다.

본 발명의 실시예에 의하면, 상기 다수의 멀티 홀(528)은 수지를 이용한 엠보싱 방식으로 형성되는 것이 바람직하다. 또한, 본 발명의 실시예에 의하면, 상기 PS(506)와 접촉되는 게이트 라인(508) 부분의 폭은 상기 PS(506)의 폭과 합착 마진의 값을 더한 값의 폭을 갖도록 하는 것이 바람직하다.

본 발명의 제2 실시예에 따른 액정 표시 소자는 합착 공정 진행 시 PS(506)가 하판부(504)의 접촉되어 지는 면에 충분한 마진을 주게 되어 상기 PS(506)에 의한 무라, 즉, 표시열룩을 미연에 방지할 수 있으며, 게이트 라인(508)에 형성시킨 다수의 멀티 홀(528)이 합착 공정 완료 후 홀의 틈새에 PS(506)의 변형량 만큼 상기 PS(508)가 박히게 되어 지지대 역할을 하게 됨으로써 상기 PS(506)의 유격을 최대한으로 줄일 수 있다.

따라서, 이후 공정인 셀 검사나 신뢰성 검사, 모듈 조립 등에서 패널에 외부 충격 등 영향을 줄 수 있는데, 본 발명의 제2 실시예의 경우 셀 공정 후에도 PS의 유격을 최소화할 수 있는 구조를 갖게 되어 PS에 의해 발생할 수 있는 결함을 방지할 수 있다.

이상에서는 본 발명을 특정의 바람직한 실시예로서 설명하였으나, 본 발명은 상기한 실시예에 한정되지 아니하며, 특허 청구의 범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변형이 가능할 것이다.

발명의 효과

이상에서와 같이, 본 발명은 PS와 접촉하는 하판부 배선 부분의 폭을 상기 PS의 유격을 고려하여 넓게 형성해줌으로써 PS 기인성 결함을 방지할 수 있다. 따라서, PS를 이용한 액정 표시 소자의 경우 현재 셀 갭 이상이나 PS 표시열룩, DNU 등 PS 기인성 불량량이 4~14% 정도 발생하고 있으나, 본 발명은 이러한 PS 기인성 결함을 제거해줌으로써 셀 수율을 향상시킬 수 있다.

도면의 간단한 설명

도 1은 종래의 액정 표시 소자를 나타낸 평면도.

도 2는 도 1에 도시된 A-A'을 따라 절단한 단면도.

도 3은 본 발명의 제1 실시예에 따른 액정 표시 소자를 나타낸 평면도.

도 4는 도 3에 도시된 B-B' 부분의 단면도.

도 5는 본 발명의 제2 실시예에 따른 액정 표시 소자를 나타낸 평면도.

도 6은 도 5에 도시된 B-B' 부분의 단면도이다.

* 도면의 주요 부분에 대한 부호 설명 *

302,502: 상판부 304,504: 하판부

306,506: 패턴 스페이서 308,508: 하판 배선

310,510: 컬러 필터 기판 312,512: 블랙 매트릭스

314,514: RGB 부재 316,516: 오버 코팅막

318,518: 어레이 기판 322,522: 게이트 절연막

324,524: 보호막 326,526: 편광판

삭제

삭제

삭제

삭제

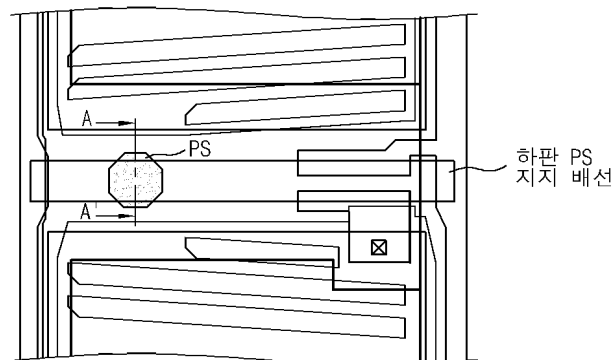
삭제

삭제

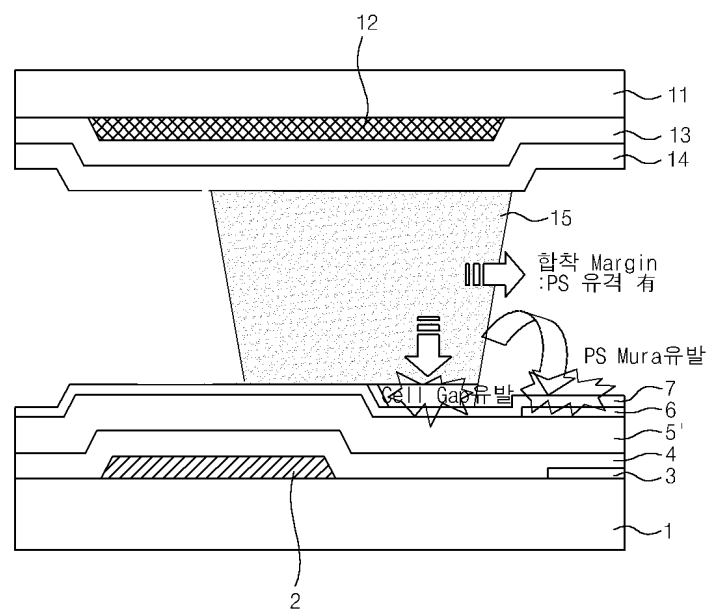
328: 패턴 스페이서 접촉부 528: 멀티 홀

도면

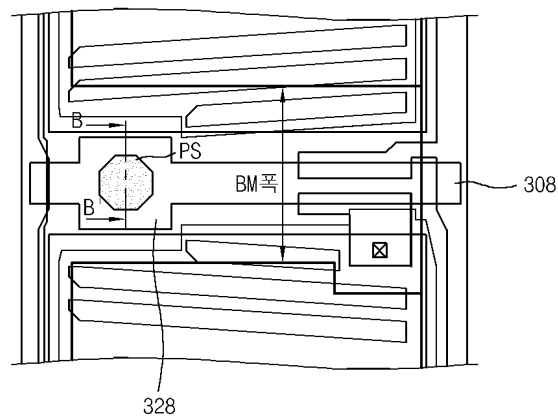
도면1



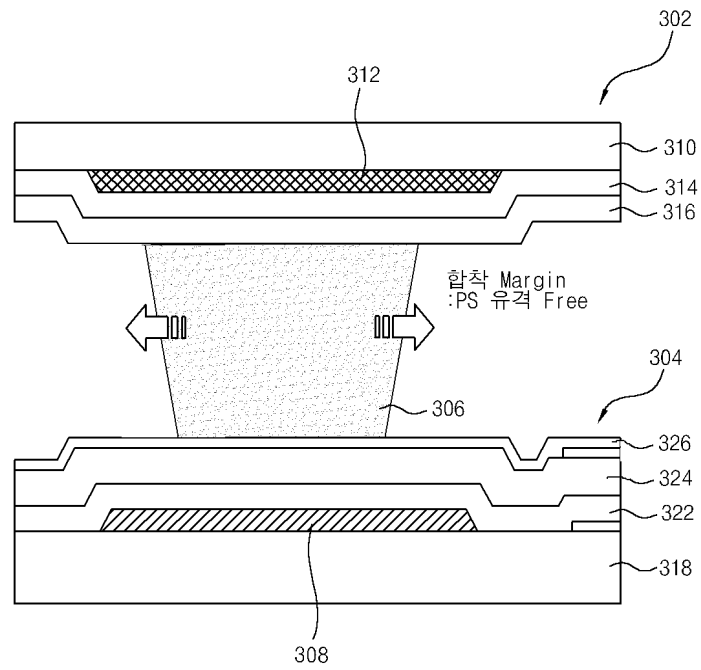
도면2



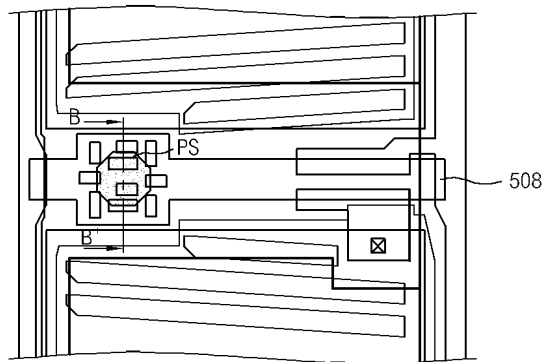
도면3



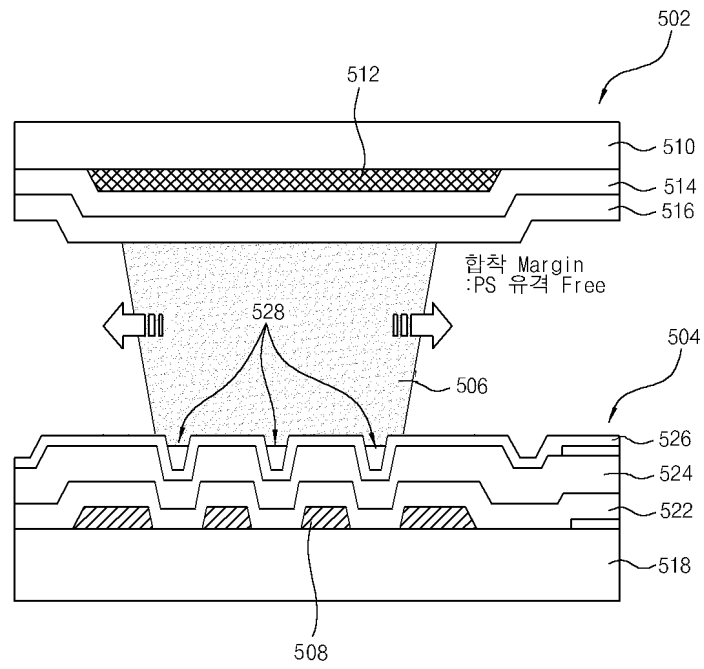
도면4



도면5



도면6



专利名称(译)	液晶显示元件		
公开(公告)号	KR100687344B1	公开(公告)日	2007-02-27
申请号	KR1020040001501	申请日	2004-01-09
[标]申请(专利权)人(译)	HYDIS TECH HYDIS技术有限公司		
申请(专利权)人(译)	하이디스테크놀로지주식회사		
当前申请(专利权)人(译)	하이디스테크놀로지주식회사		
[标]发明人	KIM JAIKWANG		
发明人	KIM, JAIKWANG		
IPC分类号	G02F1/1339		
其他公开文献	KR1020050073662A		
外部链接	Espacenet		

摘要(译)

本发明公开了一种液晶显示装置，其能够有效地处理图案间隔物（图案化间隔物）的角度变形。本发明的液晶显示装置包括下板部分，该下板部分包括栅极线，栅极绝缘层，并且保护膜和偏振板依次层叠在阵列板上，它与上板分开放置部分：由黑色矩阵构成的上板部分，RGB构件或更多的涂膜依次层叠在滤色器基板和形成在上板部分中的图案间隔物上并保持下板部分之间的间隙和上板部分。并且形成具有宽度大于与栅极线接触的部分的除部分的宽度的图案间隔物。

