

(19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁷ G02F 1/136	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년06월22일 10-0496556 2005년06월13일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2000-0064299 2000년10월31일	(65) 공개번호 (43) 공개일자	10-2002-0034222 2002년05월09일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자 치 메이 옵토일렉트로닉스 코포레이션
대만, 타이난 카운티, 타이난 싸이언스-베이스드 인터스트리얼 팍, 치 예 로드, 넘버1

(72) 발명자 우빙-생
대만,타이난카운티,타이난싸이언스-베이스드인터스트리얼팍,치예로드,
넘버1

팅칭-령
대만,타이난카운티,타이난싸이언스-베이스드인터스트리얼팍,치예로드,
넘버1

후루하시히로유키
대만,타이난카운티,타이난싸이언스-베이스드인터스트리얼팍,치예로드,
넘버1

(74) 대리인 김학제
문혜정

심사관 : 임동재

(54) 활성 매트릭스 액정 디스플레이 및 그의 제조방법

요약

본 발명에서는 메탈 라인과 투명 픽셀 전극 사이의 단락을 방지하기 위한 TFT LCD와 그의 제조방법을 제공한다. 절연층이 접촉창의 형성을 위한 교차 지역을 제외하고 전체 메탈층을 덮기 위해 제공된다. 다음, 투명 전도성 층이 픽셀 전극과 인터커넥션 라인을 형성하기 위해 제공된다. 그리하여, 투명 전도성층이 깨끗하게 에칭되지 않아 잔여물이 남아 있는 경우라도, 그 잔여물은 메탈라인과 투명 픽셀 전극 사이에서 단락을 일으키지 않을 것이다. 또한 제조 수율도 증대될 것이다. 더우기, 제 2 메탈층이 인터커넥션 라인의 저항을 감소시키기 위해 투명 전도성층 아래에 증착된다.

대표도

도 4a

색인어

박막 트랜지스터, 액정 디스플레이, 단락, 포토 레지스트

명세서

도면의 간단한 설명

이러한 본 발명의 목적과 잇점은 하기의 설명과 도면에 의해 더욱 명백해질 것이다.

도 1은 종래의 TFT LCD의 구조를 나타내는 개략도,

도 2a는 도 2b에 예시된 제 1 마스크에 의해 형성된 구조를 나타내는 개략도,

도 3a는 도 3b에 예시된 제 2 마스크에 의해 형성된 구조를 나타내는 개략도,

도 4a는 도 4b에 예시된 제 3 마스크에 의해 형성된 구조를 나타내는 개략도,

도 5a는 본 발명의 제 1 실시예에 따른, 제 4 마스크에 의해 형성된 구조를 나타내는 개략도,

도 5b는 본 발명의 제1실시예에 따른, 투명 전도성층의 잔류부분(residual)을 포함하고 있는 구조를 나타내는 개략도,

도 6A 내지 6D는 도 5a의 A-B선에 따른 구조를 개략적으로 나타내는 단면도,

도 7A 내지 7D는 도 5a의 C-D-E-F선에 따른 구조를 개략적으로 나타내는 단면도,

도 8A 내지 8D는 도 5b의 G-H선에 따른 구조를 개략적으로 나타내는 단면도,

도 9A 내지 9D는 고농도로 도핑된 반도체층 위에 특별히 부가적인 제 2 메탈층을 가지는 경우, 도 5a의 A-B선에 따른 구조를 개략적으로 나타내는 단면도,

도 10A 내지 10D는 고농도로 도핑된 반도체층 위에 특별히 부가적인 제 2 메탈층을 가지는 경우, 도 5a의 C-D-E-F선에 따른 구조를 개략적으로 나타내는 단면도,

도 11a는 본 발명의 제 2 실시예에 따른, 도 11b에서 예시되어진 제 2 마스크에 의해 형성된 구조를 나타내는 개략도,

도 12a는 본 발명의 제 2 실시예에 따른, 도 12b에서 예시되어진 제 3 마스크에 따라 형성된 패턴을 나타내는 개략도,

도 13a는 본 발명의 제 2 실시예에 따른, 도 13b의 제 4 마스크에 의해 형성된 구조를 나타내는 개략도,

도 14A 내지 14D는 도 13a의 M-N선에 따른 구조를 개략적으로 나타내는 단면도, 및

도 15A 내지 15D는 도 13a의 I-J선에 따른 구조를 개략적으로 나타내는 단면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 디스플레이(LCD)를 제조하는 방법에 관한 것으로, 보다 상세하게는 픽셀 전극(pixel electrodes)과 메탈 라인(metal lines) 사이의 단락(short circuit)을 효과적으로 방지할 수 있는 액정 디스플레이의 제조방법에 관한 것이다.

박막 트랜지스터(TFT) LCD를 제조하기 위한 종래의 방법은 통상 6~9번의 포토리소그래피 단계를 거친다. 미국특허 제5,346,833호에는 수율을 높이고 비용을 줄이기 위해 단지 3번의 포토리소그래피 단계가 요구되는, 단순화된 TFT LCD 제조방법이 개시되어 있다. 도 1에 상기 제5,346,833호의 방법이 나타나 있다. 제 1 마스크가 유리 기판 위에 메탈 라인을 형성하기 위해 제공된다. 제 1 제조공정은 유리 기판위에 메탈층을 증착시키는 단계와 스캔 라인(scan line, 100)과 데이터 라인(data line, 100')을 패터닝하기 위해 종래의 포토리소그래피법을 사용하는 단계를 포함한다.

제 2 마스크는 TFT 메사(TFT mesa)를 절연하기 위해서 제공된다. 제 2 제조공정은 절연층(isolating layer), 비정질 반도체층(amorphous semiconductor layer) 및 고농도로 도핑된 반도체층(heavily-doped semiconductor layer)을 메탈 층위에 연속적으로 증착시키는 단계와 소스 지역(source area, 101), 드레인 지역(drain area, 102) 및 채널(channel, 103)을 각각 형성하기 위해 TFT 메사를 에칭하는 종래 리소그래피방법을 사용하는 단계를 포함한다.

제 3 마스크는 픽셀 전극을 패터닝하기 위해 제공된다. 제 3 제조공정은 투명 전도성 층을 증착하는 단계와 픽셀 전극(104), 데이터 라인(100')의 인터커넥션 라인(interconnection line, 106) 및 드레인 전극(105)을 동시에 패터닝하기 위해 종래의 포토리소그래피 방법을 사용하는 단계를 포함한다.

그러나 상기 제5,346,833호의 방법은 절연층이 데이터 라인(100')과 스캔 라인(100)의 교차점에만 형성되는 문제가 있다. 투명 전도성층이 증착되어 에칭된 후, 그 투명 전도성층이 깨끗하게 에칭되어 있지 않으면 픽셀 전극(104)와 메탈 라인 사이에서 단락을 일으키기 쉽다. 특히 단락 문제는 픽셀 전극의 작용에 영향을 미쳐서 필연적으로 TFT LCD의 생산율을 감소시킨다.

더우기 데이터 라인(100')은 통상 투명전극층에 의해 형성되는 인터커넥션 라인(106)에 의해 결합된다. 투명 전도성층은 통상 메탈 라인보다 높은 저항을 갖는 인듐 틴 옥사이드(Indium Tin Oxide(ITO))로 형성되기 때문에, 데이터 라인(100')의 전체 저항은 증가될 것이다. 그 결과로서 LCD의 그레이 스케일(gray scale)의 중대한 질적 저하를 일으킬 것이다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명의 목적은 투명 전극층이 깨끗하게 에칭되지 않은 경우에도 메탈 라인과 픽셀 전극사이에서 발생하는 단락을 방지할 수 있는 TFT LCD와 그의 제조방법을 제공하는 것이다.

본 발명의 다른 목적은 인터커넥션 라인 아래에 제 2 메탈층을 형성함에 의해 인터커넥션 라인의 저항을 감소시킬 수 있는 TFT LCD 및 그의 제조방법을 제공하는 것이다.

즉, 본 발명의 방법은

(a) 투명 기판위에 메탈층을 증착시키는 단계;

(b) 제 1 마스크를 사용하여 다수개의 수직 메탈 라인과 상기 수직 메탈라인과 만나지 않는 다수개의 수평 메탈 라인을 패터닝하는 단계;

(c) 상기 투명기판위에 절연층, 비정질 반도체층 및 고농도로 도핑된 반도체층을 연속적으로 증착시키는 단계;

(d) 제 2 마스크를 사용하여 상기 절연층, 비정질 반도체층 및 고농도로 도핑된 반도체층을 상기 다수개의 수직 메탈 라인 및 다수개의 수평 메탈 라인을 커버하고, 메탈라인의 비연결된 말단 부근에 다수개의 접촉창(contact windows)을 남겨놓는 패턴으로 패터닝하는 단계;

(e) 상기 고농도로 도핑된 반도체층, 비정질 반도체층 및 절연층을 에칭하는 단계;

(f) 상기 투명 기판위에 투명 전도성층을 증착시키는 단계;

(g) 제 3 마스크를 사용하여 픽셀 전극 및 접촉창을 통해 비연결된 메탈 라인을 연결하기 위한 인터커넥션 라인으로 패터닝하는 단계;

(h) 상기 투명성 전도성층 및 고농도로 도핑된 반도체층을 에칭하는 단계;

(i) 상기 투명 기판위에 패시베이션층(passivation layer)을 증착시키는 단계;

(j) 제 4 마스크를 사용하여 상기 패시베이션층을 패시베이션 지역(passivation area)로 패터닝하는 단계; 및

(k) 상기 패시베이션층 및 비정질 반도체층을 에칭하는 단계를 포함한다.

발명의 구성 및 작용

본 발명의 제 1 실시예에 따라, 4번의 포토리소그래피 단계를 사용하여 TFT LCD를 제조하는 방법이 개시된다. 상기 방법은 도 2 내지 8을 참조하여 설명된다.

제 1 제조공정은 하기 단계를 포함한다. 첫째, 투명 기판위에 알루미늄(Al) 또는 크로뮴(Cr)과 같은 물질을 사용하여 메탈층(10)을 증착시킨다. 두번째, 도 2b에서 예시된 마스크를 사용하여 메탈층(10)을 도 2a에서 나타나는 구조와 같이 패터닝한다. 세번째, 포토레지스트를 제거한다. 도 2a는 데이터 라인(21)과 스캔 라인(20)의 교차 지역의 평면을 나타낸다. 본 실시예에서는 교차 지역에서 데이터 라인(21)이 연결되지 않는 것으로 이해되어야 한다. 비연결된 스캔 라인(20)을 형성하는 것도 가능하다.

제 2 제조공정은 하기 단계를 포함한다. 첫째, 절연층(11), 비정질 반도체층(12) 및 고농도로 도핑된 반도체층(13)을 투명 기판위에 연속적으로 증착시킨다. 상기 절연층(11)은 질화 실리콘(SiN)에 의해서 형성될 수 있다. 비정질 반도체층(13)은 비정질 실리콘(amorphous silicon, a-Si)에 의해 형성될 수 있다. 고농도로 도핑된 반도체층은 고농도로 도핑된 실리콘(heavily-doped silicon, n+ Si)에 의해서 형성될 수 있다. 두번째, 데이터 라인(21)의 비연결된 말단에 접촉창을 형성하기 위해 도 3b에 예시된 마스크를 사용한다. 세번째, 고농도로 도핑된 반도체층(13), 비정질 반도체층(12) 및 절연층(11)을 에칭한다. 마지막으로, 포토레지스트를 제거한다. 형성된 구조는 도 3a에 예시된다. 도 3b의 마스크는 스캔 라인(20)과 데이터 라인(21)의 지역을 커버함으로써 교차 지역 근처에 접촉창(24)을 형성한다. 상기 마스크는 또한 소스 전극 지역(31)과 드레인 전극 지역(32)을 연결시키기 위해서 스캔 라인(20)의 교차지역 근처에 채널(22)을 형성시킨다.

제 3 제조공정은 하기 단계를 포함한다. 첫째, 인듐 틴 옥사이드(ITO)와 같은 투명 전도성층(15)을 상기 투명 기판위에 증착시킨다. 둘째, 두 접촉창(24)을 통하여 데이터 라인(21)을 연결하기 위한 인터커넥션 라인(42)을 형성하기 위해 도 4에서 예시된 마스크를 사용한다. 세번째, 투명 전도성층(15)과 고농도로 도핑된 반도체층(13)을 에칭한다. 마지막으로 포토레지스트를 제거한다. 형성된 구조는 도 4a에서 예시된다. 도 4b의 마스크는 인터커넥션 라인(42), 픽셀 전극(40) 및 픽셀 전극(40)으로부터 확장된 드레인 전극(41)을 형성시킨다. 상기 인터커넥션 라인(42)은 소스 전극 지역(31)에 접촉창(24)을 통하여 데이터 라인(21)을 결합하기 위해 형성된다. 그 이외에, 드레인 전극(41)은 드레인 전극 지역(32)에 형성된다.

제 4 제조공정은 하기 단계를 포함한다. 첫째, 상기 투명 기관위에 페시베이션층(16)을 증착시킨다. 두번째, 도 5a에서 예시된 대로 TFT 메사를 위한 페시베이션 지역을 형성하기 위해 마스크를 사용한다. 세번째, 페시베이션층(16)과 비정질 반도체층(12)을 에칭한다. 마지막으로, 포토레지스트를 제거한다.

도 6A 내지 도 6D와 도 7A 내지 도 7D를 참조하여 본 발명의 제 1 실시예에 따른 TFT LCD를 제조하는 방법을 설명한다. 도 6A 내지 6D는 각 제조공정 후 형성된 구조를 설명하기 위한, A-B선에 따른 채널(22)의 단면도를 나타낸다. 도 7A 내지 7D는 각 제조공정 후 형성된 구조의 C-D-E-F 라인에 따른, 다시말해 데이터 라인(21), 스캔 라인(20), 드레인 전극(41) 및 픽셀 전극(40)에 따른 단면도를 나타낸다.

도 6A에 나타난 바와 같이, 제 1 제조공정 후에는 채널(22) 위에 단지 금속층만이 형성되어 있다. 도 7A에서 나타난 바와 같이, 데이터 라인(21)과 스캔 라인(20) 사이에 간격이 형성되어 있다. 다시 말해, 데이터 라인(21)과 스캔 라인(20)은 교차 지역에서 연결되어 있지 않다.

제 2 제조공정 후, 도 6B에서 나타난 바와 같이 절연층(11), 비정질 반도체층(12) 및 고농도로 도핑된 반도체층(13)은 채널(22)위에 형성되어 있다. 절연층(11), 비정질 반도체층 및 고농도로 도핑된 반도체층(13)의 폭은 빛의 입사를 방지하기 위한 메탈층(10)의 장점을 취할 수 있도록, 메탈층(10)의 폭보다 점차적으로 좁아지도록 만들어졌다. 동시에 도 7B에서 나타난 대로, 절연층(11), 비정질 반도체층(12) 및 고농도로 도핑된 반도체층(13)은 데이터 라인(21)과 스캔 라인(20)위에 형성되어 있다. 또한 접촉창(24)은 데이터 라인(21)에 형성되어 있다.

제 3 제조공정 후, 형성된 구조는 도 6C와 같이 나타난다. 투명 전도성층(15)이 채널(22)의 반대편에 형성되어 있다. 한편으로 도 7C에서 나타난 바와 같이, 인터커넥션 라인(42)은 스캔 라인(20)을 가로질러서 데이터 라인(21)을 연결시키기 위해 투명 전도성층(15)에 형성되어 있다. 또한 드레인 전극(41)이 스캔 라인(20)위에 형성되어 있다. 더우기, 인터커넥션 라인(42)과 드레인 전극(41) 사이에 간격이 형성된다. 또한 이 공정동안, 투명 전도성층(15)에 의해 커버되지 않은 부분의 고농도로 도핑된 반도체층(13)은 도 7C의 15'지역에서 보여진 바와 같이 반드시 에칭되어야 한다.

제 4 제조공정 후, 형성된 구조는 도 6D에서 나타난 바와 같이 페시베이션층(16)이 채널(22)위에 형성되어 있다. 반면, 도 7D에서 나타난 바와 같이 페시베이션층(16)은 또한 인터커넥션 라인(42)과 드레인 전극(41)위에 형성되어 있다. 이 공정 동안, 페시베이션층(16)에 의해서 커버되지 않은 부분의 비정질 반도체층(12)은 도 7D의 16'지역에서 나타난 바와 같이 TFT를 형성하기 위해 반드시 에칭되어야 한다.

도 8A 내지 8D는 각 제조공정 후의 도 5b의 G-H 라인에 따른 단면도를 나타낸다. 도 8A에서 나타난 대로, 제 1 제조공정 후 금속층(10)이 투명 기관위에 형성되어 있다. 다음으로 제 2 제조공정 후에 절연층(11), 비정질 반도체층(12) 및 고농도로 도핑된 반도체층(13)이 형성되어 있다. 상기 절연층(11)은 도 8B에서 나타난 대로 데이터 라인(21)과 스캔 라인(20) 전체와 오버랩되도록 형성되어 있다. 도 8C에서 보여지듯이 제 3 제조공정 후 투명 전도성층(15)이 형성되고 증폭된 반도체층(13)이 에칭된다. 도 8D에 나타난 바와 같이 제 4 제조공정 후 페시베이션층(16)이 형성되고 다음으로 비정질 반도체층(12)이 에칭된다. 그리하여 데이터 라인(21)과 스캔 라인(20)은 모두 절연층(11)에 의해 커버되어, 투명 전도성층(15)의 잔여물이 에칭단계 중 데이터 라인(21) 또는 스캔 라인(20)에 남아 있는 경우에도 절연된다. 따라서 절연층(11)로 인하여 데이터 라인(21)(또는 스캔 라인)과 픽셀 전극(40) 사이의 단락은 발생하지 않을 것이다. 결국, 상기 제조공정에서 남아있는 투명 전도성층(15)의 잔여물은 금속층(10)에 직접 접촉할 수 없다. 따라서 본 발명에 의한 LCD 및 제조방법은 생산 수율을 증진시킨다.

도 9A 내지 9D 및 도 10A 내지 10D에서는 제 2 제조공정 동안 제 2 금속층(14)이 고농도로 도핑된 반도체층(13)위에 부가적으로 형성되는 것을 보여준다. 또한, 제 3 제조공정동안, 상기 제 2 금속층(14)은 에칭되어 없어진다. 상기 제 2 금속층(14)을 더하는 목적은 인터커넥션 라인(42)의 저항을 감소시키기 위해 인터커넥션 라인(42)과 접촉하는 것이다.

본 발명의 제 2 실시예는 제 1 실시예와 유사하다. 그 차이는 TFT의 레이아웃의 차이에 있다. 상기 제 2 실시예의 제 1 제조공정은 제 1 실시예의 제 1 제조공정과 같다. 따라서 보다 상세하게는 도 2a 및 2b를 참조한다.

제 2 제조공정은 하기 단계를 포함한다. 첫째, 투명 기관위에 절연층(11), 비정질 반도체층(12) 및 중 도핑된 반도체층(13)을 연속적으로 증착시킨다. 둘째, 도 11b에 나타난 마스크를 사용하여 도 11a와 같이 나타나는 패턴을 형성한다. 세번째, 고농도로 도핑된 반도체층(13), 비정질 반도체층(12) 및 절연층(11)을 에칭한다. 마지막으로, 포토레지스트를 제거한다. 도 11b에서 예시된 마스크는 스캔 라인(20) 및 데이터 라인(21)을 커버하는 패턴을 정의하고, 데이터 라인(21)의 말단 부분에서 접촉창(24)을 형성한다.

제 3 제조공정은 하기 단계를 포함한다. 첫째, 상기 투명기관위에 투명 전도성층(15)를 증착시킨다. 둘째, 도 12b에서 나타난 마스크를 사용하여 도 12a와 같이 나타나는 구조를 형성한다. 세번째, 상기 투명전도성층(15)와 고농도로 도핑된 반도체층(13)을 에칭한다. 마지막으로, 포토레지스트를 제거한다. 이 공정 다음에 형성된 구조는 픽셀 전극(40), 픽셀 전극(40)에서 확장되는 드레인 전극(41'), 인터커넥션 라인(42) 및 인터커넥션 라인(42)에서 확장된 소스 전극(31')과 소스 전극(31')과 드레인 전극(41') 사이에 형성된 채널(22)을 포함한다. 상기 인터커넥션 라인(42)은 데이터 라인(21)을 접촉창을 통하여 결합시키기 위해 스캔 라인(20)을 가로지른다.

제 4 제조공정은 하기 단계를 포함한다. 첫째, 투명기관위에 페시베이션층(16)을 형성한다. 둘째, 도 13b에서 나타난 마스크를 사용하여 도 13a에서 나타난 바와 같은 구조를 형성한다. 셋째, 페시베이션층(16)과 비정질 반도체층(12)을 에칭한다. 마지막으로, 포토레지스트를 제거한다. 이 공정후 형성된 구조는 인터커넥션 라인(42)을 오버랩하는 제 1 페시베이션 지역(51)과 드레인 전극(41')와 소스 전극(31')을 오버랩하는 제 2 페시베이션 지역을 포함한다.

도 14A 내지 14D 및 도 15A 내지 15D를 참조하여 제 2 실시예의 제조방법을 설명한다. 도 14A 내지 14D는 각 제조단계 후에 도 13a의 M-N선에 따른 구조의 단면도를 나타낸다. 도 15A 내지 15D는 각 제조공정 후에 형성된 도 13a의 I-J선에 따른 구조의 단면도를 설명한다.

또한 투명 전도성층(15)에 의해 형성된 인터커넥션 라인(42)의 저항성을 감소시키기 위해, 제 2 메탈층이 고농도로 도핑된 반도체층(13)에 형성될 수 있다.

본 발명의 제 1 및 제 2 실시예에 따라, 데이터 라인 및 스캔 라인은 절연층에 의해 완전히 커버된다. 그 결과로서, 단락의 발생은 투명 전도성층의 잔여물이 우연히 상기 제조공정에서 남아 있는 경우에도 방지될 수 있다. 또한, 부가적인 금속층이 고농도로 도핑된 반도체층과 투명 전도성층 사이에 증착될 수 있다. 제 2 금속층과 투명 전도성층을 결합하는 것에 의해 인터커넥션 라인의 저항은 더욱 감소될 수 있다.

여기에 설명된 구조에 대응하는 다양한 대체물이 본 발명의 실시예에 채용될 수 있다. 본 발명은 하기의 청구항에 의해서 정의되고, 청구항과 그 균등물의 범위에 속하는 구조에 의해 커버되어 진다.

발명의 효과

상기와 같은 본 발명에 의한 TFT LCD 및 그의 제조방법에 의해 투명 전극층이 깨끗하게 에칭되지 않은 경우에도 메탈 라인과 픽셀 전극사이에서 발생하는 단락을 방지할 수 있고, 인터커넥션 라인 아래에 제 2 메탈층을 형성함에 의해 인터커넥션 라인의 저항을 감소시킬 수 있도록 한다.

(57) 청구의 범위

청구항 1.

투명 기판위에 메탈층을 증착시키는 단계;

제 1 마스크를 사용하여 다수개의 연속 메탈 라인과 다수개의 비연속 메탈 라인을, 실질적으로 서로 직각을 이루고 교차점에서 서로 연결되지 않도록 패터닝하는 단계;

상기 투명 기판위에 절연층, 비정질 반도체층 및 고농도로 도핑된 반도체층(heavily-doped semiconductor layer)을 연속적으로 증착시키는 단계;

제 2 마스크를 사용하여 상기 절연층, 비정질 반도체층 및 고농도로 도핑된 반도체층을 상기 다수개의 연속 메탈 라인 및 다수개의 비연속 메탈 라인을 커버하고, 비연속 메탈 라인의 비연결된 말단 부근에 다수개의 접촉창을 형성하도록 패터닝하는 단계;

상기 고농도로 도핑된 반도체층, 비정질 반도체층 및 절연층을 에칭하는 단계;

상기 투명 기판위에 투명 전도성층을 증착시키는 단계;

제 3 마스크를 사용하여 상기 투명 전도성층을, 픽셀 전극과 상기 연속 메탈라인 위에 위치하여 비연속 메탈 라인의 연결되지 않은 말단을 접촉창을 통하여 연결하는 인터커넥션 라인으로 패터닝하는 단계;

상기 투명 기판 및 고농도로 도핑된 반도체층을 에칭하는 단계;

상기 투명 기판위에 패시베이션층(passivation layer)을 증착시키는 단계;

제 4 마스크를 사용하여 상기 패시베이션층을 패시베이션 지역(passivation area)으로 패터닝하는 단계; 및

상기 패시베이션층 및 비정질 반도체층을 에칭하는 단계를 포함하는 박막 트랜지스터 액정 디스플레이(TFT LCD)의 제조방법.

청구항 2.

제 1항에 있어서, 상기 제 2 마스크가 소스 전극 지역, 드레인 전극 지역 및 상기 소스 전극 지역 및 드레인 전극 지역을 연결하기 위한 채널을 패터닝하는 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이의 제조방법.

청구항 3.

제 2항에 있어서, 상기 제 3 마스크가 상기 드레인 전극 지역 위에 드레인 전극을 패터닝하는 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이의 제조방법.

청구항 4.

제 3항에 있어서, 상기 패시베이션 지역이 상기 인터커넥션 라인, 상기 채널 및 상기 드레인 전극 지역을 커버하는 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이의 제조방법.

청구항 5.

제 1항에 있어서, 상기 제 3 마스크가 상기 소스 전극 지역 위에 상기 소스 전극을 패터닝하는 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이의 제조방법.

청구항 6.

제 5항에 있어서, 상기 패시베이션 지역이 상기 인터커넥션 라인을 커버하는 제 1 패시베이션 지역 및 상기 소스 전극 지역 및 상기 드레인 전극 지역을 커버하는 제 2 패시베이션 지역을 포함하는 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이의 제조방법.

청구항 7.

제 6항에 있어서, 상기 제 1 패시베이션 지역과 상기 제 2 패시베이션 지역 사이에 간격이 존재하는 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이의 제조방법.

청구항 8.

제 1 금속층을 투명 기판위에 증착시키는 단계;

제 1 마스크를 사용하여 다수개의 연속 메탈 라인과 다수개의 비연속 메탈 라인을, 실질적으로 서로 직각을 이루고 교차점에서 서로 연결되지 않도록 패터닝하는 단계;

절연층, 비정질 반도체층, 고농도로 도핑된 반도체층 및 제 2 메탈층을 상기 투명 기판위에 연속적으로 증착시키는 단계;

제 2 마스크를 사용하여 상기 절연층, 비정질 반도체층, 고농도로 도핑된 반도체층 및 제 2 메탈층을 상기 다수개의 연속 메탈라인 및 다수개의 비연속 메탈 라인을 커버하고, 비연속 메탈 라인의 비연결된 말단 부근에 다수개의 접촉창을 형성하도록 패터닝하는 단계;

상기 제 2 메탈층, 고농도로 도핑된 반도체층, 비정질 반도체층 및 절연층을 에칭하는 단계;

상기 투명 기판위에 투명 전도성층을 증착시키는 단계;

제 3 마스크를 사용하여 픽셀 전극과 상기 연속 메탈라인 위에 위치하여 비연속 메탈 라인의 연결되지 않은 말단을 접촉창을 통하여 연결하는 인터커넥션 라인으로 상기 투명전도성층을 패터닝하는 단계;

상기 투명 기판 및 고농도로 도핑된 반도체층을 에칭하는 단계;

상기 투명 기판 위에 패시베이션층(passivation layer)을 증착시키는 단계;

제 4 마스크를 사용하여 상기 패시베이션층을 패시베이션 지역(passivation area)로 패터닝하는 단계; 및

상기 패시베이션층 및 비정질 반도체층을 에칭하는 단계를 포함하는 액정 디스플레이의 제조방법.

청구항 9.

제 8항에 있어서, 상기 제 2 마스크가 소스 전극지역, 드레인 전극지역 및 상기 소스 전극지역과 드레인 전극지역을 연결하기 위한 채널을 패터닝하는 것을 특징으로 하는 액정 디스플레이의 제조방법.

청구항 10.

제 9항에 있어서, 상기 제 3 마스크가 상기 드레인 전극지역위에 상기 드레인 전극을 패터닝하는 것을 특징으로 하는 액정 디스플레이의 제조방법.

청구항 11.

제 10항에 있어서, 상기 패시베이션 지역이 상기 채널 및 상기 드레인 전극 지역을 커버하는 것을 특징으로 하는 액정 디스플레이의 제조방법.

청구항 12.

제 8항에 있어서, 상기 제 3 마스크가 상기 소스 전극지역 위에 상기 소스 전극을 패터닝하는 것을 특징으로 하는 액정 디스플레이의 제조방법.

청구항 13.

제 12항에 있어서, 상기 패시베이션 지역이 인터커넥션 라인을 커버하는 제 1 패시베이션 지역 및 소스 전극지역 및 드레인 전극지역을 커버하는 제 2 패시베이션 지역을 포함하는 것을 특징으로 하는 액정 디스플레이의 제조방법.

청구항 14.

투명 기판;

상기 투명기판 위에 위치한 서로 직각을 이루고 교차점에서 서로 연결되지 않는 다수개의 연속 메탈 라인과 다수개의 비연속 메탈 라인;

상기 연속 메탈 라인과 상기 비연속 메탈라인의 교차점에 위치한 박막 트랜지스터(thin film transistor);

다수개의 투명 전극;

상기 연속 메탈 라인과 연속 메탈 라인 부근의 비연속 메탈 라인에 위치한 접촉창을 가지는 비연속 메탈 라인 위에 위치한 절연층; 및

상기 연속 라인 위에 위치하여 접촉창을 통하여 비연속 라인을 연결하기 위한 다수개의 인터커넥션 라인을 포함하는 액정 디스플레이.

청구항 15.

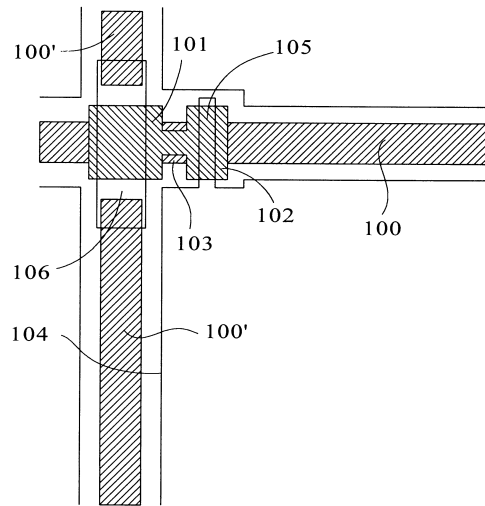
제 14항에 있어서, 상기 인터커넥션 라인의 보호를 위해서 인터커넥션 라인 위에 위치한 패시베이션층을 더 포함하는 것을 특징으로 하는 액정 디스플레이.

청구항 16.

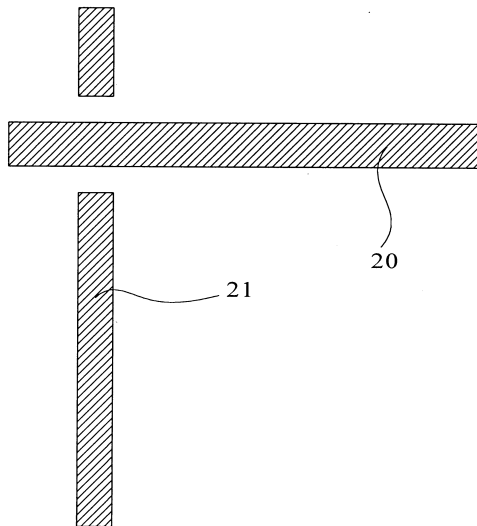
제 14항에 있어서, 상기 인터커넥션 라인의 아래에 제 2 메탈층을 더 포함하는 것을 특징으로 하는 액정 디스플레이.

도면

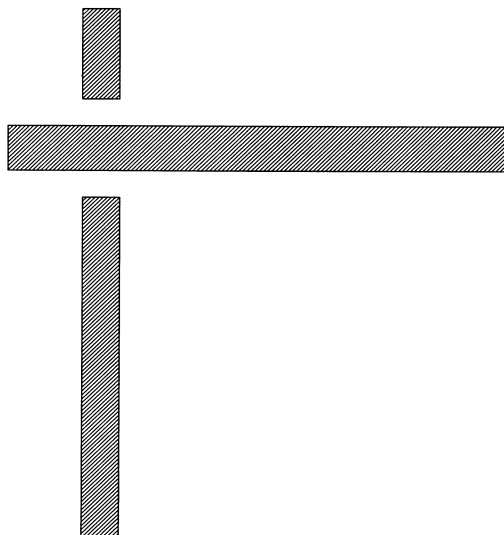
도면1



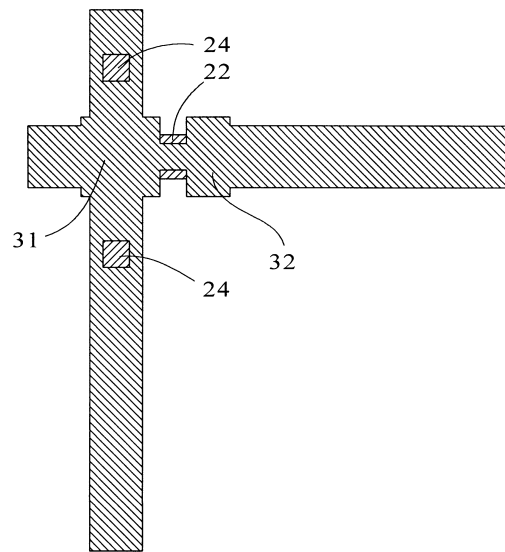
도면2a



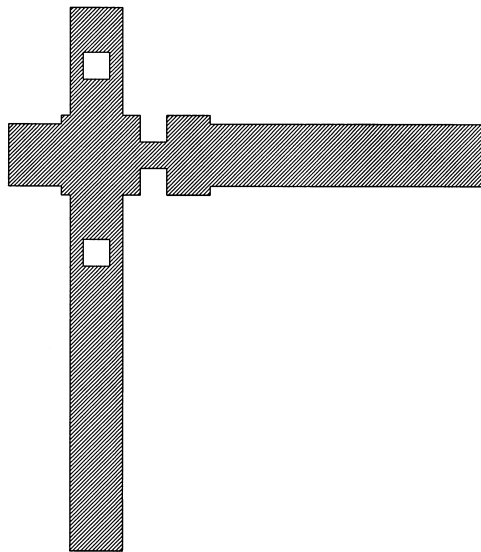
도면2b



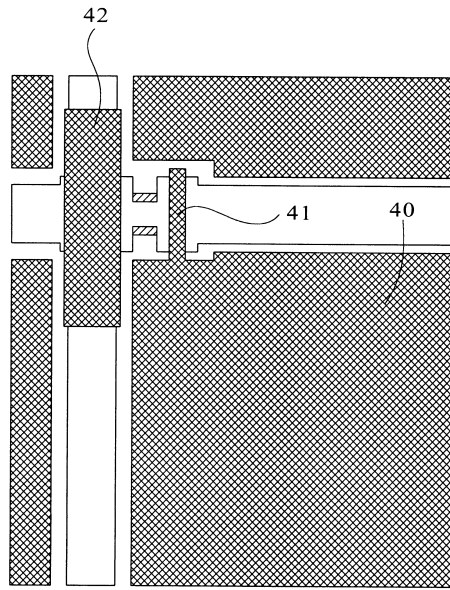
도면3a



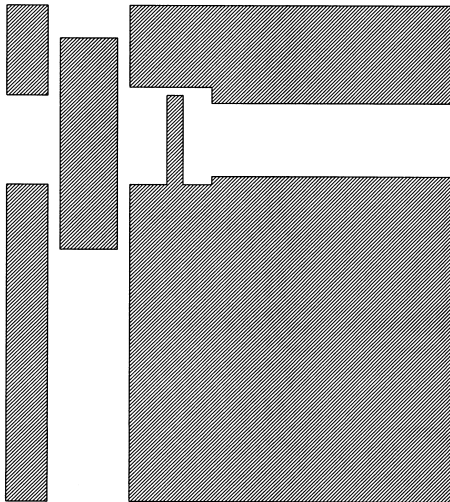
도면3b



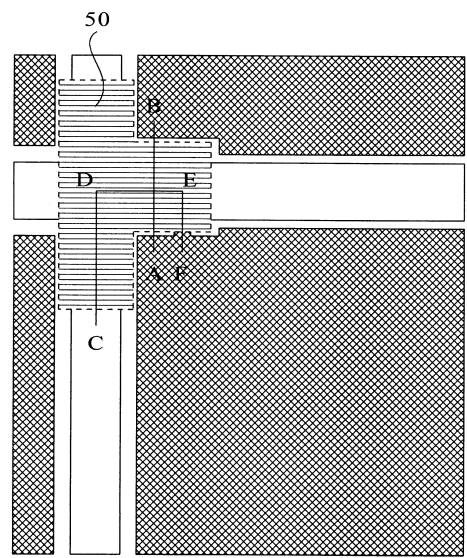
도면4a



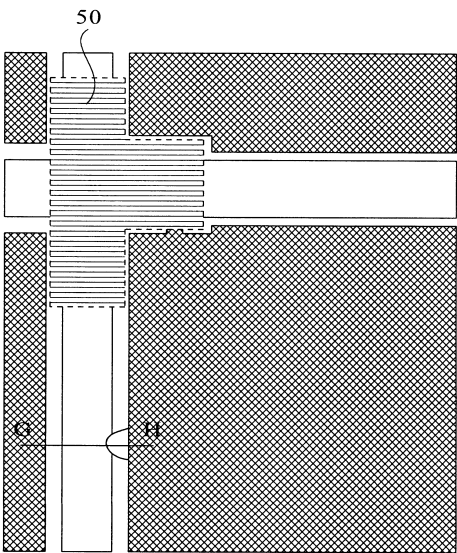
도면4b



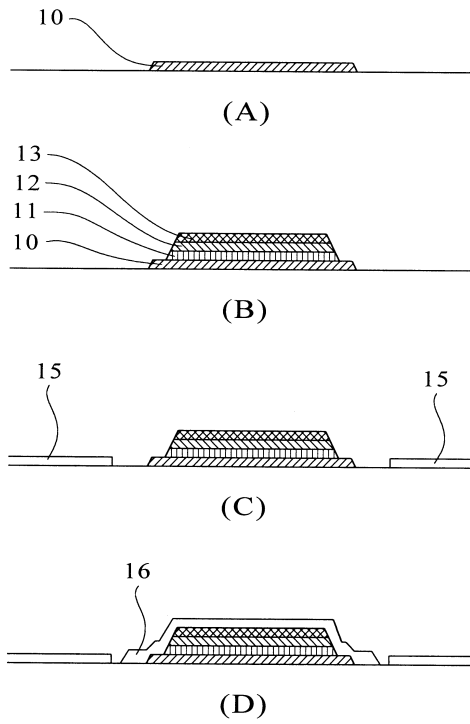
도면5a



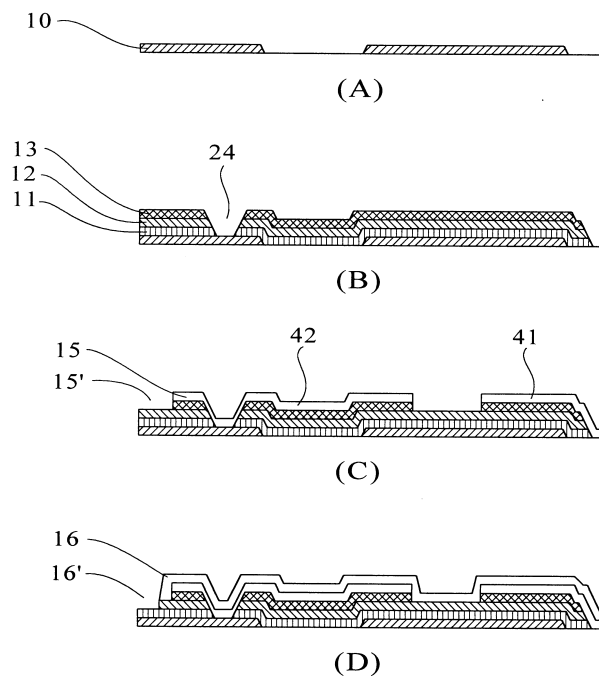
도면5b



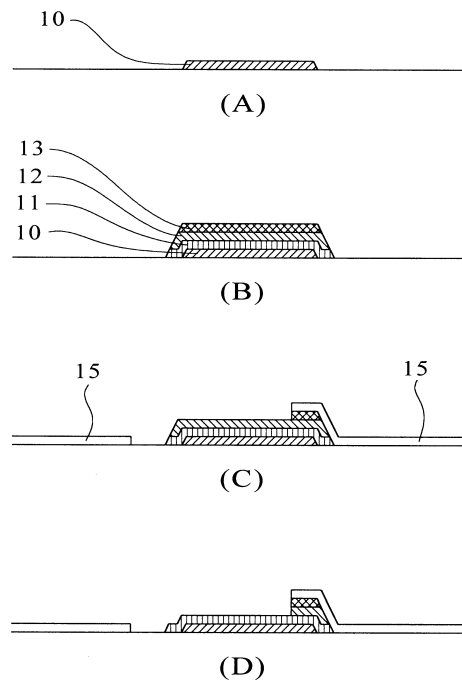
도면6



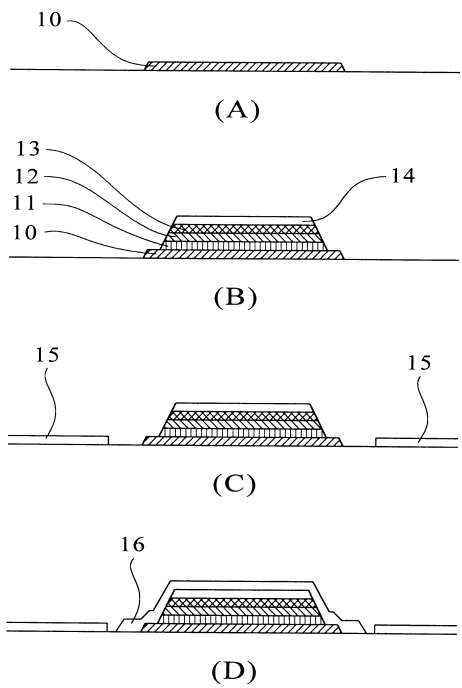
도면7



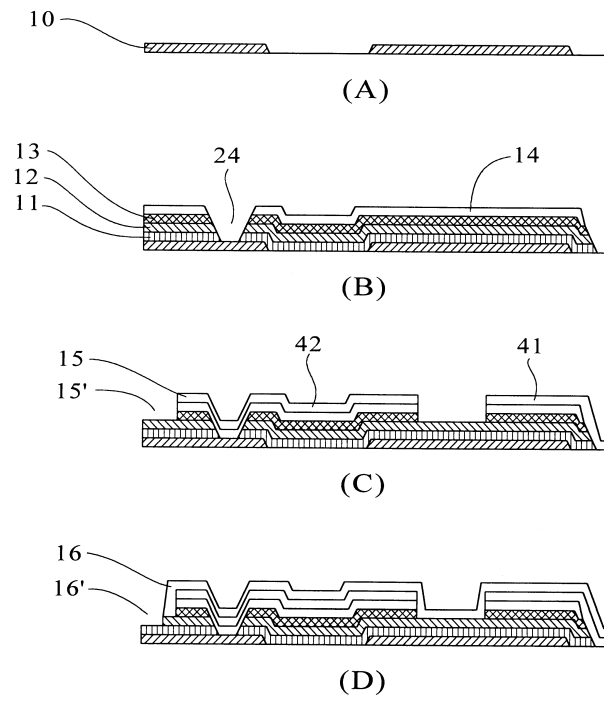
도면8



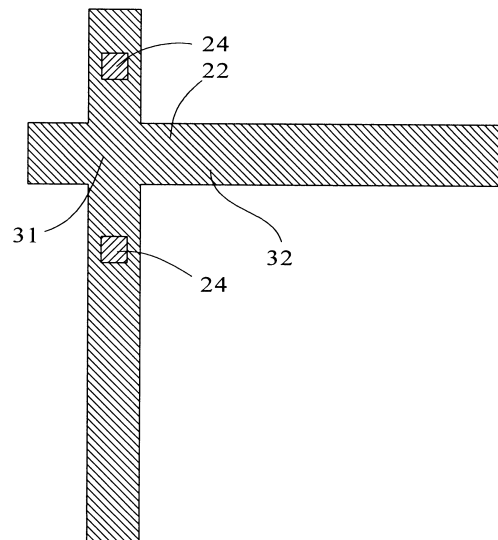
도면9



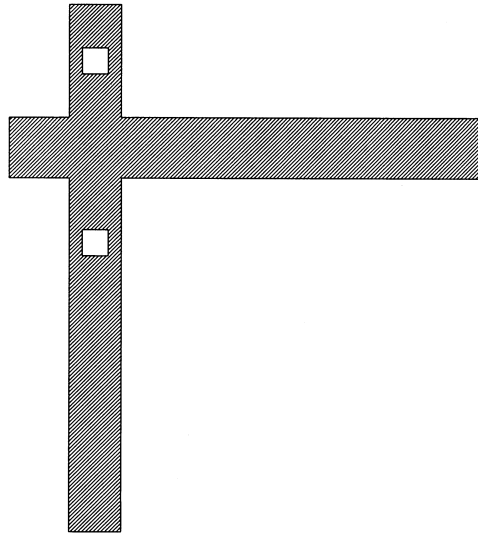
도면10



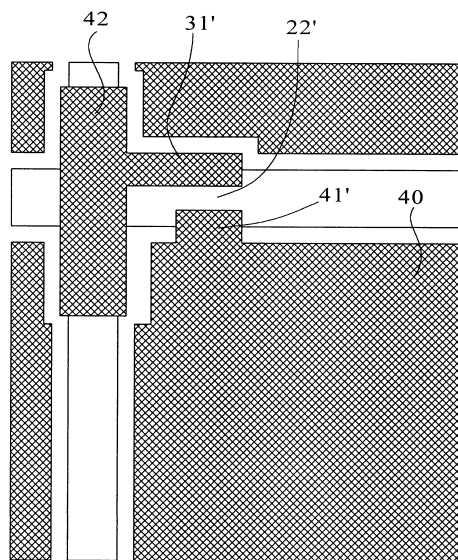
도면11a



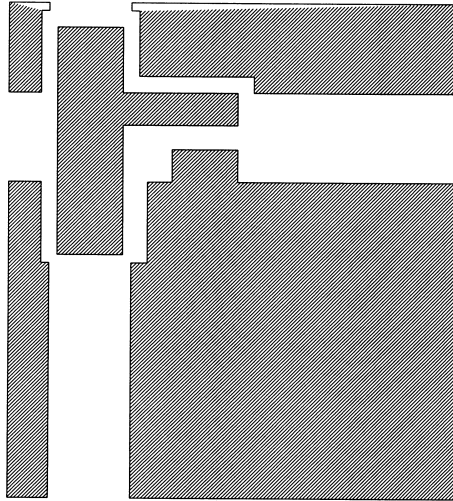
도면11b



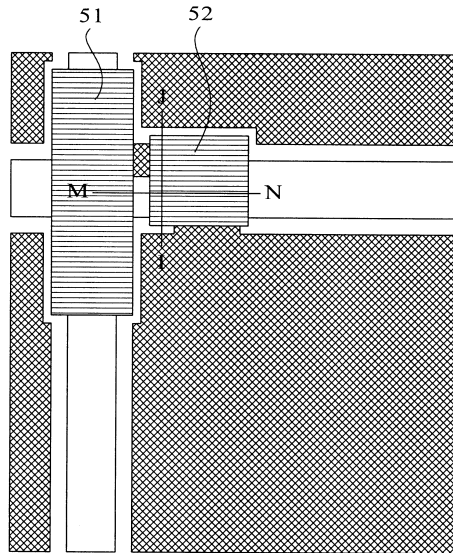
도면12a



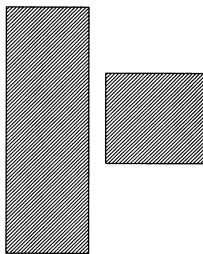
도면12b



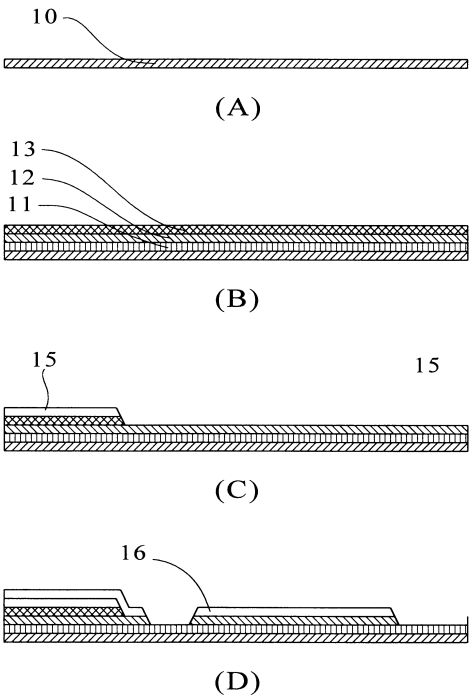
도면13a



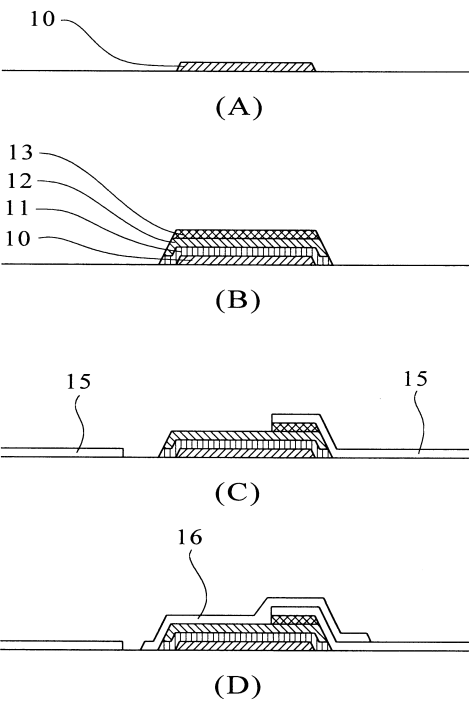
도면13b



도면14



도면15



专利名称(译)	有源矩阵液晶显示器及其制造方法		
公开(公告)号	KR100496556B1	公开(公告)日	2005-06-22
申请号	KR1020000064299	申请日	2000-10-31
[标]申请(专利权)人(译)	群创光电股份有限公司 治疗主要是土电子学鼻子炮升级		
申请(专利权)人(译)	治疗主要是土电子学鼻子炮升级		
当前申请(专利权)人(译)	治疗主要是土电子学鼻子炮升级		
[标]发明人	WU BIING SENG 우빙생 TING CHIN LUNG 팅칭렁 FURUHASHI HIROYUKI 후루하시히로유키		
发明人	우빙 생 팅칭 령 후루하시히로유키		
IPC分类号	G02F1/136		
代理人(译)	金鹤JE MOON, 惠姪		
其他公开文献	KR1020020034222A		
外部链接	Espacenet		

摘要(译)

本发明提供一种TFT LCD及其制造方法，用于防止金属线与透明像素电极之间的短路。提供绝缘层以覆盖整个金属层，除了用于形成接触窗口的交叉区域。接下来，提供透明导电层以与像素电极形成互连线。因此，当透明导电层是清洁的即使残留未被蚀刻的残留物，残留物也不会金属线和透明像素电极之间引起短路。此外，产量将增加。此外，在透明导电层下面沉积第二金属层以减小互连线的电阻。图4a 指数方面薄膜晶体管，液晶显示器，短路，照片抵制

