



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0091963
(43) 공개일자 2008년10월15일

(51) Int. Cl.

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

(21) 출원번호 10-2007-0035126

(22) 출원일자 2007년04월10일

심사청구일자 2007년06월14일

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

장수혁

대구 북구 동천동 영남2차타운 103동 902호

송홍성

경북 구미시 구평동 474-7 부영아파트 803동 706호

민용기

대구 북구 동천동 891번지 동화골든빌 103동 1205호

(74) 대리인

특허법인로알

전체 청구항 수 : 총 26 항

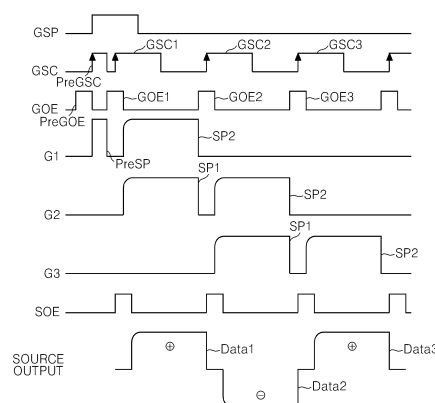
(54) 액정표시장치와 그 구동방법

(57) 요약

본 발명은 직류화 잔상과 플리커를 예방하여 표시품질을 높이도록 한 액정표시장치와 그 구동방법에 관한 것이다.

이 액정표시장치는 다수의 데이터라인과 다수의 게이트라인이 형성되고 다수의 액정셀들을 가지는 액정표시패널; 극성제어신호를 발생하는 제1 로직회로; 및 게이트 타이밍 제어신호들을 발생하는 제2 로직회로; 상기 극성제어신호에 응답하여 데이터전압의 극성을 반전시키고 그 데이터전압을 상기 데이터라인들에 공급하는 데이터 구동회로; 및 상기 게이트 타이밍 제어신호들에 응답하여 스캔펄스를 상기 게이트라인들에 공급하는 게이트 구동회로를 구비한다. 상기 극성제어신호는 N(N은 양의 정수)의 배수 번째 프레임기간에서 그 이전의 프레임기간과 동일한 극성패턴을 가지며, 상기 N의 배수 번째 프레임기간과 그 이전의 프레임기간 이외의 다른 프레임기간들에서 1 프레임기간 단위로 극성이 반전되는 극성패턴을 가진다. 상기 제2 로직회로는 상기 N의 배수 번째 프레임기간에서 상기 게이트 타이밍 제어신호를 변조하여 상기 N의 배수 번째 프레임기간에서 상기 액정셀의 충전양 저하를 유발시킨다.

대표도 - 도13



특허청구의 범위

청구항 1

다수의 데이터라인과 다수의 게이트라인이 형성되고 다수의 액정셀들을 가지는 액정표시패널;

극성제어신호를 발생하는 제1 로직회로; 및

게이트 타이밍 제어신호들을 발생하는 제2 로직회로;

상기 극성제어신호에 응답하여 데이터전압의 극성을 반전시키고 그 데이터전압을 상기 데이터라인들에 공급하는 데이터 구동회로; 및

상기 게이트 타이밍 제어신호들에 응답하여 스캔펄스를 상기 게이트라인들에 공급하는 게이트 구동회로를 구비하고;

상기 극성제어신호는 N (N 은 양의 정수)의 배수 번째 프레임기간에서 그 이전의 프레임기간과 동일한 극성패턴을 가지며, 상기 N 의 배수 번째 프레임기간과 그 이전의 프레임기간 이외의 다른 프레임기간들에서 1 프레임기간 단위로 극성이 반전되는 극성패턴을 가지며;

상기 제2 로직회로는 상기 N 의 배수 번째 프레임기간에서 상기 게이트 타이밍 제어신호를 변조하여 상기 N 의 배수 번째 프레임기간에서 상기 액정셀의 충전량 저하를 유발시키는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 N 은 8 이상의 정수인 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 게이트 타이밍 제어신호는,

상기 게이트 구동회로 내의 쉬프트 레지스터에 입력되어 첫 번째 발생되는 제1 스캔펄스의 시작시점을 지시하는 게이트 스타트 펄스;

상기 게이트 구동회로 내의 쉬프트 레지스터에 입력되어 상기 게이트 스타트 펄스를 순차적으로 쉬프트시키기 위한 게이트 쉬프트 클럭신호; 및

상기 게이트 구동회로의 출력을 지시하는 게이트 출력 인에이블신호를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 제1 로직회로는,

상기 게이트 스타트 펄스를 카운트하여 상기 프레임기간의 수를 지시하는 프레임 카운트 정보를 발생하는 프레임 카운터;

상기 프레임 카운트 정보를 이용하여 상기 N 의 배수 번째 프레임기간에서 논리가 반전되는 반전신호를 발생하는 POL 반전부; 및

상기 데이터전압의 극성을 지시하는 제1 극성제어신호와 상기 반전신호를 배타적 논리합 연산하여 상기 극성제어신호를 발생하는 배타적 논리합 회로를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 제1 로직회로는,

상기 극성제어신호와 상기 제1 극성제어신호를 선택적으로 상기 데이터 구동회로에 공급하는 멀티플렉서를 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 6

제 3 항에 있어서,

상기 제2 로직회로는,

상기 N의 배수 번째 프레임기간 동안,

상기 게이트 스타트 펄스 내에 두 개의 상기 게이트 쉬프트 클럭들이 중첩되도록 상기 게이트 스타트 펄스와 중첩되는 프리 게이트 쉬프트 클럭과 제1 게이트 쉬프트 클럭을 발생하고;

상기 프리 게이트 쉬프트 클럭의 라이징 에지에 중첩되는 프리 게이트 출력 인에이블 신호와 상기 프리 게이트 쉬프트 클럭의 폴링 에지에 중첩되는 제1 게이트 출력 인에이블 신호를 발생하는 것을 특징으로 하는 액정표시장치.

청구항 7

제 6 항에 있어서,

상기 데이터 구동회로는

상기 제1 게이트 출력 인에이블 신호 이후에 상기 데이터전압을 출력하는 것을 특징으로 하는 액정표시장치.

청구항 8

제 7 항에 있어서,

상기 게이트 구동회로는,

상기 N의 배수 번째 프레임기간 동안,

상기 게이트 스타트 펄스, 상기 프리 게이트 쉬프트 클럭과 상기 제1 게이트 쉬프트 클럭을 포함한 변조된 게이트 쉬프트 클럭, 상기 프리 게이트 출력 인에이블신호와 상기 제1 게이트 출력 인에이블 신호를 포함한 변조된 게이트 출력 인에이블 신호에 응답하여 상기 게이트라인라인들에 제1 스캔펄스와 제2 스캔펄스를 포함한 한 쌍의 스캔펄스를 순차적으로 공급하고;

제 $i-1$ (i 는 양의 정수) 게이트라인에 공급된 상기 제2 스캔펄스와 제 i 게이트라인에 공급된 상기 제1 스캔펄스는 중첩되는 것을 특징으로 하는 액정표시장치.

청구항 9

제 8 항에 있어서,

상기 데이터 구동회로는,

상기 극성제어신호에 응답하여 상기 제1 스캔펄스에 동기되어 출력되는 상기 데이터전압의 극성과 상기 제2 스캔펄스에 동기되어 출력되는 상기 데이터전압의 극성을 다르게 하는 것을 특징으로 하는 액정표시장치.

청구항 10

제 3 항에 있어서,

상기 제2 로직회로는,

상기 N의 배수 번째 프레임기간 동안,

상기 게이트 스타트 펄스 내에 두 개의 상기 게이트 쉬프트 클럭들이 중첩되도록 상기 게이트 스타트 펄스의 펄스폭을 확장시키는 것을 특징으로 하는 액정표시장치.

청구항 11

제 10 항에 있어서,

상기 데이터 구동회로는

상기 N의 배수 번째 프레임기간 동안,

두 번째로 발생하는 제2 게이트 출력 인에이블신호 이후에 상기 데이터전압을 출력하는 것을 특징으로 하는 액정표시장치.

청구항 12

제 11 항에 있어서,

상기 게이트 구동회로는,

상기 N의 배수 번째 프레임기간 동안,

상기 변조된 게이트 스타트 펄스, 상기 게이트 쉬프트 클럭, 상기 게이트 출력 인에이블 신호에 응답하여 상기 게이트라인라인들에 제1 스캔펄스와 제2 스캔펄스를 포함한 한 쌍의 스캔펄스를 순차적으로 공급하고;

제 $i-1$ (i 는 양의 정수) 게이트라인에 공급된 상기 제2 스캔펄스와 제 i 게이트라인에 공급된 상기 제1 스캔펄스는 중첩되는 것을 특징으로 하는 액정표시장치.

청구항 13

제 12 항에 있어서,

상기 데이터 구동회로는,

상기 극성제어신호에 응답하여 상기 제1 스캔펄스에 동기되어 출력되는 상기 데이터전압의 극성과 상기 제2 스캔펄스에 동기되어 출력되는 상기 데이터전압의 극성을 다르게 하는 것을 특징으로 하는 액정표시장치.

청구항 14

제 1 항에 있어서,

입력 영상을 분석하여 그 분석 결과에 따라 상기 제1 및 제2 로직회로의 출력을 제어하는 영상분석회로를 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 15

다수의 데이터라인과 다수의 게이트라인이 형성되고 다수의 액정셀들을 가지는 액정표시패널을 포함한 액정표시장치의 구동방법에 있어서,

극성제어신호를 발생하는 단계;

게이트 타이밍 제어신호들을 발생하는 단계;

상기 극성제어신호에 응답하여 데이터전압의 극성을 반전시키고 그 데이터전압을 상기 데이터라인들에 공급하는 단계;

상기 게이트 타이밍 제어신호들에 응답하여 스캔펄스를 상기 게이트라인들에 공급하는 단계; 및

N (N 은 양의 정수)의 배수 번째 프레임기간에서 상기 게이트 타이밍 제어신호를 변조하여 상기 N 의 배수 번째 프레임기간에서 상기 액정셀의 충전양 저하를 유발시키는 단계를 포함하고;

상기 극성제어신호는 상기 N 의 배수 번째 프레임기간에서 그 이전의 프레임기간과 동일한 극성패턴을 가지며, 상기 N 의 배수 번째 프레임기간과 그 이전의 프레임기간 이외의 다른 프레임기간들에서 1 프레임기간 단위로 극성이 반전되는 극성패턴을 가지는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 16

제 15 항에 있어서,

상기 N 은 8 이상의 정수인 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 17

제 15 항에 있어서,

상기 게이트 타이밍 제어신호는,

상기 게이트 구동회로 내의 쉬프트 레지스터에 입력되어 첫 번째 발생되는 제1 스캔펄스의 시작시점을 지시하는 게이트 스타트 펄스;

상기 게이트 구동회로 내의 쉬프트 레지스터에 입력되어 상기 게이트 스타트 펄스를 순차적으로 쉬프트시키기 위한 게이트 쉬프트 클럭신호; 및

상기 게이트 구동회로의 출력을 지시하는 게이트 출력 인에이블신호를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 18

제 17 항에 있어서,

상기 게이트 타이밍 제어신호를 변조하여 상기 N의 배수 번째 프레임기간에서 상기 액정셀의 충전양 저하를 유발시키는 단계는,

상기 N의 배수 번째 프레임기간 동안,

상기 게이트 스타트 펄스 내에 두 개의 상기 게이트 쉬프트 클럭들이 중첩되도록 상기 게이트 스타트 펄스와 중첩되는 프리 게이트 쉬프트 클럭과 제1 게이트 쉬프트 클럭을 발생하는 단계; 및

상기 프리 게이트 쉬프트 클럭의 라이징 에지에 중첩되는 프리 게이트 출력 인에이블 신호와 상기 프리 게이트 쉬프트 클럭의 폴링 에지에 중첩되는 제1 게이트 출력 인에이블 신호를 발생하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 19

제 18 항에 있어서,

상기 데이터전압을 상기 데이터라인들에 공급하는 단계는,

상기 제1 게이트 출력 인에이블 신호 이후에 상기 데이터전압을 출력하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 20

제 19 항에 있어서,

상기 스캔펄스를 상기 게이트라인들에 공급하는 단계는,

상기 N의 배수 번째 프레임기간 동안, 상기 게이트 스타트 펄스, 상기 프리 게이트 쉬프트 클럭과 상기 제1 게이트 쉬프트 클럭을 포함한 변조된 게이트 쉬프트 클럭, 상기 프리 게이트 출력 인에이블신호와 상기 제1 게이트 출력 인에이블 신호를 포함한 변조된 게이트 출력 인에이블 신호에 응답하여 상기 게이트라인라인들에 제1 스캔펄스와 제2 스캔펄스를 포함한 한 쌍의 스캔펄스를 순차적으로 공급하고;

제 $i-1$ (i 는 양의 정수) 게이트라인에 공급된 상기 제2 스캔펄스와 제 i 게이트라인에 공급된 상기 제1 스캔펄스는 중첩되는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 21

제 20 항에 있어서,

상기 데이터전압을 상기 데이터라인들에 공급하는 단계는,

상기 극성제어신호에 응답하여 상기 제1 스캔펄스에 동기되어 출력되는 상기 데이터전압의 극성과 상기 제2 스캔펄스에 동기되어 출력되는 상기 데이터전압의 극성을 다르게 하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 22

제 17 항에 있어서,

상기 게이트 타이밍 제어신호를 변조하여 상기 N의 배수 번째 프레임기간에서 상기 액정셀의 충전양 저하를 유발시키는 단계는,

상기 N의 배수 번째 프레임기간 동안,

상기 게이트 스타트 펄스 내에 두 개의 상기 게이트 쉬프트 클럭들이 중첩되도록 상기 게이트 스타트 펄스의 펄스폭을 확장시키는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 23

제 22 항에 있어서,

상기 데이터전압을 상기 데이터라인들에 공급하는 단계는,

상기 N의 배수 번째 프레임기간 동안,

두 번째로 발생하는 제2 게이트 출력 인에이블신호 이후에 상기 데이터전압을 출력하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 24

제 23 항에 있어서,

상기 스캔펄스를 상기 게이트라인들에 공급하는 단계는,

상기 N의 배수 번째 프레임기간 동안,

상기 변조된 게이트 스타트 펄스, 상기 게이트 쉬프트 클럭, 상기 게이트 출력 인에이블 신호에 응답하여 상기 게이트라인라인들에 제1 스캔펄스와 제2 스캔펄스를 포함한 한 쌍의 스캔펄스를 순차적으로 공급하고;

제 $i-1$ (i 는 양의 정수) 게이트라인에 공급된 상기 제2 스캔펄스와 제 i 게이트라인에 공급된 상기 제1 스캔펄스는 중첩되는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 25

제 24 항에 있어서,

상기 데이터전압을 상기 데이터라인들에 공급하는 단계는,

상기 극성제어신호에 응답하여 상기 제1 스캔펄스에 동기되어 출력되는 상기 데이터전압의 극성과 상기 제2 스캔펄스에 동기되어 출력되는 상기 데이터전압의 극성을 다르게 하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 26

제 15 항에 있어서,

입력 영상을 분석하여 그 분석 결과에 따라 상기 게이트 타이밍 제어신호와 상기 극성제어신호의 변조여부를 결정하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<33> 본 발명은 액정표시장치에 관한 것으로, 특히 직류화 잔상과 플리커를 예방하여 표시품질을 높이도록 한 액정표

시장치와 그 구동방법에 관한 것이다.

- <34> 액정표시장치는 비디오신호에 따라 액정셀들의 광투과율을 조절하여 화상을 표시한다. 액티브 매트릭스(Active Matrix) 타입의 액정표시장치는 도 1과 같이 액정셀(C1c)마다 형성된 박막트랜지스터(Thin Film Transistor, TFT)를 이용하여 액정셀들에 공급되는 데이터전압을 스위칭하여 데이터를 능동적으로 제어하므로 동화상의 표시 품질을 높일 수 있다. 도 1에 있어서, 도면부호 "Cst"는 액정셀(C1c)에 충전된 데이터전압을 유지하기 위한 스토리지 커패시터(Storage Capacitor, Cst), 'DL'은 데이터전압이 공급되는 데이터라인, 그리고 'GL'은 스캔전압이 공급되는 게이트라인을 각각 의미한다.
- <35> 이와 같은 액정표시장치는 직류 옵션 성분을 감소시키고 액정의 열화를 줄이기 위하여, 이웃한 액정셀들 사이에서 극성이 반전되고 프레임기간 단위로 극성이 반전되는 인버전 방식(Inversion)으로 구동되고 있다. 그런데 데이터전압의 두 극성 중에서 어느 한 극성이 장시간 우세적(dominant)으로 공급되면 잔상이 발생한다. 이러한 잔상을 액정셀에 동일 극성의 전압이 반복적으로 충전되므로 "직류화 잔상(DC Image sticking)"이라 한다. 이러한 예 중 하나는 액정표시장치에 인터레이스(Interlace) 방식의 데이터전압들이 공급되는 경우이다. 인터레이스 방식은 기수 프레임기간 동안 기수 수평라인의 액정셀들에 표시될 기수라인 데이터전압만을 포함하고, 우수 프레임기간 동안 우수 수평라인의 액정셀들에 표시될 데이터전압만을 포함한다.
- <36> 도 2는 액정셀(C1c)에 공급되는 인터레이스방식의 데이터전압의 일예를 보여주는 파형도이다. 이 예는 도 2와 같은 데이터전압이 공급되는 액정셀(C1c)을 기수 수평라인에 배치된 액정셀들 중 어느 하나로 가정한다.
- <37> 도 2를 참조하면, 액정셀(C1c)에는 기수 프레임기간 동안 정극성 전압이 공급되고 우수 프레임기간 동안 부극성 전압이 공급된다. 인터레이스 방식에서, 기수 수평라인에 배치된 액정셀(C1c)에는 기수 프레임기간 동안에만 높은 정극성 데이터전압이 공급되기 때문에, 4 개의 프레임기간 동안 박스 내의 파형과 같이 정극성 데이터전압이 부극성 데이터전압에 비하여 우세적으로 되어 직류화 잔상이 나타나게 된다. 도 3은 인터레이스 데이터로 인하여 나타나는 직류화 잔상의 실험 결과를 보여주는 이미지이다. 도 3의 좌측 이미지와 같은 원 화상을 인터레이스방식으로 액정표시패널에 일정시간 동안 공급하면 극성이 프레임기간 단위로 변하는 데이터전압이 도 2와 같이 기수 프레임과 우수 프레임에서 현저히 달라지고, 그 결과 좌측 이미지와 같은 원 화상 후에 액정표시패널의 모든 액정셀들(C1c)에 중간계조 예를 들면 127 계조의 데이터전압을 공급하면 우측 이미지와 같이 원 화상의 패턴이 희미하게 보이는 직류화 잔상이 나타난다.
- <38> 직류화 잔상의 다른 예로써, 동일한 화상을 일정한 속도로 이동 또는 스크롤(scroll)시키면 스크롤되는 그림의 크기와 스크롤 속도(이동속도)의 상관 관계에 따라 액정셀(C1c)에 동일 극성의 전압이 반복적으로 축적되어 직류화 잔상이 나타날 수 있다. 이러한 실예는 도 4와 같다. 도 4는 사선 패턴과 문자 패턴을 일정한 속도로 이동시킬 때 나타나는 직류화 잔상의 실험 결과를 보여주는 이미지이다.
- <39> 액정표시장치에서는 직류화 잔상에 의해 동화상 표시품질이 떨어질뿐 아니라 육안으로 휘도차이를 주기적으로 느끼는 플리커(Flicker) 현상에 의해서도 표시품질이 떨어진다. 따라서, 액정표시장치의 표시품질을 높이기 위해서는 직류화 잔상을 해결함과 동시에 플리커 현상을 방지하여야 한다.

발명이 이루고자 하는 기술적 과제

- <40> 본 발명의 목적은 상기 종래 기술의 문제점들을 해결하고자 안출된 발명으로써 직류화 잔상과 플리커를 예방하여 표시품질을 높이도록 한 액정표시장치와 그 구동방법을 제공하는데 있다.

발명의 구성 및 작용

- <41> 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치는 다수의 데이터라인과 다수의 게이트라인이 형성되고 다수의 액정셀들을 가지는 액정표시패널; 극성제어신호를 발생하는 제1 로직회로; 및 게이트 타이밍 제어신호들을 발생하는 제2 로직회로; 상기 극성제어신호에 응답하여 데이터전압의 극성을 반전시키고 그 데이터전압을 상기 데이터라인들에 공급하는 데이터 구동회로; 및 상기 게이트 타이밍 제어신호들에 응답하여 스캔펄스를 상기 게이트라인들에 공급하는 게이트 구동회로를 구비한다.
- <42> 상기 극성제어신호는 N(N은 양의 정수)의 배수 번째 프레임기간에서 그 이전의 프레임기간과 동일한 극성패턴을 가지며, 상기 N의 배수 번째 프레임기간과 그 이전의 프레임기간 이외의 다른 프레임기간들에서 1 프레임기간 단위로 극성이 반전되는 극성패턴을 가진다.
- <43> 상기 제2 로직회로는 상기 N의 배수 번째 프레임기간에서 상기 게이트 타이밍 제어신호를 변조하여 상기 N의 배

수 번째 프레임기간에서 상기 액정셀의 충전량 저하를 유발시킨다.

- <44> 상기 N은 8 이상의 정수이다.
- <45> 상기 게이트 타이밍 제어신호는 상기 게이트 구동회로 내의 쉬프트 레지스터에 입력되어 첫 번째 발생하는 제1 스캔펄스의 시작시점을 지시하는 게이트 스타트 펄스; 상기 게이트 구동회로 내의 쉬프트 레지스터에 입력되어 상기 게이트 스타트 펄스를 순차적으로 쉬프트시키기 위한 게이트 쉬프트 클럭신호; 및 상기 게이트 구동회로의 출력을 지시하는 게이트 출력 인에이블신호를 포함한다.
- <46> 상기 제1 로직회로는 상기 게이트 스타트 펄스를 카운트하여 상기 프레임기간의 수를 지시하는 프레임 카운트 정보를 발생하는 프레임 카운터; 상기 프레임 카운트 정보를 이용하여 상기 N의 배수 번째 프레임기간에서 논리가 반전되는 반전신호를 발생하는 POL 반전부; 및 상기 데이터전압의 극성을 지시하는 제1 극성제어신호와 상기 반전신호를 배타적 논리합 연산하여 상기 극성제어신호를 발생하는 배타적 논리합 회로를 구비한다.
- <47> 상기 제1 로직회로는 상기 극성제어신호와 상기 제1 극성제어신호를 선택적으로 상기 데이터 구동회로에 공급하는 멀티플렉서를 더 구비한다.
- <48> 상기 제2 로직회로는 상기 N의 배수 번째 프레임기간 동안, 상기 게이트 스타트 펄스 내에 두 개의 상기 게이트 쉬프트 클럭들이 중첩되도록 상기 게이트 스타트 펄스와 중첩되는 프리 게이트 쉬프트 클럭과 제1 게이트 쉬프트 클럭을 발생하고; 상기 프리 게이트 쉬프트 클럭의 라이징 에지에 중첩되는 프리 게이트 출력 인에이블 신호와 상기 프리 게이트 쉬프트 클럭의 폴링 에지에 중첩되는 제1 게이트 출력 인에이블 신호를 발생한다.
- <49> 상기 데이터 구동회로는 상기 제1 게이트 출력 인에이블 신호 이후에 상기 데이터전압을 출력한다.
- <50> 상기 게이트 구동회로는 상기 N의 배수 번째 프레임기간 동안, 상기 게이트 스타트 펄스, 상기 프리 게이트 쉬프트 클럭과 상기 제1 게이트 쉬프트 클럭을 포함한 변조된 게이트 쉬프트 클럭, 상기 프리 게이트 출력 인에이블신호와 상기 제1 게이트 출력 인에이블 신호를 포함한 변조된 게이트 출력 인에이블 신호에 응답하여 상기 게이트라인들에 제1 스캔펄스와 제2 스캔펄스를 포함한 한 쌍의 스캔펄스를 순차적으로 공급하고, 제i-1(i는 양의 정수) 게이트라인에 공급된 상기 제2 스캔펄스와 제i 게이트라인에 공급된 상기 제1 스캔펄스는 중첩된다.
- <51> 상기 데이터 구동회로는 상기 극성제어신호에 응답하여 상기 제1 스캔펄스에 동기되어 출력되는 상기 데이터전압의 극성과 상기 제2 스캔펄스에 동기되어 출력되는 상기 데이터전압의 극성을 다르게 한다.
- <52> 상기 제2 로직회로는 상기 N의 배수 번째 프레임기간 동안, 상기 게이트 스타트 펄스 내에 두 개의 상기 게이트 쉬프트 클럭들이 중첩되도록 상기 게이트 스타트 펄스의 펄스폭을 확장시킨다.
- <53> 상기 데이터 구동회로는 상기 N의 배수 번째 프레임기간 동안, 두 번째로 발생하는 제2 게이트 출력 인에이블신호 이후에 상기 데이터전압을 출력한다.
- <54> 상기 액정표시장치는 입력 영상을 분석하여 그 분석 결과에 따라 상기 제1 및 제2 로직회로의 출력을 제어하는 영상분석회로를 더 구비한다.
- <55> 본 발명의 실시예에 따른 액정표시장치의 구동방법은 다수의 데이터라인과 다수의 게이트라인이 형성되고 다수의 액정셀들을 가지는 액정표시패널을 포함한 액정표시장치의 구동방법에 있어서, 극성제어신호를 발생하는 단계; 게이트 타이밍 제어신호들을 발생하는 단계; 상기 극성제어신호에 응답하여 데이터전압의 극성을 반전시키고 그 데이터전압을 상기 데이터라인들에 공급하는 단계; 상기 게이트 타이밍 제어신호들에 응답하여 스캔펄스를 상기 게이트라인들에 공급하는 단계; 및 N(N은 양의 정수)의 배수 번째 프레임기간에서 상기 게이트 타이밍 제어신호를 변조하여 상기 N의 배수 번째 프레임기간에서 상기 액정셀의 충전량 저하를 유발시키는 단계를 포함한다.
- <56> 이하, 도 5 내지 도 21을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- <57> 도 5 및 도 6을 참조하면, 본 발명의 실시예에 따른 액정표시장치의 구동방법은 디지털 비디오 데이터와 함께 입력되는 타이밍 신호를 카운트하여 프레임기간을 카운트한다.(S61) 그리고 본 발명의 실시예에 따른 액정표시장치의 구동방법은 프레임 극성을 1 프레임기간 단위로 반전시켜 1 프레임기간 단위로 액정셀(C1c)에 충전되는 데이터전압의 극성을 반전시키되(S62, S63), N의 배수 번째 프레임기간의 프레임극성을 그 이전 프레임기간의 프레임극성으로 유지시킨다.(S62 및 S64)
- <58> 'N'은 바람직하게는 8 이상의 정수이다. 이는 'N'을 조절하면서 인터레이스 데이터와 스캔 데이터 모두에서

직류화잔상을 확인한 실험 결과에서, 'N'이 '8' 이상일 때 인터레이스 데이터와 스크롤 데이터 모두에서 직류화 잔상이 나타나지 않은 것을 확인하였기 때문이다.

<59> 프레임극성이란 1 프레임기간 내에서 극성제어신호(Polarity, POL)에 의해 결정되는 액정셀들에 충전되는 데이터전압의 극성을 의미한다. 극성제어신호(POL)는 데이터 구동회로와 게이트 구동회로의 동작 타이밍을 제어하기 위한 타이밍 콘트롤러에서 발생된다. 본 발명은 후술하는 제2 극성제어신호(POL2)를 생성하여 N-1의 배수 번째 프레임기간과 N의 배수 번째 프레임기간에서 액정셀에 공급되는 데이터전압의 극성을 동일하게 제어하고, 그 외 다른 프레임기간에서 액정셀에 공급되는 데이터전압의 극성을 1 프레임기간 마다 반전시킨다. 제2 극성제어신호(POL2)는 N-1의 배수 번째 프레임기간과 N의 배수 번째 프레임기간에서 동위상으로 발생되며 그 외 다른 프레임기간 동안 1 프레임기간 단위로 역위상으로 발생된다. 또한, 제2 극성제어신호(POL2)는 1 프레임기간 내에서 1 수평기간 또는 2 수평기간 단위로 논리가 반전된다. 따라서, N의 배수 번째 프레임기간 이전의 N-1 개의 프레임기간 동안 액정셀에 충전되는 데이터전압은 1 프레임기간 단위로 극성이 반전되고(S62, S63), N의 배수 번째 프레임기간과 그 이전 프레임기간 동안 액정셀에 충전되는 데이터전압의 극성은 동일하게 제어된다.(S62, S64)

<60> 본 발명의 실시예에 따른 액정표시장치의 구동방법은 N의 배수 번째 프레임 기간 이외의 다른 프레임기간 동안 액정셀의 충전량을 저하시키지 않는다.(S65) 이에 비하여, 두 프레임기간 동안 동일 극성의 데이터 충전으로 인하여 N의 배수 번째 프레임기간 동안 액정셀의 과충전을 보상하기 위하여, 본 발명의 실시예에 따른 액정표시장치의 구동방법은 N의 배수 번째 프레임 기간 동안 다른 극성의 전압을 액정셀에 일시적으로 공급하여 액정셀의 충전량을 저하시킨다.(S66) N의 배수 번째 프레임 기간 동안 액정셀의 충전량을 저하시키기 위하여, 본 발명은 게이트 구동회로의 동작 타이밍을 제어하기 위한 타이밍 제어신호를 N의 배수 번째 프레임기간 동안 다르게 제어하여 게이트 구동회로로부터 순차적으로 발생하는 스캔펄스들을 1 게이트라인 당 2 개씩 연속 발생시키고 이웃하는 게이트라인들에 공급되는 스캔펄스들의 일부를 중첩시킨다.

<61> 도 7 내지 도 9는 본 발명의 실시예에 따른 액정표시장치에 스크롤 데이터가 공급될 때 직류화 잔상과 플리커 예방 효과를 설명하기 위한 도면이다.

<62> 기호나 문자를 프레임당 8 픽셀(pixel)의 속도로 이동시키는 스트롤 데이터에서 본 발명은 극성제어신호(POL)를 이용하여 1 프레임기간 단위로 데이터전압의 극성을 반전시키고, 8 프레임기간 중 제7 및 제8 프레임기간에서 데이터전압의 극성을 동일하게 제어한다. 그 결과, 임의의 액정셀(C1c)은 도 7과 같이 빗금친 프레임기간들에서 기호나 문자의 데이터전압을 충전하고 그 전압들이 8의 배수 번째 프레임기간과 그 이전 프레임기간 동안 "++" -> "--" -> "++" -> "--"로 변한다. 따라서, 본 발명은 일정한 속도로 기호나 문자가 이동하는 스크롤 데이터에서 액정셀(C1c)에 충전되는 전압의 극성이 주기적으로 반전됨으로써 동일 극성의 전압이 누적되어 나타나는 직류화 잔상을 예방할 수 있다.

<63> 액정표시패널 위에 배치된 포토 다이오드(Photo diode)의 출력 파형인 도 8의 광파형에서 볼 수 있는 바와 같이 N의 배수 번째 프레임기간에 그 이전 프레임기간과 동일한 동일한 극성의 데이터전압이 액정셀에 반복 충전되므로 N의 배수 번째 프레임기간에 액정셀의 충전량이 원하는 수준 이상 증가하여 광량이 많아진다. 이러한 동일 극성의 누적 전압으로 인하여, N-1 개의 프레임기간 주기로 휘도가 비정상적으로 밝게 보여 플리커 현상이 나타날 수 있다. 이러한 플리커 현상을 예방하기 위하여, 본 발명의 실시예에 따른 액정표시장치의 구동방법은 게이트 타이밍이 제어신호를 이용하여 N의 배수 번째 프레임기간에서 이전라인에 충전되는 반대극성의 데이터전압을 액정셀에 일시적으로 충전시킨 후에 그 액정셀에 표시하고자 하는 데이터전압을 충전시켜 그 액정셀의 충전량을 낮춘다.

<64> 도 10은 본 발명의 실시예에 따른 액정표시장치에 인터레이스 데이터가 공급될 때 직류화 잔상과 플리커 예방 효과를 설명하기 위한 도면이다.

<65> 도 10을 참조하면, 임의의 액정셀(C1c)에 인터레이스 데이터가 공급되면 그 액정셀(C1c)에는 제N-1 프레임기간과 제N+1 프레임기간에만 높은 데이터전압이 공급되고, 제N 프레임기간과 제N+2 프레임기간에 상대적으로 낮은 블랙전압 혹은 평균전압이 공급된다. 그 결과, 제N-1 프레임기간에 공급되는 정극성 데이터전압과 제N+1 프레임기간에 공급되는 부극성 데이터전압이 중화되어 액정셀(C1c)에 편향된 극성의 전압이 축적되지 않는다. 따라서, 본 발명의 실시예에 따른 액정표시장치는 인터레이스 데이터가 공급될 때에도 직류화 잔상과 플리커가 나타나지 않는다.

<66> 도 11은 본 발명의 실시예에 따른 액정표시장치를 나타낸다.

- <67> 도 11을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(100), 타이밍 콘트롤러(101), 제1 로직회로(102), 데이터 구동회로(103), 게이트 구동회로(104), 및 제2 로직회로(107)를 구비한다.
- <68> 액정표시패널(100)은 두 장의 유리기관 사이에 액정분자들이 주입된다. 이 액정표시패널(100)은 m 개의 데이터 라인들(D1 내지 Dm)과 n 개의 게이트라인들(G1 내지 Gn)의 교차 구조에 의해 매트릭스 형태로 배치된 m×n 개의 액정셀들(C1c)을 포함한다.
- <69> 액정표시패널(100)의 하부 유리기관에는 데이터라인들(D1 내지 Dm), 게이트라인들(G1 내지 Gn), TFT들, TFT에 접속된 액정셀(C1c)의 화소전극들(1), 및 스토리지 커패시터(Cst) 등이 형성된다. 액정표시패널(100)의 상부 유리기관 상에는 블랙매트릭스, 컬러필터 및 공통전극(2)이 형성된다. 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기관 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기관 상에 형성된다. 액정표시패널(100)의 상부 유리기관과 하부 유리기관 상에는 광축이 직교하는 편광판이 부착되고 액정과 접하는 계면에 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- <70> 타이밍 콘트롤러(101)는 수직/수평 동기신호(Vsync, Hsync), 데이터 인에이블 신호(Data Enable), 클럭신호(CLK) 등의 타이밍신호를 입력받아 데이터 구동회로(104), 게이트 구동회로(104), 제1 및 제2 로직회로(102, 107)의 동작 타이밍을 제어하기 위한 제어신호들을 발생한다. 이러한 제어신호들은 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭신호(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등을 포함한 게이트 타이밍 제어신호와, 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 소스 출력 인에이블신호(Source Output Enable, SOE), 제1 극성제어신호(Polarity : POL1) 등을 포함한 데이터 타이밍 제어신호를 포함한다. 게이트 스타트 펄스(GSP)는 한 화면이 표시되는 1 수직기간 중에서 스캔이 시작되는 시작 수평라인 즉, 제1 게이트라인에 공급되는 제1 스캔펄스를 지시하는 타이밍 제어신호이다. 게이트 쉬프트 클럭신호(GSC)은 게이트 구동회로 내의 쉬프트 레지스터에 입력되어 게이트 스타트 펄스(Gate Start Pulse : GSP)를 순차적으로 쉬프트시키기 위한 타이밍 제어신호이다. 소스 스타트 펄스(SSP)는 데이터가 표시될 1 수평라인에서 시작 화소를 지시한다. 소스 샘플링 클럭(SSC)은 라이징(Rising) 또는 폴링(Falling) 에지에 기준하여 데이터 구동회로(103) 내에서 데이터의 래치동작을 지시한다. 소스 출력 인에이블신호(Source Output Enable : SOE)는 데이터 구동회로(103)의 출력을 지시한다. 제1 극성제어신호(POL1)는 액정표시패널(100)의 액정셀들(C1c)에 공급될 데이터전압의 극성을 지시한다. 제1 극성제어신호(POL1)는 1 수평기간 주기로 논리가 반전되는 1 도트 인버전의 극성제어신호나 2 수평기간 주기로 논리가 반전되는 2 도트 인버전의 극성제어신호 중 어느 한 형태로 발생된다. 이러한 타이밍 콘트롤러(101)는 120Hz 또는 60Hz 프레임 주파수로 타이밍 제어신호들을 발생하여 120Hz 또는 60Hz 기준으로 제1 로직회로(102), 데이터 구동회로(103), 게이트 구동회로(104)의 동작 타이밍을 제어한다. 프레임 주파수는 수직 동기신호(Vsync)에 대응하는 주파수로써 초당 화면 수를 지시한다. 120Hz 프레임 주파수는 1초당 120 개의 화면이 액정표시패널(100)에 표시되도록 하며, 60Hz 프레임 주파수는 1초당 60 개의 화면이 액정표시패널(100)에 표시되도록 한다. 액정표시장치가 120Hz 프레임 주파수로 구동될 때 60Hz 프레임 주파수에 비하여 플리커가 거의 느껴지지 않는다. 따라서, 타이밍 콘트롤(101)는 플리커 예방효과를 높이기 위하여 120Hz의 프레임 주파수를 기준으로 제어신호들을 발생하는 것이 바람직하다.
- <71> 이 타이밍 콘트롤러(101)는 입력 디지털 비디오 데이터(RGB)를 기수 화소 데이터들(RGBodd)과 우수 화소 데이터들(RGBeven)로 분리하여 데이터 구동회로(103)로 전송되는 데이터의 전송 주파수를 1/2로 낮춘다.
- <72> 제1 로직회로(102)는 게이트 스타트 펄스(GSP)와 제1 극성제어신호(POL1)를 입력받아 잔상과 플리커를 예방하기 위하여 N의 배수 번째 프레임기간 이전의 N-1 개의 프레임기간들에서 1 프레임기간마다 극성이 반전되고 N의 배수 번째 프레임기간과 그 이전 프레임기간에서 극성이 동일한 제2 극성제어신호(POL2)를 발생한다. 또한, 제1 로직회로(102)는 제1 극성제어신호(POL1)와 제2 극성제어신호(POL) 중 어느 하나를 선택적으로 데이터 구동회로(103)에 공급한다. 제1 극성제어신호(POL1)는 도 18과 같이 1 수평기간 또는 2 수평기간 단위로 논리가 반전되고 또한, 1 프레임기간마다 데이터전압의 극성을 반전시키기 위하여 1 프레임기간 단위로 논리가 반전된다. 제2 극성제어신호(POL2)는 도 18과 같이 N의 배수 번째 프레임기간에서 이전 프레임기간과 동일한 극성패턴으로 데이터전압의 극성을 제어하기 위하여, N의 배수 번째 프레임기간 이전의 프레임기간 동안 제1 극성제어신호(POL1)와 동일한 위상으로 발생되고 N의 배수 번째 프레임기간 동안 제1 극성제어신호(POL1)의 역위상으로 발생된다. 이 제1 로직회로(102)는 선택적으로 제1 극성제어신호(POL1)를 출력할 수도 있다.
- <73> 제2 로직회로(107)는 1 수평라인당 2 개의 스캔펄스가 공급되고 그 스캔펄스에서 앞선 제1 스캔펄스가 이전 게

이트라인에 공급되는 제2 스캔펄스와 중첩되도록 게이트 타이밍 신호들을 변조한다. 게이트 타이밍 신호의 변조방법은 N의 배수 번째 프레임기간에서 첫 번째 발생하는 게이트 쉬프트 클럭(GSC) 앞에 프리 GSP클럭(PreGSC)을 발생하고 N의 배수 번째 프레임기간에서 첫 번째 발생하는 게이트 출력 인에이블신호(GOE)의 앞에 프리 GOE 클럭(PreGOE)을 발생하는 방법과, N의 배수 번째 프레임기간에서 게이트 스타트펄스(GSP)의 펄스폭을 증가시키는 방법으로 나뉘어진다. 후자의 게이트 타이밍 제어신호 변조방법에서, 타이밍 콘트롤러(101)는 데이터 구동회로(103)에 공급되는 디지털 비디오 데이터(RGB)를 지연시켜 제1 게이트라인(G1)에 공급되는 제1 및 제2 스캔펄스들 중에서 제2 스캔펄스에 제1 데이터를 동기시켜야 한다.

<74> 타이밍 콘트롤러(101)와, 제1 및 제2 로직회로(102, 107)는 원칩(One Chip)으로 집적될 수 있다.

<75> 데이터 구동회로(103)는 타이밍 콘트롤러(101)의 제어 하에 디지털 비디오 데이터(RGB)를 래치한다. 그리고 데이터 구동회로(103)는 디지털 비디오 데이터(RGB)를 제2 극성제어신호(POL2)에 따라 아날로그 정극성/부극성 감마보상전압으로 변환하여 정극성/부극성 아날로그 데이터전압을 발생하고 그 데이터전압을 데이터라인들(D1 내지 Dm)에 공급한다.

<76> 게이트 구동회로(104)는 쉬프트 레지스터, 쉬프트 레지스터의 출력신호를 액정셀의 TFT 구동에 적합한 스윙폭으로 변환하기 위한 레벨 쉬프터 및 레벨 쉬프터와 게이트라인(G1 내지 Gn) 사이에 접속되는 출력 버퍼를 각각 포함하는 다수의 게이트 드라이브 집적회로들로 구성된다. 이 게이트 구동회로(104)는 게이트 타이밍 제어신호들에 응답하여 한 쌍의 스캔펄스를 게이트라인들에 순차적으로 공급한다. 여기서, 한 쌍의 스캔펄스는 연속적으로 발생하는 제1 및 제2 스캔펄스를 포함하고, 이 중 제1 스캔펄스는 이전 게이트라인에 공급된 제2 스캔펄스와 적어도 일부가 중첩된다.

<77> 본 발명의 실시예에 따른 액정표시장치는 타이밍 콘트롤러(101)에 디지털 비디오 데이터(RGB)와 타이밍신호들(Vsync, Hsync, DE, CLK)을 공급하는 시스템(105)을 더 구비한다.

<78> 시스템(105)은 방송신호, 외부기기 인터페이스회로, 그래픽처리회로, 라인 메모리(106) 등을 포함하여 방송신호나 외부기기로부터 입력되는 영상소스로부터 비디오 데이터를 추출하고 그 비디오 데이터를 디지털로 변환하여 타이밍 콘트롤러(101)에 공급한다. 시스템(106)에서 수신되는 인터레이스 방송신호는 라인메모리에 저장된다. 인터레이스 방송신호의 비디오 데이터는 기수 프레임기간에 기수라인에만 존재하고 우수 프레임기간에 우수라인에만 존재한다. 따라서, 시스템(105)은 인터레이스 방송신호를 수신하면 라인 메모리(106)에 저장된 유효 데이터들의 평균값 또는 블랙 데이터값으로 기수 프레임기간의 우수라인 데이터, 그리고 우수 프레임의 기수라인 데이터를 발생한다. 이러한 시스템(105)은 디지털 비디오 데이터와 함께 타이밍신호들(Vsync, Hsync, DE, CLK)을 타이밍 콘트롤러(101)에 공급한다. 또한, 시스템(105)은 타이밍 콘트롤러(101), 제1 및 제2 로직회로(102, 107), 데이터 구동회로(103), 게이트 구동회로(104), 액정표시패널(100)의 구동전압을 발생하는 직류-직류 변환기(DC-DC convertor), 백라이트 유닛의 광원 점등을 위한 인버터 등의 회로에 전원을 공급한다.

<79> 도 12는 게이트 구동회로(104)의 쉬프트 레지스터를 나타낸다.

<80> 게이트 구동회로(104)의 쉬프트 레지스터는 게이트 쉬프트 클럭(GSC)이 공통으로 공급되고 종속적으로 접속된 다수의 스테이지들(ST1 내지 STm)를 구비한다. 게이트 스타트 펄스(GSP)는 스캔펄스를 가장먼저 발생하는 제1 스테이지(ST1)에 입력된다. 제1 스테이지(ST1)는 게이트 스타트 펄스가 하이논리전압을 유지할 때 게이트 쉬프트 클럭(GSC)에 응답하여 스캔펄스를 발생한다. 제2 내지 제m 스테이지(ST1)는 이전 스테이지의 출력을 스타트 펄스로 입력 받으며, 게이트 쉬프트 클럭(GSC)에 응답하여 이전 스테이지의 출력을 순차적으로 쉬프트시켜 자신의 출력단자를 통해 스캔펄스를 출력한다.

<81> 전술한 바와 같이, 본 발명은 제2 로직회로(107)를 이용하여 게이트 타이밍 제어신호를 변조하여 쉬프트 레지스터의 각 스테이지로부터 제1 및 제2 스캔펄스를 연속으로 출력시킨다. 그리고 본 발명은 이전 스테이지로부터 출력된 제2 스캔펄스(SP2)와 그 다음 스테이지로부터 출력된 제1 스캔펄스(SP1)를 중첩시켜 N의 배수 번째 프레임 동안 액정셀의 충전량 저하를 유도한다.

<82> 도 13은 본 발명의 실시예에 따른 액정표시장치의 구동방법에서 N의 배수 번째 프레임기간 동안 발생하는 게이트 타이밍 제어신호와 데이터전압 파형을 나타낸다. 도 13에서 "Source output"은 데이터 구동회로(103)로부터 출력된 데이터전압파형이다. 이 실시예는 데이터전압은 극성제어신호(POL)에 의해 1 수평기간 단위로 극성이 반전된다.

<83> 도 12 및 도 13을 참조하면, N의 배수 번째 프레임기간 동안 제2 로직회로(107)는 게이트 타이밍 제어신호를 변

조한다.

- <84> 변조된 게이트 타이밍 제어신호는 제1 게이트 쉬프트 클럭(GSC1) 앞에서 발생된 프리 게이트 쉬프트 클럭(PreGSC)와, 제1 게이트 출력 인에이블신호(GOE1) 앞에서 발생된 프리 게이트 출력 인에이블신호(PreGOE)를 포함한다. 프리 게이트 쉬프트 클럭(PreGSC)은 게이트 스타트 펄스(GSP)과 거의 동시에 발생된다. 제1 게이트 쉬프트 클럭(GSC1)은 게이트 스타트 펄스(GSP)가 하이논리전압을 유지하는 동안 프리 게이트 쉬프트 클럭(PreGSC)의 폴링에지로부터 소정시간 뒤에 발생된다. 따라서, 게이트 스타트 펄스(GSP) 내에 프리 게이트 쉬프트 클럭(PreGSC)과 제1 게이트 쉬프트 클럭(GSC1)이 중첩된다. 프리 게이트 출력 인에이블 신호(PreGOE)는 프리 게이트 쉬프트 클럭(PreGSC)의 라이징 에지에 중첩되고, 제1 게이트 출력 인에이블신호(GOE1)은 프리 게이트 쉬프트 클럭의 폴링 에지와 제1 게이트 쉬프트 클럭(GSC1)의 라이징 에지에 중첩된다.
- <85> 게이트 구동회로(104)의 쉬프트 레지스터에서, 제1 스테이지(ST1)는 프리 게이트 쉬프트 클럭(PreGSC)에 응답하여 프리 게이트 출력 인에이블(PreGOE)의 폴링에지와 제1 게이트 출력 인에이블(GOE1)의 라이징에지 사이에서 프리 스캔펄스(PreSP)를 발생한다. 이 프리 스캔펄스(PreSP)에 응답하여 제1 게이트라인(G1)에 접속된 TFT들이 턴-온되지만, 이 때 데이터전압이 출력되지 않으므로 제1 화소행의 액정셀들은 데이터전압을 충전하지 않는다.
- <86> 이어서, 제1 게이트 쉬프트 클럭(GSC1)이 발생될 때 게이트 스타트 펄스(GSP)가 하이논리전압을 유지하고 있으므로 제1 스테이지(ST1)는 게이트 스타트 펄스(GSP)를 쉬프트시켜 제2 스캔펄스(SP2)를 발생함과 동시에, 제2 스테이지(ST2)는 제1 스테이지(ST1)로부터 출력된 프리 스캔펄스(PreSP)를 쉬프트시켜 제1 스캔펄스(SP1)를 발생한다. 이 때, 제1 게이트라인(G1)에 제2 스캔펄스(SP2)가 공급되어 제1 게이트라인(G1)에 접속된 TFT들이 턴-온되므로 제1 화소행의 액정셀들은 정극성(또는 부극성)의 제1 데이터전압(Data1)을 충전한다. 이와 동시에, 제2 게이트라인(G2)에 제1 스캔펄스(SP1)가 공급되어 제2 게이트라인(G2)에 접속된 TFT들이 턴-온되므로 제2 화소행의 액정셀들은 정극성(또는 부극성)의 제1 데이터전압(Data1)을 충전한다.
- <87> 이어서, 제2 게이트 쉬프트 클럭(GSC2)이 발생될 때 게이트 스타트 펄스(GSP)가 로우논리전압으로 반전되어 있으므로 제1 스테이지(ST1)의 출력 전압은저전위 전원전압(VSS) 또는 기저전압(GND)까지 방전되며, 제2 스테이지(ST2)는 제2 게이트 쉬프트 클럭(GSC2)에 응답하여 제1 스테이지(ST1)로부터 출력된 제2 스캔펄스(SP2)를 쉬프트시켜 제2 스캔펄스(SP2)를 발생한다. 이 기간 동안, 제3 스테이지(ST3)는 제2 스테이지(ST2)로부터 출력된 제2 스캔펄스(SP2)를 쉬프트시켜 제1 스캔펄스(SP1)를 발생한다. 이 때, 제2 게이트라인(G2)에 제2 스캔펄스(SP2)가 공급되어 제2 게이트라인(G2)에 접속된 TFT들이 턴-온되므로 제2 화소행의 액정셀들은 부극성(또는 정극성)의 제2 데이터전압(Data2)을 충전한다. 이와 동시에, 제3 게이트라인(G3)에 제1 스캔펄스(SP1)가 공급되어 제3 게이트라인(G3)에 접속된 TFT들이 턴-온되므로 제3 화소행의 액정셀들은 부극성(또는 정극성)의 제2 데이터전압(Data2)을 충전한다.
- <88> 이와 같은 방법으로, 게이트 구동회로(104)의 쉬프트 레지스터는 N의 배수 번째 프레임기간 동안 한 쌍의 스캔펄스(SP1, SP2)를 순차적으로 쉬프트시킨다. 이전 게이트 라인에 공급된 제2 스캔펄스(SP2)는 그 다음 게이트 라인에 공급된 제1 스캔펄스(SP1)와 중첩된다. 따라서, 액정셀들은 이전 화소행에 충전된 반대극성 데이터전압을 충전(pre-charging)한 후에, 그 데이터전압의 극성과 반대인 표시하고자 하는 데이터 전압을 충전한다. 이전 화소행에 충전된 반대극성 데이터전압이 그 다음 화소행에 충전(pre-charge)되는 시간은 120Hz를 프레임 주파수로 가정할 때 대략 $\frac{1}{120}(\text{sec}) \times \frac{1}{\text{주 직해상도}} = 1$ 라인 충전시간 정도이며, 이 1 라인 충전시간을 제외한 나머지 프레임기간 동안 표시하고자 하는 데이터전압을 유지한다. 따라서, N의 배수 번째 프레임기간 동안 액정셀들은 이전 화소행의 반대극성전압을 일시적으로 충전한 직후에 그와 반대극성의 데이터전압을 충전하므로 충전량이 작아진다. 또한, N의 배수 번째 프레임기간 동안 액정셀들에 충전되는 데이터전압은 서로 다른 극성을 가지는 두 개의 전압을 포함하므로 액정셀들에 충전되는 데이터전압의 주파수성분도 높아진다.
- <89> 도 14는 본 발명의 실시예에 따른 액정표시장치의 구동방법에서 N의 배수 번째 프레임기간 동안 발생하는 게이트 타이밍 제어신호와 데이터전압 파형의 다른 예를 나타내는 파형도이다. 도 14에서 "Source output"은 데이터 구동회로(103)로부터 출력된 데이터전압파형이다. 이 실시예는 데이터전압은 극성제어신호(POL)에 의해 1 수평기간 단위로 극성이 반전된다.
- <90> 도 12 및 도 14를 참조하면, N의 배수 번째 프레임기간 동안 제2 로직회로(107)는 게이트 타이밍 제어신호를 변조한다. 변조된 게이트 타이밍 제어신호는 펄스폭이 확장된 게이트 스타트 펄스(WGSP)를 포함한다. 이 게이트 스타트 펄스(WGSP)의 펄스폭 기간 내에서 제1 및 제2 게이트 쉬프트 클럭(GSC1, GSC2)이 발생된다.

- <91> 게이트 구동회로(104)의 쉬프트 레지스터에서, 제1 스테이지(ST1)는 제1 게이트 쉬프트 클럭(GSC1)에 응답하여 제1 게이트 출력 인에이블(GOE1)의 폴링에지와 제2 게이트 출력 인에이블(GOE2)의 라이징에지 사이에서 제1 스캔펄스(SP1)를 발생한다. 이 제1 스캔펄스(SP1)에 응답하여 제1 게이트라인(G1)에 접속된 TFT들이 턴-온되지만, 이 때 데이터전압이 출력되지 않으므로 제1 화소행의 액정셀들은 데이터전압을 충전하지 않는다.
- <92> 이어서, 제2 게이트 쉬프트 클럭(GSC2)이 발생될 때 게이트 스타트 펄스(GSP)가 하이논리전압을 유지하고 있으므로 제1 스테이지(ST2)는 게이트 스타트 펄스(GSP)를 쉬프트시켜 제2 스캔펄스(SP2)를 발생함과 동시에, 제2 스테이지(ST2)는 제1 스테이지(ST1)로부터 출력된 제1 스캔펄스(SP1)를 쉬프트시켜 제1 스캔펄스(SP1)를 발생한다. 이 때, 제1 게이트라인(G1)에 제2 스캔펄스(SP2)가 공급되어 제1 게이트라인(G1)에 접속된 TFT들이 턴-온되므로 제1 화소행의 액정셀들은 정극성(또는 부극성)의 제1 데이터전압(Data1)을 충전한다. 이와 동시에, 제2 게이트라인(G2)에 제1 스캔펄스(SP1)가 공급되어 제2 게이트라인(G2)에 접속된 TFT들이 턴-온되므로 제2 화소행의 액정셀들은 정극성(또는 부극성)의 제1 데이터전압(Data1)을 충전한다.
- <93> 이어서, 제3 게이트 쉬프트 클럭(GSC3)이 발생될 때 게이트 스타트 펄스(GSP)가 로우논리전압으로 반전되어 있으므로 제1 스테이지(ST1)의 출력 전압은저전위 전원전압(VSS) 또는 기저전압(GND)까지 방전되며, 제2 스테이지(ST2)는 제3 게이트 쉬프트 클럭(GSC3)에 응답하여 제1 스테이지(ST1)로부터 출력된 제2 스캔펄스(SP2)를 쉬프트시켜 제2 스캔펄스(SP2)를 발생한다. 이 기간 동안, 제3 스테이지(ST3)는 제2 스테이지(ST2)로부터 출력된 제2 스캔펄스(SP2)를 쉬프트시켜 제1 스캔펄스(SP1)를 발생한다. 이 때, 제2 게이트라인(G2)에 제2 스캔펄스(SP2)가 공급되어 제2 게이트라인(G2)에 접속된 TFT들이 턴-온되므로 제2 화소행의 액정셀들은 부극성(또는 정극성)의 제2 데이터전압(Data2)을 충전한다. 이와 동시에, 제3 게이트라인(G3)에 제1 스캔펄스(SP1)가 공급되어 제3 게이트라인(G3)에 접속된 TFT들이 턴-온되므로 제3 화소행의 액정셀들은 부극성(또는 정극성)의 제2 데이터전압(Data2)을 충전한다.
- <94> 이와 같은 방법으로, 게이트 구동회로(104)의 쉬프트 레지스터는 N의 배수 번째 프레임기간 동안 한 쌍의 스캔펄스(SP1, SP2)를 순차적으로 쉬프트시킨다. 이전 게이트 라인에 공급된 제2 스캔펄스(SP2)는 그 다음 게이트 라인에 공급된 제1 스캔펄스(SP1)와 중첩된다. 따라서, 액정셀들은 이전 화소행에 충전된 반대극성 데이터전압을 충전한 직후에, 그 데이터전압의 극성과 반대인 표시하고자 하는 데이터 전압을 충전한다. 이전 화소행에 충전된 반대극성 데이터전압이 그 다음 화소행에 충전(pre-charge)되는 시간은 120Hz를 프레임 주파수로 가정할 때 대략 $\frac{1}{120}(\text{sec}) \times \frac{1}{\text{수직해상도}} = 1 \text{ 라인 충전시간}$ 정도이며, 이 1 라인 충전시간을 제외한 나머지 프레임기간 동안 표시하고자 하는 데이터전압을 유지한다. 따라서, N의 배수 번째 프레임기간 동안 액정셀들은 이전 화소행에 충전된 반대극성전압을 일시적으로 충전한 직후에 그와 반대극성의 데이터전압을 충전하므로 충전량이 작아진다. 또한, N의 배수 번째 프레임기간 동안 액정셀들에 충전되는 데이터전압은 서로 다른 극성을 가지는 두 개의 전압을 포함하므로 액정셀들에 충전되는 데이터전압의 주파수성분도 높아진다.
- <95> 도 14의 실시예에서 제1 데이터전압(Data1)은 제1 게이트라인(G1)에 공급되는 제2 스캔펄스(SP2)에 동기되어야 하므로 타이밍 콘트롤러(101)는 제1 데이터전압(Data1)에 대응하는 디지털 비디오 데이터(RGB)를 도 13의 실시예에 비하여 지연 공급하여야 한다.
- <96> 도 15는 본 발명의 실시예에 따른 액정표시장치의 구동방법에서 N의 배수 번째 프레임기간 이외의 다른 프레임기간 동안 발생하는 게이트 타이밍 제어신호와 데이터전압 파형을 나타내는 파형도이다. 도 14에서 "Source output"은 데이터 구동회로(103)로부터 출력된 데이터전압파형이다. 이 실시예는 데이터전압은 극성제어신호(POL)에 의해 1 수평기간 단위로 극성이 반전된다.
- <97> 도 12 및 도 15를 참조하면, N의 배수 번째 프레임기간 이외의 프레임기간 동안 제2 로직회로(107)는 게이트 타이밍 제어신호를 변조하지 않고 바이패스(bypass)한다. 게이트 스타트 펄스(GSP)의 펄스폭 기간 내에서 제1 게이트 쉬프트 클럭(GSC1)만이 발생된다.
- <98> 게이트 구동회로(104)의 쉬프트 레지스터에서, 제1 스테이지(ST1)는 제1 게이트 쉬프트 클럭(GSC1)에 응답하여 제1 게이트 출력 인에이블(GOE1)의 폴링에지와 제2 게이트 출력 인에이블(GOE2)의 라이징에지 사이에서 스캔펄스를 발생한다. 이 스캔펄스(SP)에 응답하여 제1 게이트라인(G1)에 접속된 TFT들이 턴-온되므로 제1 화소행의 액정셀들은 정극성(또는 부극성)의 제1 데이터전압(Data1)을 충전한다.
- <99> 이어서, 제2 게이트 쉬프트 클럭(GSC2)이 발생될 때 게이트 스타트 펄스(GSP)가 로우논리전압을 유지하고 있으므로 제1 스테이지(ST2)는 스캔펄스를 발생하지 않고, 제2 스테이지(ST2)는 제1 스테이지(ST1)로부터 출력된 스

캔펄스(SP)를 쉬프트시킨다. 이 때, 제2 게이트라인(G2)에 스캔펄스(SP)가 공급되어 제2 게이트라인(G2)에 접속된 TFT들이 턴-온되므로 제2 화소행의 액정셀들은 부극성(또는 정극성)의 제2 데이터전압(Data2)을 충전한다.

<100> 이어서, 제3 게이트 쉬프트 클럭(GSC3)에 응답하여 제3 스테이지(ST3)는 제2 스테이지(ST2)로부터 출력된 스캔펄스(SP)를 쉬프트시킨다. 이 때, 제3 게이트라인(G3)에 스캔펄스(SP)가 공급되어 제3 게이트라인(G3)에 접속된 TFT들이 턴-온되므로 제3 화소행의 액정셀들은 정극성(또는 부극성)의 제3 데이터전압(Data3)을 충전한다.

<101> 이와 같은 방법으로, 게이트 구동회로(104)의 쉬프트 레지스터는 N의 배수 번째 프레임기간 이외의 다른 프레임기간 동안 하나의 스캔펄스(SP)를 순차적으로 쉬프트시킨다. 따라서, 액정셀들은 스캔펄스가 발생될 때 표시하고자 하는 데이터 전압만을 충전하므로 충전량의 거의 저하되지 않는다.

<102> 도 16 및 도 17은 데이터 구동회로(103)를 상세히 나타내는 회로도이다.

<103> 도 16 및 도 17을 참조하면, 데이터 구동회로(103)는 각각 k(k는 m보다 작은 정수) 개의 데이터라인들(D1 내지 Dk)을 구동하는 다수의 소스 집적회로(Integrated Circuit, IC)를 포함한다. 소스 집적회로 각각은 쉬프트 레지스터(111), 데이터 레지스터(112), 제1 래치(113), 제2 래치(114), 디지털/아날로그 변환기(이하, "DAC"라 한다)(115), 차지셰어회로(Charge Share Circuit)(116) 및 출력회로(117)를 포함한다.

<104> 쉬프트레지스터(111)는 타이밍 컨트롤러(101)로부터의 소스 스타트 펄스(SSP)를 소스 샘플링 클럭(SSC)에 따라 쉬프트시켜 샘플링신호를 발생하게 된다. 또한, 쉬프트 레지스터(111)는 소스 스타트 펄스(SSP)를 쉬프트시켜 다음 단 집적회로의 쉬프트 레지스터(111)에 캐리신호(CAR)를 전달한다.

<105> 데이터 레지스터(112)는 타이밍 컨트롤러(101)에 의해 분리된 기수 디지털 비디오 데이터(RGBodd)와 우수 디지털 비디오 데이터(RGBeven)를 일시 저장하고 저장된 데이터들(RGBodd, RGBeven)을 제1 래치(113)에 공급한다.

<106> 제1 래치(113)는 쉬프트 레지스터(111)로부터 순차적으로 입력되는 샘플링신호에 응답하여 데이터 레지스터(112)로부터의 디지털 비디오 데이터들(RGBeven, RGBodd)을 샘플링하고, 그 데이터들(RGBeven, RGBodd)을 1 수평라인 분씩 래치한 다음, 1 수평라인 분의 데이터를 동시에 출력한다.

<107> 제2 래치(114)는 제1 래치(113)로부터 입력되는 1 수평라인분의 데이터를 래치한 다음, 소스 출력 인에이블신호(SOE)의 로우논리기간 동안 다른 집적회로들의 제2 래치(114)와 동시에 래치된 디지털 비디오 데이터들을 출력한다.

<108> DAC(115)는 도 13과 같이 정극성 감마보상전압(GH)이 공급되는 P-디코더(PDEC)(121), 부극성 감마보상전압(GL)이 공급되는 N-디코더(NDEC)(122), 극성제어신호(POL1, POL2)에 응답하여 P-디코더(121)의 출력과 N-디코더(122)의 출력을 선택하는 멀티플렉서(123)를 포함한다. P-디코더(121)는 제2 래치(114)로부터 입력되는 디지털 비디오 데이터를 디코드하여 그 데이터의 계조값에 해당하는 정극성 감마보상전압을 출력한다. N-디코더(122)는 제2 래치(114)로부터 입력되는 디지털 비디오 데이터를 디코드하여 그 데이터의 계조값에 해당하는 부극성 감마보상전압을 출력한다. 멀티플렉서(123)는 극성제어신호(POL1, POL2)에 응답하여 정극성의 감마보상전압과 부극성의 감마보상전압을 선택하고 선택된 정극성/부극성 감마보상전압을 아날로그 데이터전압으로 출력한다.

<109> 차지셰어회로(116)는 소스 출력 인에이블신호(SOE)의 하이논리기간 동안 이웃한 데이터 출력채널들을 단락(short)시켜 이웃한 데이터전압들의 평균값을 차지셰어전압으로 출력하거나, 소스 출력 인에이블신호(SOE)의 하이논리기간 동안 데이터 출력채널들에 공통전압(Vcom)을 공급하여 정극성 데이터전압과 부극성 데이터전압 사이에서 데이터전압의 스윙폭을 줄인다.

<110> 출력회로(117)는 버퍼를 포함하여 데이터라인(D1 내지 Dk)으로 공급되는 아날로그 데이터전압의 신호감쇠를 최소화한다.

<111> 도 18은 제1 로직회로(102)를 상세히 나타내는 회로도이다.

<112> 도 18을 참조하면, 제1 로직회로(102)는 프레임 카운터(141), POL 반전부(142), 배타적 논리합 게이트(이하, "XOR"라 함)(143), 및 멀티플렉서(144)를 구비한다.

<113> 프레임 카운터(141)는 1 프레임기간 동안 1회 발생되고 1 프레임기간의 시작과 동시에 발생하는 게이트 스타트 펄스(GSP)를 카운트하여 프레임 수를 지시하는 프레임 카운트 정보(Fcnt)를 발생한다.

<114> POL 반전부(142)는 프레임 카운터(141)로부터의 프레임 카운트 정보(Fcnt)를 입력받아 그 프레임 카운트 정보

(Fcnt)를 N으로 나머지 연산하여 그 연산결과 나머지가 '0'이 되는 시점에 논리를 반전시켜 출력신호를 발생한다. 이 출력신호는 POL 반전신호로써(POLinv)로써 도 19와 같이 N의 배수 번째 프레임기간 이전의 N-1 개의 프레임기간 동안 로우논리(또는 하이 논리)를 유지하고 N의 배수 번째 프레임기간의 시작시점에 하이논리(또는 로우논리)로 반전된다. 따라서, POL 반전부(142)로부터 출력되는 POL 반전신호(POLinv)는 N의 배수 번째 프레임기간마다 논리가 반전되어 N의 배수 번째 프레임기간의 시작시점을 지시한다.

<115> XOR(143)는 제1 극성제어신호(POL1)와 POL 반전신호(POLinv)를 배타적 논리합 연산하여 도 19와 같은 제2 극성제어신호(POL2)를 발생한다. 제2 극성제어신호(POL2)의 극성패턴은 도 19와 같이 N-1의 배수 번째 프레임기간에서 그 이전 프레임기간과 동일하고 그 이외의 나머지 프레임기간 동안 1 프레임기간 단위로 반전된다.

<116> 멀티플렉서(144)는 제1 선택신호(SEL1)의 제어 하에 제1 극성제어신호(POL1)와 제2 극성제어신호(POL2) 중 어느 하나를 선택한다. 제1 선택신호(SEL1)는 멀티플렉서(144)의 제어단자에 접속된 옵션핀에 의해 결정될 수 있다. 옵션핀은 제조업체에 의해 기저전압원(GND) 또는 전원전압(Vcc)에 선택적으로 접속될 수 있다. 예컨대, 옵션핀이 기저전압원(GND)에 접속되면 멀티플렉서(144)는 자신의 제어단자에 "0"의 제1 선택신호(SEL1)가 공급되어 제2 극성제어신호(POL2)를 출력하고, 옵션핀이 전원전압(Vcc)에 접속되면 멀티플렉서(144)는 자신의 제어단자에 "1"의 제1 선택신호(SEL1)가 공급되어 제1 극성제어신호(POL1)를 출력한다. 이 멀티플렉서(144)는 후술하는 본 발명의 제2 실시예에서 입력 영상의 판단결과로 발생하는 제2 선택신호(SEL2)에 따라 제1 및 제2 극성제어신호(POL1, POL2) 중 어느 하나를 선택할 수도 있다.

<117> 도 20은 본 발명의 제2 실시예에 따른 액정표시장치의 구동방법을 설명하기 위한 흐름도이다.

<118> 도 20을 참조하면, 본 발명의 제2 실시예에 따른 액정표시장치의 구동방법은 입력 데이터를 분석하여, 그 입력 데이터가 인터레이스 데이터 또는 스캔 데이터와 같이 직류화 잔상이 나타날 수 있는 데이터인가를 판단하고, 프레임기간을 카운트한다.(S191, S192) 본 발명은 라인 메모리와 비교기를 이용하여 2 개의 라인 데이터를 반복적으로 비교하여 이웃하는 2 개의 라인 데이터들이 소정의 임계값 이상이면 그 데이터를 인터레이스 데이터로 판단할 수 있다. 또한, 본 발명은 프레임 메모리와 비교기를 이용하여 이전 프레임 이미지들과 현재 프레임 이미지를 비교하여 현재 프레임에서 일정한 속도로 움직이는 부분을 검출하여 스캔 데이터를 판단할 수 있다.

<119> 현재 입력되는 데이터가 직류화 잔상이 나타나지 않고 현재 프레임기간이 N의 배수 번째 프레임기간이 아니면, 본 발명은 제1 극성제어신호(POL1)로 데이터 전압의 극성을 제어하고 게이트 타이밍 제어신호들을 변조하지 않는다.(S193, S194, S196) 따라서, 현재 입력되는 데이터가 직류화 잔상이 나타나지 않고 현재 프레임기간이 N의 배수 번째 프레임기간이 아니면, 액정셀의 데이터 충전량은 반대극성 전압의 충전이 없으므로 거의 저하되지 않는다.

<120> 현재 입력되는 데이터가 직류화 잔상이 나타날 수 있는 데이터이고 현재 프레임기간이 N의 배수 번째 프레임기간으로 판단되면, 본 발명은 N의 배수 번째 프레임기간 동안 제2 극성제어신호(POL2)로 데이터전압의 극성을 제어하고 도 13 또는 도 14와 같이 게이트 타이밍 제어신호들을 변조한다.(S193, S195, S197) 따라서, 현재 입력되는 데이터가 직류화 잔상이 나타날 수 있는 데이터이고 현재 프레임기간이 N의 배수 번째 프레임기간으로 판단되면 액정셀의 데이터 충전량은 반대극성 전압의 충전으로 인하여 저하된다.

<121> 도 21은 본 발명의 제2 실시예에 따른 액정표시장치를 나타낸다.

<122> 도 21을 참조하면, 본 발명의 제2 실시예에 따른 액정표시장치는 시스템(105), 액정표시패널(100), 영상 분석회로(201), 타이밍 콘트롤러(101), 제1 로직회로(202), 제2 로직회로(203), 데이터 구동회로(103), 및 게이트 구동회로(104)를 구비한다. 이 실시예에서 시스템(105), 액정표시패널(100), 타이밍 콘트롤러(101), 데이터 구동회로(103) 및 게이트 구동회로(104)는 전술한 실시예와 실질적으로 동일하므로 동일한 도면부호를 붙이고 그에 대한 상세한 설명을 생략하기로 한다.

<123> 영상 분석회로(201)는 현재 입력되는 영상의 디지털 비디오 데이터들(RGB)에 대하여 직류화 잔상이 발생 가능한 데이터인가를 판단한다. 영상 분석회로(201)는 1 프레임 영상에서 이웃하는 라인들 간의 데이터를 비교하여 그 라인들 간의 데이터가 소정의 임계치 이상으로 크면 현재 입력되는 데이터를 인터레이스 데이터로 판단한다. 또한, 영상 분석회로(201)는 프레임단위로 각 픽셀들의 데이터를 비교하여 표시영상에서 움직이는 화상과 그 화상의 이동속도를 검출하여, 미리 설정된 속도로 움직임 화상이 이동한다면 그 움직임 화상이 포함된 프레임 데이터를 스캔 데이터로 판단한다.

<124> 이러한 영상 분석의 결과로, 영상 분석회로(201)는 인터레이스 데이터, 스캔 데이터 등 직류화 잔상이 나타날

수 있는 데이터인가를 지시하는 제2 및 제3 선택신호(SEL2)를 발생한다.

<125> 제1 로직회로(202)는 도 18과 같이 제2 선택신호(SEL2)의 제1 논리값에 응답하여 직류화 잔상이 발생되지 않는 데이터가 입력되는 기간 동안 제1 극성제어신호(POL1)를 데이터 구동회로(103)에 공급한다. 또한, 제1 로직회로(202)는 제2 선택신호(SEL2)의 제2 논리값에 응답하여 직류화 잔상이 발생 가능한 데이터가 입력되는 기간 동안 제2 극성제어신호(POL2)를 데이터 구동회로(103)에 공급한다.

<126> 제2 로직회로(203)는 제3 선택신호(SEL3)의 제1 논리값에 응답하여 직류화 잔상이 발생되지 않는 데이터가 입력되는 기간 동안 게이트 타이밍 제어신호들을 변조하지 않고 그대로 게이트 구동회로(104)에 공급한다. 반면에, 제2 로직회로(203)는 도 16과 같이 제3 선택신호(SEL32)에 응답하여 직류화 잔상이 발생 가능한 데이터가 입력되는 N의 배수 번째 프레임기간 동안 도 13 또는 도 14와 같이 게이트 타이밍 제어신호들을 변조하여 게이트 구동회로(104)에 공급한다.

<127> 타이밍 콘트롤러(101), 영상 분석회로(201), 제1 로직회로(202), 및 제2 로직회로(203)는 원칩으로 집적될 수 있다.

발명의 효과

<128> 상술한 바와 같이, 본 발명의 실시예에 따른 액정표시장치와 그 구동방법은 N의 배수 번째 프레임기간에 그 이전 프레임기간과 동일한 극성패턴으로 데이터전압의 극성을 제어하고, N의 배수 번째 프레임기간 동안 액정셀의 충전량을 저하시키기 위하여 게이트 타이밍 제어신호들을 변조한다. 따라서, 본 발명은 직류화 잔상을 예방할 수 있으며 N의 배수 번째 프레임기간 동안 액정셀의 충전량을 낮추어 플리커를 예방할 수 있다.

<129> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

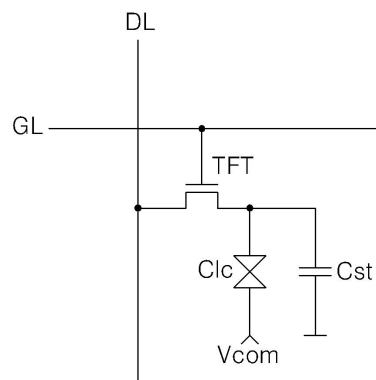
도면의 간단한 설명

- <1> 도 1은 액정표시장치의 액정셀을 보여 주는 등가 회로도.
- <2> 도 2는 인터레이스 데이터의 일예를 보여 주는 파형도.
- <3> 도 3은 인터레이스 데이터로 인한 직류화 잔상을 보여 주는 실험 결과 화면.
- <4> 도 4는 스크롤 데이터로 인한 직류화 잔상을 보여 주는 실험 결과 화면.
- <5> 도 5는 본 발명의 실시예에 따른 액정표시장치의 구동방법을 설명하기 위한 프레임 구성도.
- <6> 도 6은 본 발명의 실시예에 따른 액정표시장치의 구동방법을 단계적으로 설명하기 위한 흐름도.
- <7> 도 7은 스크롤 데이터에서 직류화잔상이 나타나지 않는 원리를 설명하기 위한 도면.
- <8> 도 8은 N의 배수 번째 프레임기간에서 광이 증가되는 실험결과를 나타내는 파형도.
- <9> 도 9는 제2 소스 인에이블신호에 의해 제N 프레임기간에서 광이 낮아지는 실험결과를 나타내는 파형도.
- <10> 도 10은 인터레이스 데이터에서 직류화잔상이 나타나지 않는 원리를 설명하기 위한 도면.
- <11> 도 11은 본 발명의 실시예에 따른 액정표시장치를 나타내는 블록도.
- <12> 도 12는 본 발명의 실시예에 따른 게이트 구동회로의 쉬프트 레지스터를 나타내는 블록도.
- <13> 도 13 및 도 14는 N의 배수 번째 프레임기간에서 발생하는 게이트 타이밍 신호와 스캔펄스를 나타내는 파형도들.
- <14> 도 15는 N의 배수 번째 프레임기간 이외의 다른 프레임기간에서 발생하는 본 발명의 실시예에 따른 게이트 타이밍 신호와 스캔펄스를 나타내는 파형도.
- <15> 도 16은 도 11에 도시된 데이터 구동회로를 상세히 나타내는 블록도.
- <16> 도 17은 도 16에 도시된 디지털/아날로그 변환기를 상세히 나타내는 회로도.
- <17> 도 18은 도 11에 도시된 제1 로직회로를 상세히 나타내는 블록도.

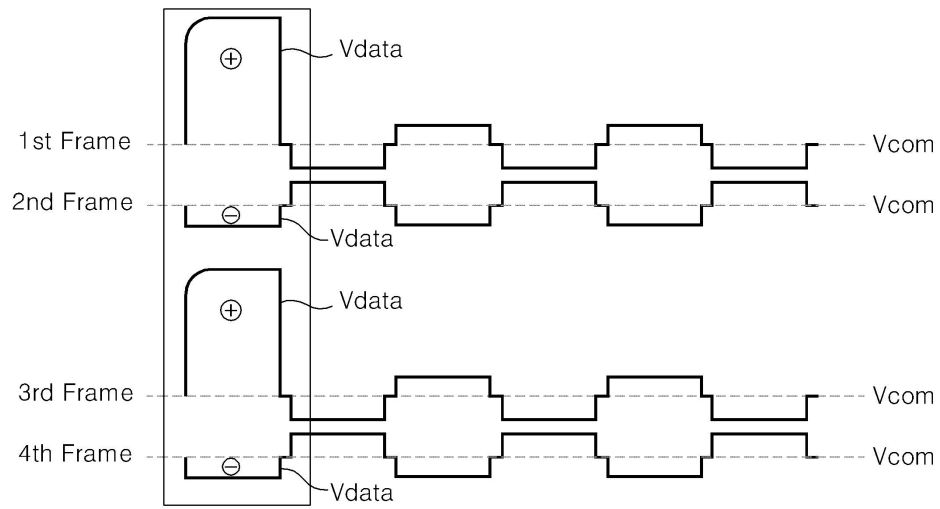
- | | | |
|------|--|--------------------|
| <18> | 도 19는 도 1에 도시된 POL 반전신호, 제1 및 제2 극성제어신호를 나타내는 파형도. | |
| <19> | 도 20은 본 발명의 제2 실시예에 따른 액정표시장치의 구동방법을 설명하기 위한 흐름도. | |
| <20> | 도 21은 본 발명의 제2 실시예에 따른 액정표시장치를 나타내는 블록도. | |
| <21> | < 도면의 주요 부분에 대한 부호의 설명 > | |
| <22> | 100 : 액정표시패널 | 101 : 타이밍 콘트롤러 |
| <23> | 102, 202 : 제1 로직회로 | 103 : 데이터 구동회로 |
| <24> | 104 : 게이트 구동회로 | 105 : 시스템 |
| <25> | 106 : 라인 메모리 | 107, 203 : 제2 로직회로 |
| <26> | 111 : 쉬프트 레지스터 | 112 : 데이터 레지스터 |
| <27> | 113, 114 : 래치 | 115 : 디지털/아날로그 변환기 |
| <28> | 116 : 차지웨어회로 | 117 : 출력회로 |
| <29> | 121 : P-디코더 | 122 : N-디코더 |
| <30> | 123, 144, 184, 185 : 멀티플렉서 | 141, 181 : 프레임 카운터 |
| <31> | 142 : POL 반전부 | 143 : 배타적 논리합 게이트 |
| <32> | 201 : 영상 분석회로 | |

도면

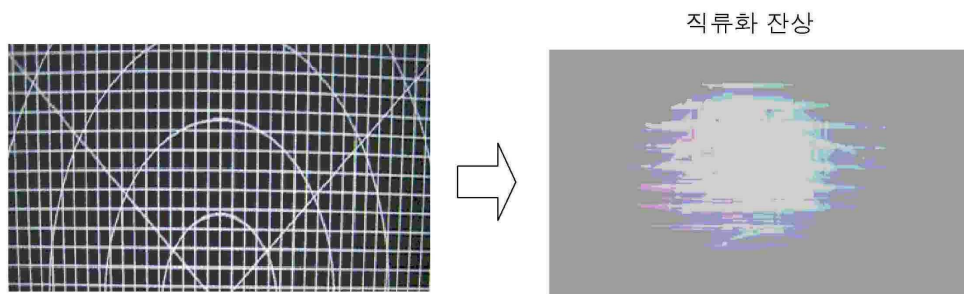
도면1



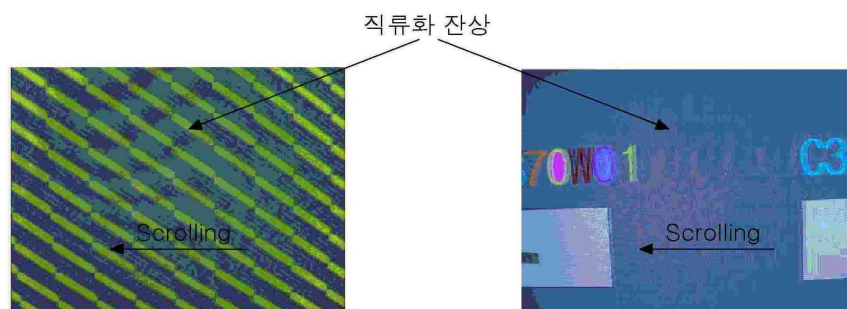
도면2



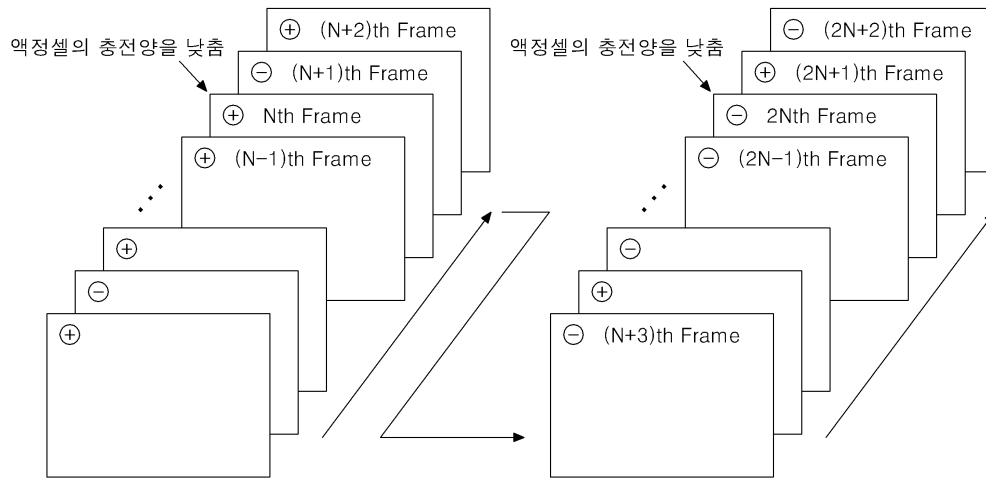
도면3



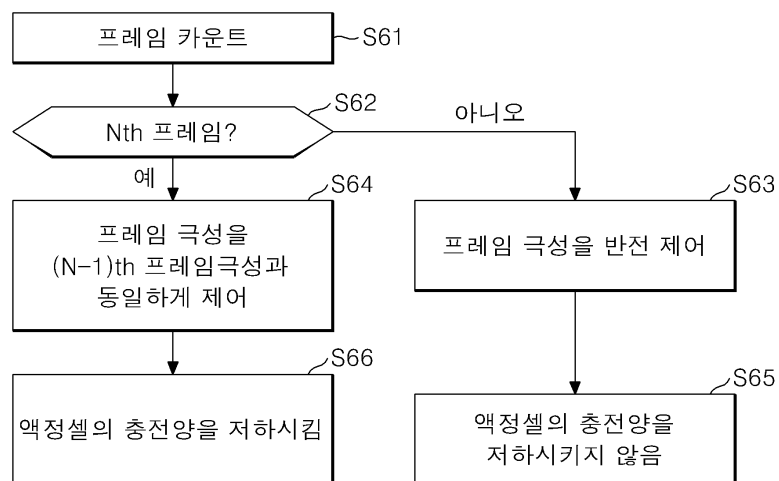
도면4



도면5



도면6

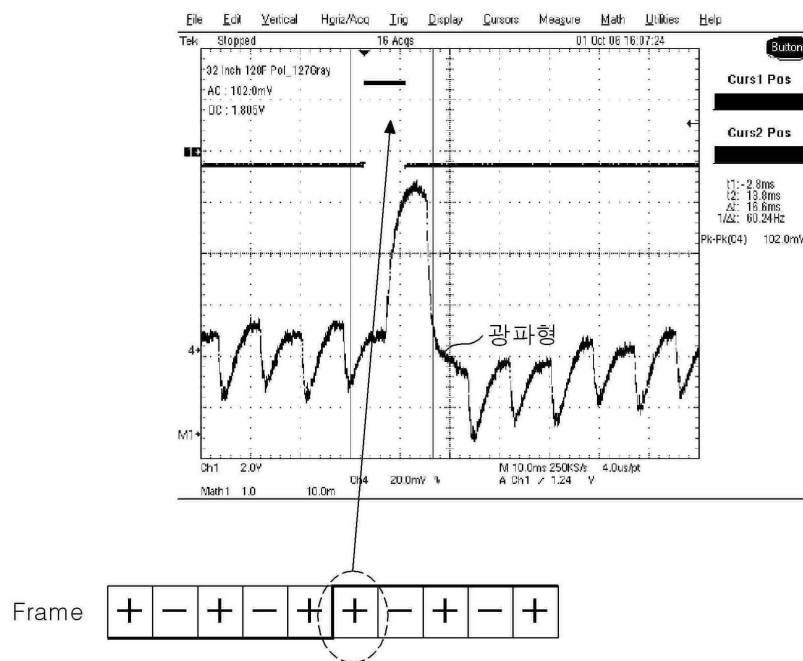


도면7

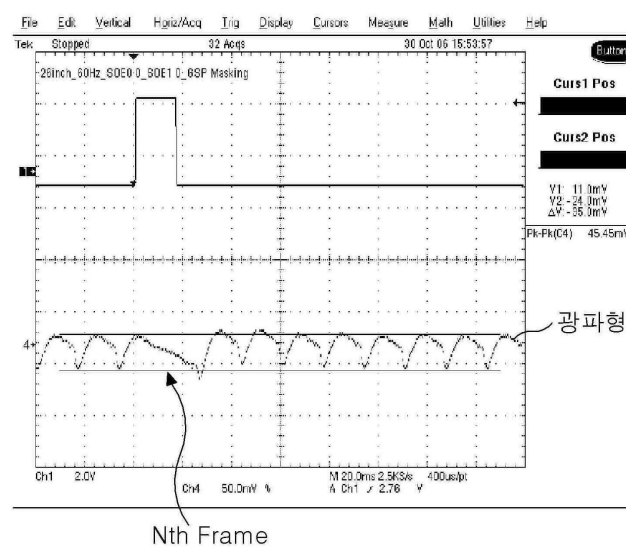
Frame	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
POL	+	-	+	-	+	-	+	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+

Frame	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48
POL	-	-	+	-	+	-	+	-	+	+	-	+	-	+	-	+	-	+

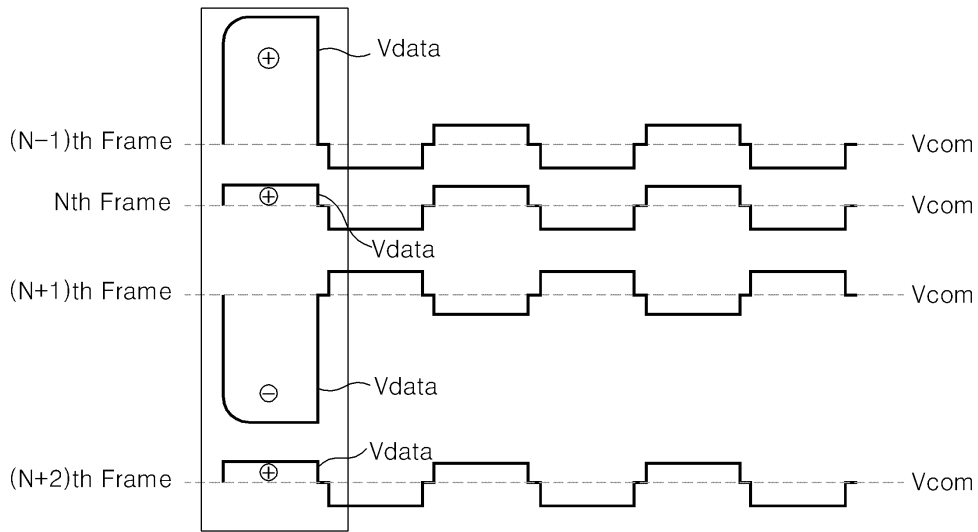
도면8



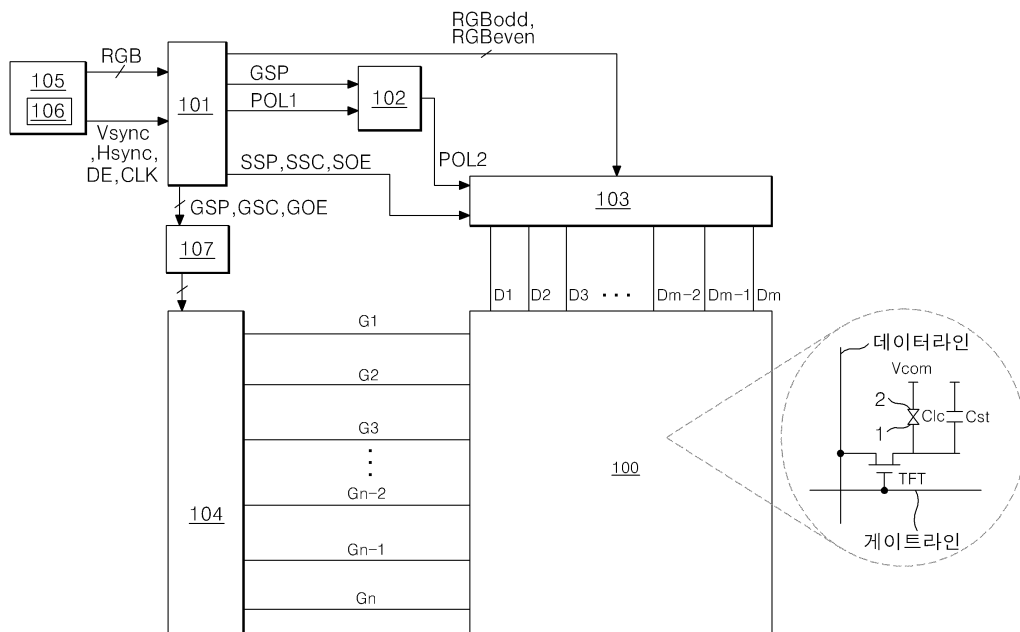
도면9



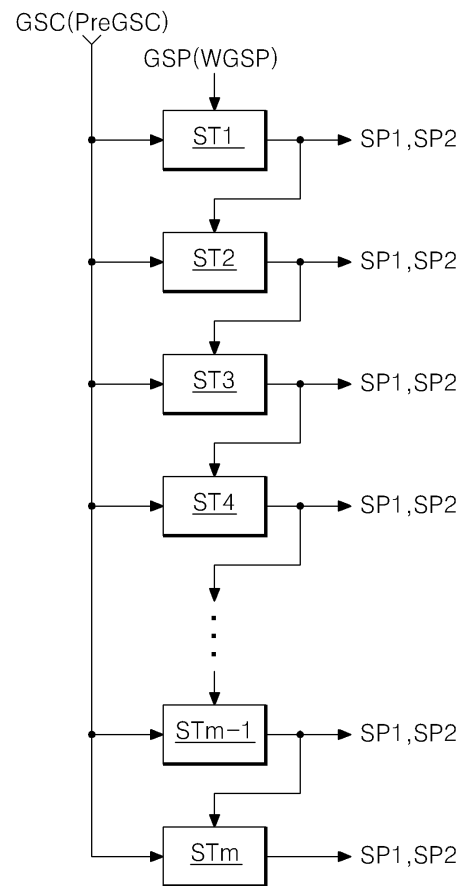
도면10



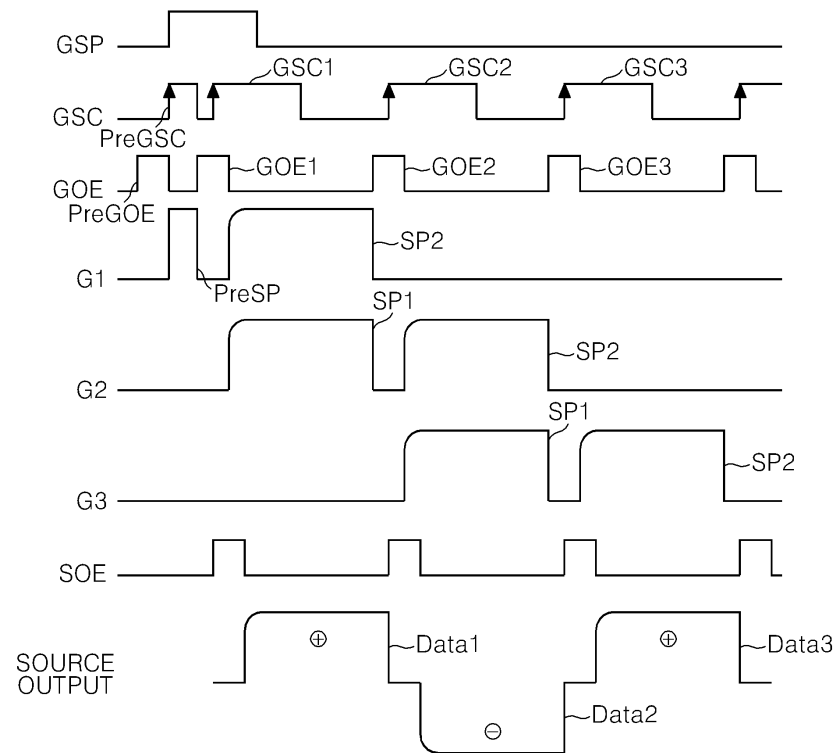
도면11



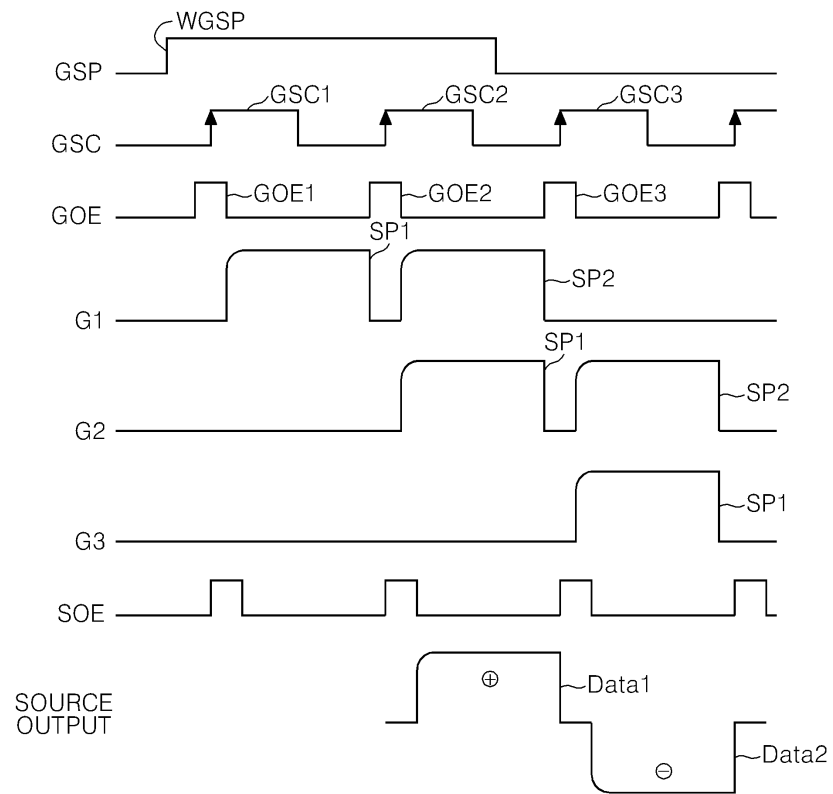
도면12



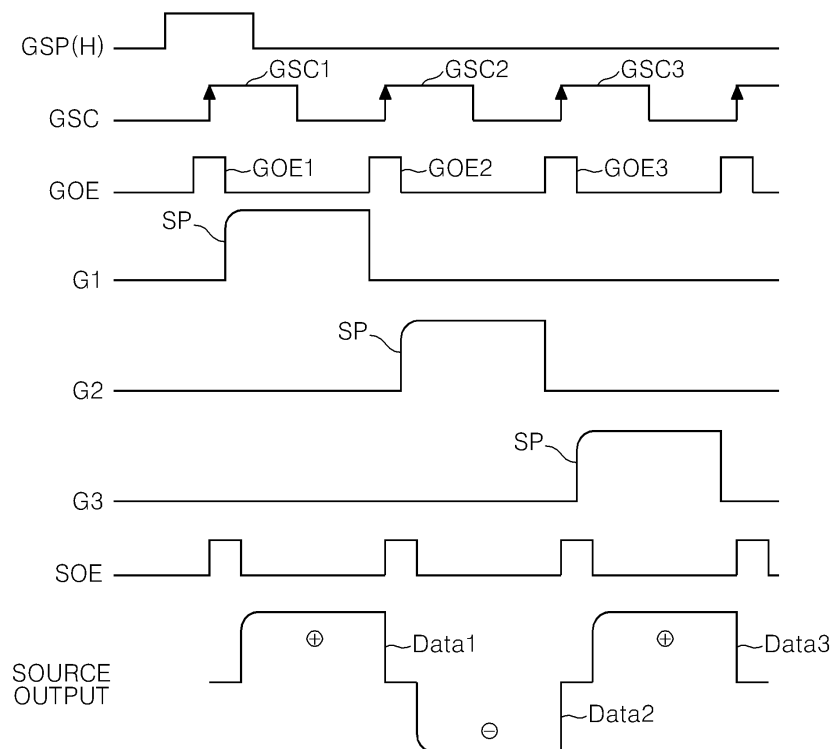
도면13



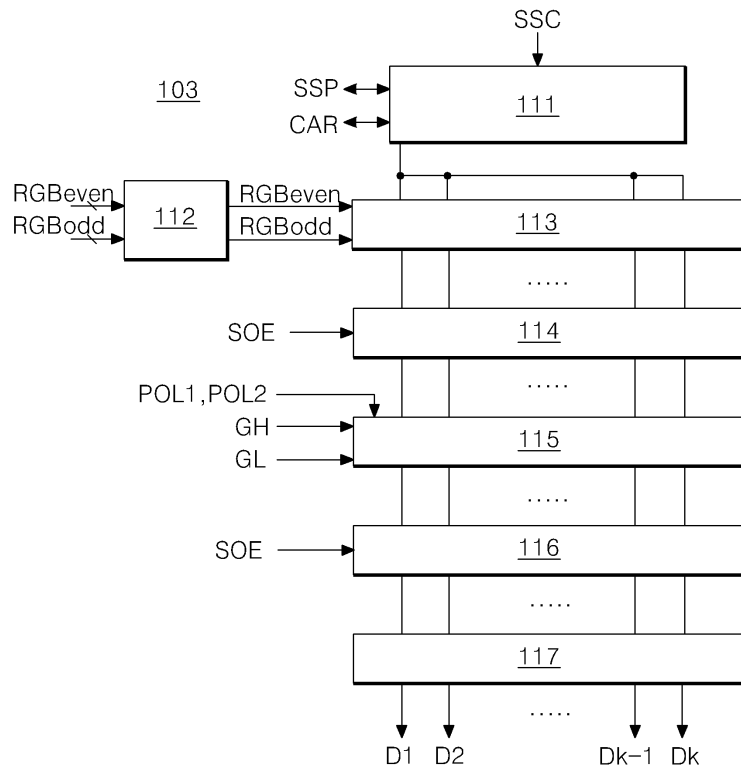
도면14



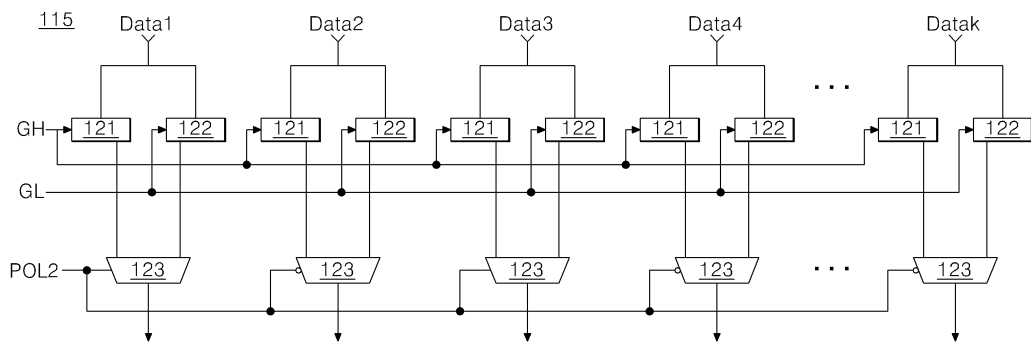
도면15



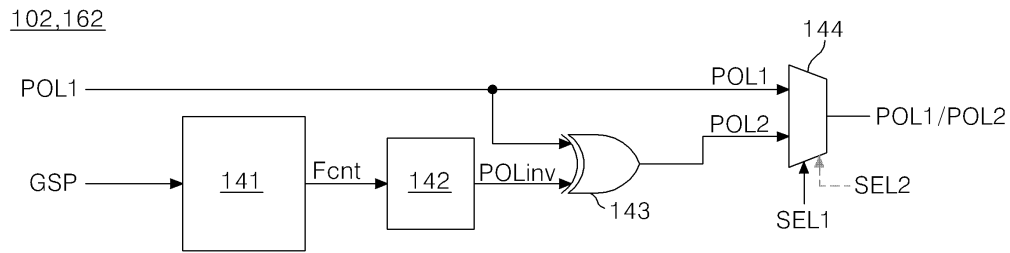
도면16



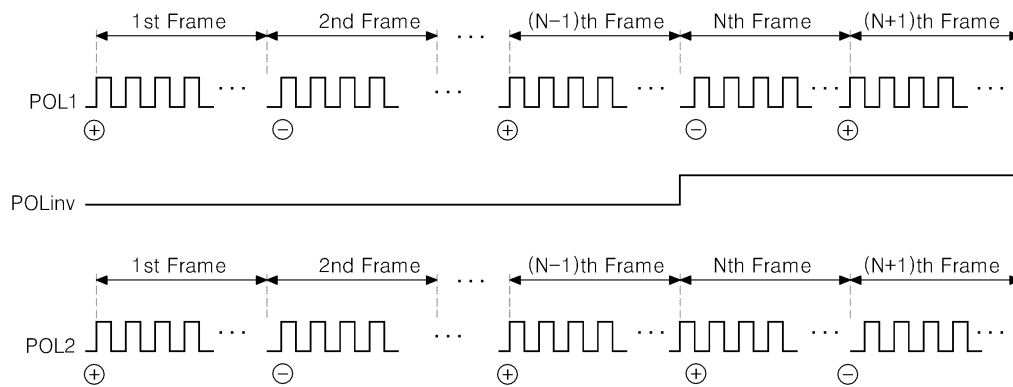
도면17



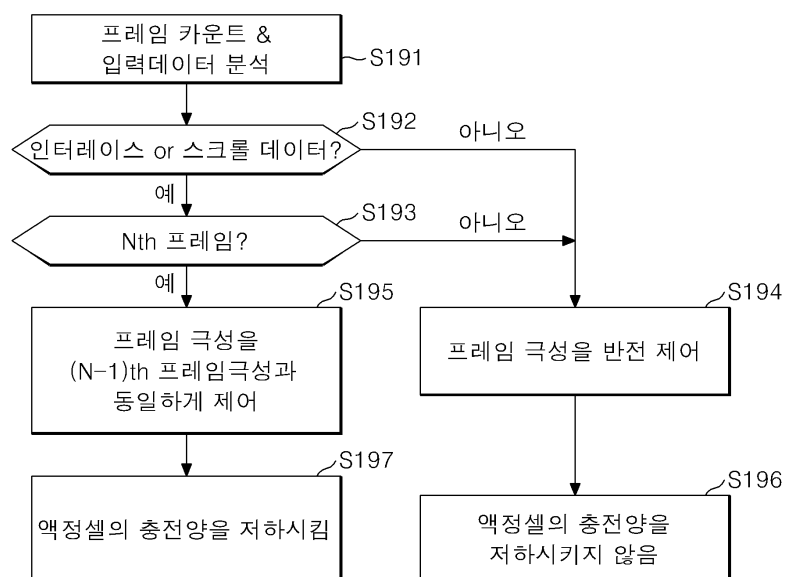
도면18



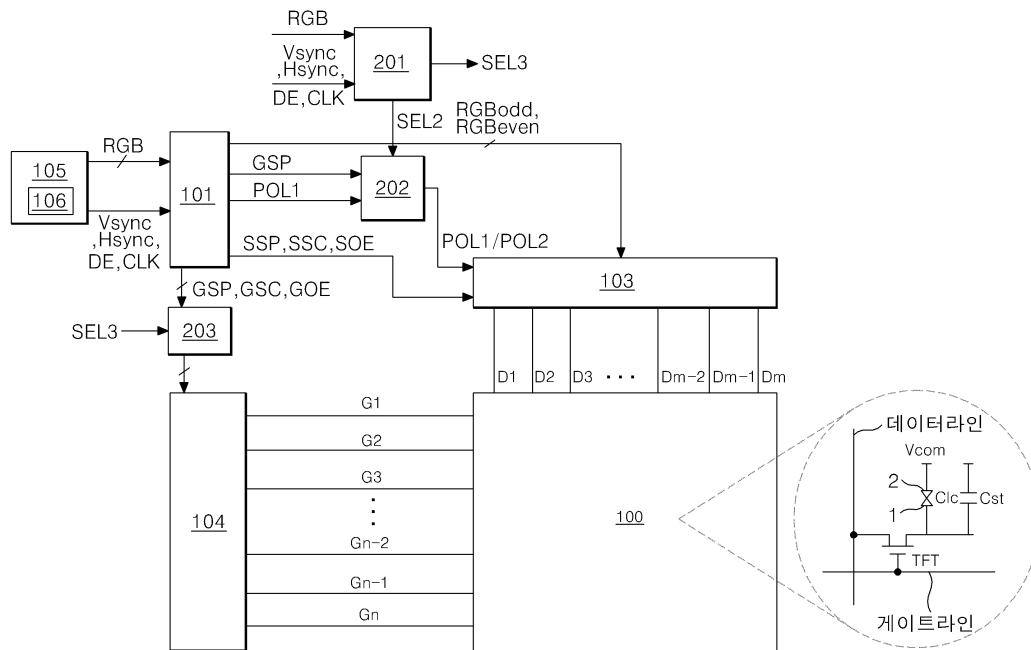
도면19



도면20



도면21



专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	KR1020080091963A	公开(公告)日	2008-10-15
申请号	KR1020070035126	申请日	2007-04-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JANG SU HYUK 장수혁 SONG HONG SUNG 송홍성 MIN WOONG KI 민웅기		
发明人	장수혁 송홍성 민웅기		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
其他公开文献	KR100870510B1		
外部链接	Espacenet		

摘要(译)

液晶显示装置及其驱动方法技术领域本发明涉及一种液晶显示装置及其驱动方法，其防止DC后像和闪烁以改善显示质量。液晶显示装置包括具有多条数据线和多条栅极线并具有多个液晶单元的液晶显示面板，产生极性控制信号的第一逻辑电路，第二逻辑电路，用于产生栅极定时控制信号；一种数据驱动电路，用于响应极性控制信号反转数据电压的极性并将数据电压提供给数据线；以及栅极驱动电路，用于响应栅极时序控制信号向栅极线提供扫描脉冲。所述极性控制信号是N（N是正整数）倍的第二帧周期具有相同的极性图案中比N的漏帧周期和周期的前一帧时段之外的其他帧中的前一帧周期极性图案，其中极性以一个帧周期为单位反转。第二逻辑电路由此引起的从第N帧期间的漏极调制栅极定时控制信号在第N帧期间的漏极以减小液晶单元的电荷量。

