



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0118386
(43) 공개일자 2007년12월17일

(51) Int. Cl.

G09G 3/36 (2006.01)

(21) 출원번호 10-2006-0052450

(22) 출원일자 2006년06월12일

심사청구일자 없음

(71) 출원인

엘지.필립스 엘시디 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

전민두

서울 동대문구 장안동 417-3 형인 허브빌 101동 802

장용호

경기 성남시 분당구 분당동 셋별마을삼부아파트 414-806

(뒷면에 계속)

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 13 항

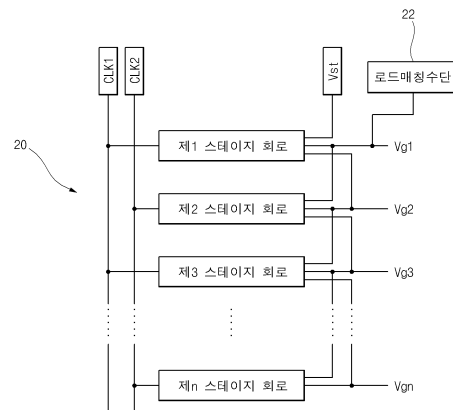
(54) 액정표시장치의 구동장치

(57) 요약

본 발명은 액정표시장치의 구동회로에 관한 것으로서, 보다 상세하게는 2상 또는 4상 클럭신호를 입력받아 구동하는 게이트구동회로의 쉬프트레지스터에서 출력신호단에 로드매칭수단을 구비하는 액정표시장치의 게이트구동장치에 관한 것이다.

이는 게이트구동회로의 쉬프트레지스터에 구비되는 다수개의 스테이지회로의 연결구조가 상이하여 출력신호의 폴링에지기간의 차이가 발생하고, 이로 인해 특정수평라인의 휘도가 다른 수평라인에 비하여 현저하게 증가되는 뎀(Dim) 불량을 방지하기 위한 것으로, 각각의 스테이지회로에서 출력단의 연결구조에 따라 단일개 또는 다수개의 로드매칭수단을 구비하여, 스테이지회로에서 출력단의 로드값의 비대칭을 완화하여 화질을 개선한다.

대표도 - 도5a



(72) 발명자

윤수영

경기 고양시 덕양구 행신2동 무원마을 10단지 서
광아파트 1010동802호

최승찬

경북 경산시 와촌면 계당리 266번지

특허청구의 범위

청구항 1

게이트라인과 데이터라인이 교차한 지점에 구비되는 다수개의 박막트랜지스터로 구성되는 액정패널 및;

상기 액정패널을 구동하기 위해, 개시신호 또는 전단 스테이지회로의 출력신호인 게이트구동신호와, 제1 내지 제2 클럭신호를 입력받아, 게이트구동신호를 발생하는 다수개의 스테이지회로로 구성되는 쉬프트레지스터를 포함하는 액정표시장치의 게이트구동회로에 있어서,

상기 개시신호 및 상기 제1 클럭신호를 입력받아 제1 게이트구동신호를 발생하는 제1 스테이지회로의 출력단에 전기적으로 연결되는 로드매칭수단을 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 2

제1 항에 있어서,

상기 로드매칭수단은 상기 제1 게이트구동신호가 공급되는 상기 게이트라인의 일부분으로 형성되는 하부전극과;

상기 게이트라인의 상부층으로서 형성되는 절연막과;

상기 절연막의 상부층으로서 형성되는 상부전극;

을 포함하는 캐패시터인 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 3

제2 항에 있어서,

상기 상부전극은, 컨택홀을 통해 상기 하부전극과 동일한 층에 형성되는 공통전압라인과 전기적으로 연결되는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 4

제2 항에 있어서,

상기 상부전극은, 상기 박막트랜지스터의 소스/드레인을 형성하는 금속과 동일한 재질인 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 5

제1 항에 있어서,

상기 로드매칭수단은, 상기 액정패널의 비표시영역에 형성되는 더미트랜지스터인 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 6

제5 항에 있어서,

상기 더미트랜지스터는, 소스/드레인전극이 접지전압과 단락되는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 7

게이트라인과 데이터라인이 교차한 지점에 구비되는 다수개의 박막트랜지스터로 구성되는 액정패널 및;

상기 액정패널을 구동하기 위해, 개시신호 또는 전단 스테이지회로의 출력신호인 게이트구동신호와, 제1 내지 제4 클럭신호를 제1 및 제2 엔드게이트를 통해 입력받고, 제1 및 제2 전원전압을 입력받는 RS-플립플롭과, 상기 RS-플립플롭의 Q출력단에 연결되는 풀-업 트랜지스터와, 상기 기수Qb 및 우수Qb 출력단에 연결되는 제1 및 제2 풀-다운 트랜지스터를 통해 게이트구동신호를 발생하는 다수개의 스테이지회로로 구성되는 쉬프트레지스터를 포함하는 액정표시장치의 게이트구동회로에 있어서,

상기 개시신호 또는 전단 스테이지회로의 출력신호인 게이트구동신호를 입력받아 제2n-1 게이트구동신호를 발생하는 제2n-1 스테이지회로의 출력단에 전기적으로 연결되는 제1 로드매칭수단과;

상기 개시신호 또는 전단 스테이지회로의 출력신호인 게이트구동신호를 입력받아 제2 게이트구동신호를 발생하는 제2 스테이지회로의 출력단에 전기적으로 연결되고, 상기 제1 로드매칭수단보다 작은 로드값을 갖는 제2 로드매칭수단을 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 8

제7 항에 있어서,

상기 제1 및 제2 로드매칭수단은, 상기 제2n-1 게이트구동신호 및 상기 제2 게이트구동신호가 공급되는 상기 게이트라인의 일부분으로 형성되는 하부전극과;

상기 게이트라인의 상부층으로서 형성되는 절연막과;

상기 절연막의 상부층으로서 형성되는 상부전극;

을 포함하는 캐패시터인 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 9

제8 항에 있어서,

상기 상부전극은, 컨택홀을 통해 상기 하부전극과 동일한 층에 형성되는 공통전압라인과 전기적으로 연결되는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 10

제8 항에 있어서,

상기 상부전극은, 상기 박막트랜지스터의 소스/드레인을 형성하는 금속과 동일한 재질인 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 11

제7 항에 있어서,

상기 제1 및 제2 로드매칭수단은, 상기 액정패널의 비표시영역에 형성되는 더미트랜지스터인 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 12

제11 항에 있어서,

상기 더미트랜지스터는, 소스/드레인전극이 접지전압과 단락되는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 13

제7 항에 있어서,

상기 제2 로드매칭수단은, 생략 가능한 것을 특징으로 하는 액정표시장치의 구동장치.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치의 구동장치에 관한 것으로, 보다 상세하게는 액정표시장치에서 게이트구동신호가 출력되는 게이트구동회로의 쉬프트레지스터와, 이 쉬프트레지스터에서 다수개의 스테이지의 출력단에 로드 매칭

소자를 구비하여 쉬프트레지스터 출력단의 로드비대칭성으로 인한 뎀(dim)불량을 극복하고, 화질을 개선하는 액정표시장치의 구동장치에 관한 것이다.

- <13> 일반적으로 액정표시장치는, 특정한 형태로 배열되어 있는 액정물질에 전계를 형성하여 이 액정물질의 배열을 변화시킴으로써 액정 패널상에서 액정 셀의 광 투과율을 조절하고, 이에 대응하는 화상을 표시하는 평판표시장치이다.
- <14> 도 1은 일반적인 액정표시장치를 도시한 도면으로써, 도 1을 참조하면 액정패널(1)에는 다수개의 게이트라인(GL1 내지 GLn)과 데이터라인(DL1 내지 DLm)이 교차하여 배열되게 되고, 그 게이트라인(GL1 내지 GLn)과 데이터라인(DL1 내지 DLm)의 교차점에 화소가 위치하게 된다. 이러한 화소에는 스위칭 소자인 박막트랜지스터(Thin Film Transistor, 이하 TFT)와, 이 TFT에 연결된 화소전극이 구비되게 된다. 이때, 상기 TFT는 상기 게이트라인(GL1 내지 GLn)으로부터 신호를 입력받아 스위칭 동작을 하며, 상기 데이터라인(DL1 내지 DLm)과 화소전극을 전기적으로 연결한다.
- <15> 게이트구동회로(2)는 게이트구동신호를 상기 게이트라인(GL1 내지 GLn)에 순차적으로 공급하여 액정패널(1)상에 화소가 한 수평라인분씩 선택되도록 한다. 또한, 상기 데이터구동회로(3)는 게이트라인(GL1 내지 GLn)이 순차적으로 선택될 때마다, 상기 데이터라인(DL1 내지 DLm)에 RGB 데이터신호를 공급한다. 이에 따라 화소별로 공급되는 데이터신호에 따라 상기 화소전극과 공통전극 사이에 형성되는 전계에 의해 액정층의 광 투과율을 조절함으로써 화상을 표시하게 된다.
- <16> 일반적인 액정표시장치는 외부 시스템에서 입력되는 RGB 데이터 및 각종 제어신호를 적절한 전기적 신호로 변환하는 구동회로와 이를 통해 사용자에게 보여주는 액정패널을 포함하며, 일반적으로 상기 구동회로는 액정패널과 별도의 PCB 기판에 제작된다.
- <17> 이러한 액정표시장치에 있어서, 최근에는 상기 구동회로를 액정패널내에 실장하여, 제조 원가를 절감하고 전력소모를 최소화하는 내장형 게이트구동회로방식의 액정표시장치가 제안되었다.
- <18> 내장형 게이트구동회로방식 액정표시장치는, 도 1에 도시한 게이트구동회로(2)가 화소의 TFT와 동일한 공정을 거쳐 액정패널(1)상에 구성되며, 데이터구동회로(3)는 액정패널(1)상에 구성될 수도 있고, 그렇지 않을 수도 있다.
- <19> 도 2는 내장형 게이트구동회로 방식의 액정표시장치에서 게이트구동회로의 구성을 개략적으로 도시한 블록도로서, 도 2를 참조하면, 게이트구동회로는 2개의 클럭신호(CLK1, CLK2)를 입력받아 구동하는 다수개의 스테이지회로(20)로 구성되는 쉬프트레지스터를 포함한다.
- <20> 스테이지회로(20)는 제1 클럭(CLK1) 또는 제2 클럭(CLK2)의 신호를 입력받고, 스테이지회로(20)의 출력단은 각각 게이트라인과 연결되어 게이트구동신호(Vg1 내지 Vgn)를 출력하고, 동시에 차기단 스테이지회로의 입력단에 연결되어 상기 게이트구동신호(Vg1 내지 Vgn)를 스테이지회로의 개시신호(Vst)로 입력받고, 상기 스테이지회로의 출력단은 전단 스테이지회로의 리셋단에 연결되어, 하이(High)레벨인 게이트구동신호(Vg1 내지 Vgn)를 로우(Low)레벨로 전환하는 구조이다.
- <21> 이러한 구조의 쉬프트레지스터에서 제1 번째 스테이지회로는 전단 스테이지회로가 없고, 이에 따라 출력단이 전단 스테이지회로의 리셋단과 연결되지 않으므로, 출력단의 로드(Load)가 나머지 제2 내지 제n 번째 스테이지회로들보다 작게 된다.
- <22> 이로 인해, 도3 에 도시한 바와 같이, 제1 게이트구동신호(Vg1)의 폴링에지(Falling edge)기간(a)은, 제2 내지 n번째 게이트구동신호(Vg2 내지 Vgn)의 폴링에지기간(b)보다 더 급격하게 짧아지는 현상이 발생한다.
- <23> 이러한 현상은, 백색바탕모드(Normally White mode, NW mode)로 동작하는 액정표시장치에서 액정패널의 표시영역 최상단 수평라인이 다른 수평라인에 비하여 밝게 보이는 현상인 뎀(Dim)불량의 직접적인 원인이 된다.
- <24> 도 4는 내장형 게이트구동회로방식의 액정표시장치에서 다른 형태의 게이트구동회로의 일부분을 개략적으로 도시한 블록도로서, 도 4를 참조하면, 게이트구동회로는 서로 위상이 반대의 직류전압인 제1 전원전압(Vdd_o) 및 제2 전원전압(Vdd_e)과, 4개의 클럭신호(CLK1 내지 CLK4)를 입력받아 구동하는 n개의 스테이지회로로 구성되는 쉬프트레지스터를 포함한다.
- <25> 하기의 설명에서는 제1 내지 제4 스테이지회로(30)의 예를 들어 설명한다. 여기서, 하나의 스테이지회로는 제1 엔드게이트(A1) 및 제2 엔드게이트(A2)와, 이의 출력을 입력받는 SR-플립플롭(SR-flipflop)과, 풀-업(Pull-Up) 트랜지스터(T1)와, 제1 및 제2 풀-다운(Pull-Down) 트랜지스터(T2o, T2e)로 구성되어 있다. 또한, 상기

제1 엔드게이트(A1) 및 제2 엔드게이트(A2)의 입력단은 2개의 구조이다.

- <26> 또한, 풀-다운 소자의 지속적인 바이어스 전압에 의한 열화를 방지하기 위해, 제1 및 제2 전원전압(Vdd_o, Vdd_e)에 대응하여, 상기 제1 및 제2 풀-다운 트랜지스터(T2o, T2e)를 통해 교번으로 게이트라인을 풀-다운 상태로 유지하는 구조이다.
- <27> 이러한 구조의 쉬프트레지스터에서 제1 스테이지회로는 전단 스테이지회로가 없다. 또한, 제1 및 제3 스테이지회로는 전단 스테이지회로의 리셋단과 연결되지 않고, 게이트구동신호(Vg1, Vg3)가 차기단의 개시신호로 입력되지 않으므로, 출력단의 로드(Load)가 나머지 우수번째 스테이지회로들보다 작게 된다.
- <28> 또한, 제2 스테이지회로의 게이트구동신호(Vg2)는 차기단의 개시신호로 입력되지만, 전단 스테이지회로의 리셋단과 연결되지 않으므로, 출력단의 로드가 상기 제1 및 제3 스테이지회로보다는 크지만, 제4n 스테이지 회로보다는 작게 된다.
- <29> 이로 인해, 도3 에 도시한 바와 같이, 상기 제2n-1 게이트구동신호{Vg(2n-1)}의 폴링에지(Falling edge)기간(a)은 제2n 게이트구동신호{Vg(2n)}의 폴링에지기간(b)보다 더 급격하게 변화하는 현상이 발생하며, 또한, 제2 게이트구동신호(Vg2)의 폴링에지기간이, 나머지 게이트구동신호{Vg(4n)}의 폴링에지기간보다 보다 급격하게 변화하게 된다.
- <30> 이러한 현상은, 상술한 바와 같이, 액정표시장치에서 뎀(Dim)불량의 직접적인 원인이 된다.

발명이 이루고자 하는 기술적 과제

- <31> 본 발명은 상기와 같은 불량발생의 원인을 제거하기 위해 안출된 것으로서, 게이트구동회로가 액정패널내에 실장되어 있는 액정표시장치에서 쉬프트레지스터 출력단의 부하차이를 조절하여, 뎀 현상발생을 방지하는 데 목적이 있으며, 이를 위해, 게이트구동회로의 쉬프트레지스터 출력단에 로드매칭수단을 추가한 액정표시장치의 구동장치를 제안한다.

발명의 구성 및 작용

- <32> 상기와 같은 목적을 달성하기 위해 본 발명의 실시예에 의한 액정표시장치의 구동장치는,
- <33> 게이트라인과 데이터라인이 교차한 지점에 구비되는 다수개의 박막트랜지스터로 구성되는 액정패널 및; 상기 액정패널을 구동하기 위해, 개시신호 또는 전단 스테이지회로의 출력신호인 게이트구동신호와, 제1 내지 제2 클럭신호를 입력받아, 게이트구동신호를 발생하는 다수개의 스테이지회로로 구성되는 쉬프트레지스터를 포함하는 액정표시장치의 게이트구동회로에 있어서, 상기 개시신호 및 상기 제1 클럭신호를 입력받아 제1 게이트구동신호를 발생하는 제1 스테이지회로의 출력단에 전기적으로 연결되는 로드매칭수단을 구비하는 것을 특징으로 한다.
- <34> 상기 로드매칭수단은, 상기 제1 게이트구동신호가 공급되는 상기 게이트라인의 일부분으로 형성되는 하부전극과; 상기 게이트라인의 상부층으로서 형성되는 절연막과; 상기 절연막의 상부층으로서 형성되는 상부전극을 포함하는 캐패시터인 것을 특징으로 한다.
- <35> 상기 상부전극은, 컨택홀을 통해 상기 하부전극과 동일한 층에 형성되는 공통전압라인과 전기적으로 연결되는 것을 특징으로 한다.
- <36> 상기 상부전극은, 상기 박막트랜지스터의 소스/드레인을 형성하는 금속과 동일한 재질인 것을 특징으로 한다.
- <37> 상기 로드매칭수단은, 상기 액정패널의 비표시영역에 형성되는 더미트랜지스터인 것을 특징으로 한다.
- <38> 상기 더미트랜지스터는, 소스/드레인전극이 접지전압과 단락되는 것을 특징으로 한다.
- <39> 게이트라인과 데이터라인이 교차한 지점에 구비되는 다수개의 박막트랜지스터로 구성되는 액정패널 및; 상기 액정패널을 구동하기 위해, 개시신호 또는 전단 스테이지회로의 출력신호인 게이트구동신호와, 제1 내지 제4 클럭신호를 제1 및 제2 엔드게이트를 통해 입력받고, 제1 및 제2 전원전압을 입력받는 RS-플립플롭과, 상기 RS-플립플롭의 Q출력단에 연결되는 풀-업 트랜지스터와, 상기 기수Qb 및 우수Qb 출력단에 연결되는 제1 및 제2 풀-다운 트랜지스터를 통해 게이트구동신호를 발생하는 다수개의 스테이지회로로 구성되는 쉬프트레지스터를 포함하는 액정표시장치의 게이트구동회로에 있어서, 상기 개시신호 또는 전단 스테이지회로의 출력신호인 게이트구동신호를 입력받아 제2n-1 게이트구동신호를 발생하는 제2n-1 스테이지회로의 출력단에 전기적으로 연결되는 제1 로드매칭수단과; 상기 개시신호 또는 전단 스테이지회로의 출력신호인 게이트구동신호를 입

력받아 제2 게이트구동신호를 발생하는 제2 스테이지회로의 출력단에 전기적으로 연결되고, 상기 제1 로드매칭수단보다 작은 로드값을 갖는 제2 로드매칭수단을 구비하는 것을 특징으로 한다.

- <40> 상기 제1 및 제2 로드매칭수단은, 상기 제2n-1 게이트구동신호 및 상기 제2 게이트구동신호가 공급되는 상기 게이트라인의 일부분으로 형성되는 하부전극과; 상기 게이트라인의 상부층으로서 형성되는 절연막과; 상기 절연막의 상부층으로서 형성되는 상부전극을 포함하는 캐패시터인 것을 특징으로 한다.
- <41> 상기 상부전극은, 컨택홀을 통해 상기 하부전극과 동일한 층에 형성되는 공통전압라인과 전기적으로 연결되는 것을 특징으로 한다.
- <42> 상기 상부전극은, 상기 박막트랜지스터의 소스/드레인을 형성하는 금속과 동일한 재질인 것을 특징으로 한다.
- <43> 상기 제1 및 제2 로드매칭수단은, 상기 액정패널의 비표시영역에 형성되는 더미트랜지스터인 것을 특징으로 한다.
- <44> 상기 더미트랜지스터는, 소스/드레인전극이 접지전압과 단락되는 것을 특징으로 한다.
- <45> 상기 제2 로드매칭수단은, 생략가능한 것을 특징으로 한다.
- <46> 이하, 도면을 참조하여 본 발명의 바람직한 실시예에 의한 액정표시장치의 구동장치를 설명하면 하기와 같다.
- <47> 도 5a 내지 도 5c는 본 발명의 제1 실시예에 의한 내장형 게이트구동회로 액정표시장치의 구동장치를 개략적으로 도시한 블록도로써, 도 5를 참조하면, 게이트구동회로는 2개의 클럭신호(CLK1, CLK2)를 입력받아 구동하는 다수개의 스테이지회로(21)로 구성되는 쉬프트레지스터를 포함하고, 상기 쉬프트레지스터는 제1 스테이지회로의 출력단에 로드매칭수단(22)을 더 포함한다.
- <48> 스테이지회로(21)는 제1 클럭(CLK1) 또는 제2 클럭(CLK2)의 신호를 입력받고, 스테이지회로(21)의 출력단은 각각 게이트라인과 연결되어 게이트구동신호(Vg1 내지 Vgn)를 출력하고, 동시에 차기단 스테이지회로의 시작단에 연결되어 상기 게이트구동신호(Vg1 내지 Vgn)를 스테이지회로의 개시신호(Vstn)로 입력한다. 또한, 상기 스테이지회로의 출력단은 전단 스테이지회로의 리셋단에 연결되어, 하이레벨인 게이트구동신호(Vg1 내지 Vgn)를 로우(Low)레벨로 전환하는 구조이다.
- <49> 이러한 쉬프트레지스터의 동작을 살펴보면, 먼저 개시신호(Vst)가 상기 제1 스테이지회로에 입력되고, 상기 제1 클럭(CLK1)에 동기하여 하이(High)레벨의 제1 게이트구동신호(Vg1)가 출력된다. 이 제1 게이트구동신호(Vg1)는 차기 스테이지의 개시신호(Vst)로 입력되어, 제2 스테이지회로에 입력되고, 이 제2 스테이지회로에서는 상기 제2 클럭(CLK2)에 동기하여 하이(High)레벨의 제2 게이트구동신호(Vg2)가 출력된다. 이때, 이 제2 게이트구동신호(Vg2)는 상기 제1 스테이지의 리셋단으로 입력되어, 상기 제1 게이트구동신호(Vg1)는 로우(Low)레벨로 전환된다. 여기서, 제1 스테이지의 출력단과 전기적으로 연결되어 있는 로드매칭수단(22)에 의해, 제1 게이트구동신호(Vg1)는 로우(Low)레벨로 전환되는 기간이 연장된다. 즉, 도 3에 도시한 제1 게이트구동신호(Vg1)의 폴딩에지기간(a)이 나머지 게이트구동신호(Vg2 내지 Vgn)의 폴딩에지기간(b)만큼 늘어지게 된다.
- <50> 바람직하게는, 도 5b 에 도시한 바와 같이, 상기 로드매칭수단은 제1 스테이지회로의 출력단의 로드와 제2 내지 제n 번째 출력단의 로드의 차이만큼의 용량성 로드값을 갖는 캐패시터(C1)로 구현될 수 있다. 구체적으로, 상기 캐패시터(C1)는 SiNx로 구성되는 절연층을 사이에 두고, 게이트라인과 대응되는 위치에 박막트랜지스터의 소스/드레인 금속층 형성공정에서 동일한 재질의 금속으로 형성되는 상부전극과, 이 상부전극이 공통전압라인과 컨택홀을 통해 전기적으로 연결된 형태로 구성될 수 있다.
- <51> 또한, 도 5b에 도시한 바와 같이, 상기의 로드매칭수단은 트랜지스터로도 구현 될 수 있다. 액정패널의 비표시영역상에 소스/드레인전극이 서로 단락되고, 접지전압 또는 공통전압라인에 전기적으로 연결된 형태의 더미트랜지스터(TR1)와, 이 더미 트랜지스터(TR1)의 게이트단자와 상기 게이트라인(GL1)이 전기적으로 연결된 형태로 구성될 수 있다.
- <52> 따라서, 본 발명의 제1 실시예에 의한 액정표시장치의 게이트구동회로는 각각의 스테이지회로 출력단의 로드가 매칭되어 댐 현상이 방지된다.
- <53> 도 6는 본 발명의 제2 실시예에 의한 내장형 게이트구동회로 액정표시장치에서 다른 형태의 게이트구동회로의 일부분을 개략적으로 도시한 블록도로써, 도 6을 참조하면, 게이트구동회로는 서로 위상이 반대의 직류전압인 제1 전원전압(Vdd_o) 및 제2 전원전압(Vdd_e)과, 4개의 클럭신호(CLK1 내지 CLK4)를 입력받아 구동하는 n개의 스테이지회로(31)로 구성되는 쉬프트레지스터를 포함한다. 또한, 상기 쉬프트레지스터는 제1 및 제3 스테이지

회로의 출력단에 제1 로드매칭수단이 구비되며, 제2 스테이지회로의 출력단에는 제2 로드매칭수단(33)이 각각 구비된다.

<54> 하기의 설명에서는 제1 내지 제4 스테이지회로(31)의 예를 들어 설명한다. 여기서, 하나의 스테이지회로는 제1 엔드게이트(A1) 및 제2 엔드게이트(A2)와, 이의 출력을 입력받는 SR-플립플롭(SR-flipflop)과, 풀-업(Pull-Up) 트랜지스터(T1)와, 제1 및 제2 풀-다운(Pull-Down) 트랜지스터(T2o, T2e)로 구성되어 있다.

<55> 또한, 풀-다운 소자의 지속적인 바이어스 전압에 의한 열화를 방지하기 위해, 제1 및 제2 전원전압(Vdd_o, Vdd_e)에 대응하여, 상기 제1 및 제2 풀-다운 트랜지스터(T2o, T2e)를 통해 교번으로 게이트라인을 풀-다운 상태로 유지하는 구조이다.

<56> 이러한 쉬프트레지스터의 동작을 살펴보면, 먼저 제1 및 제2 스테이지회로에서 SR-플립플롭의 S단자에 개시신호(Vst)와 제4 게이트구동신호의 반전신호가 입력되고, R단자에 상기 개시신호(Vst)의 반전신호와 상기 제4 게이트구동신호가 입력된다. 이후, 제1 클럭신호(CLK1)가 하이(High)레벨이 되면, Q1출력단(Q1)에 연결되어 있는 제1 스테이지회로의 풀-업 트랜지스터(T1)가 턴-온 되어, 제1 게이트구동신호(Vg1)가 출력되게 되고, 제2 클럭신호(CLK2)가 하이(High)레벨이 되면, 제2 스테이지회로의 Q1출력단(Q1)에 연결되어 있는 풀-업 트랜지스터(T1)가 턴-온 되어, 제2 게이트구동신호(Vg2)가 출력되게 된다.

<57> 이후, 상기 제2 게이트구동신호(Vg2)가 제3 및 제4 스테이지회로의 SR-플립플롭의 S단자에 개시신호로서 입력되고, 제6 게이트구동신호(Vg6)의 반전신호가 입력되면, 제3 클럭신호(CLK3) 및 제4 클럭신호(CLK4)에 대응하여, 제3 및 제4 스테이지회로의 풀-업 트랜지스터(T1)가 순차적으로 턴-온 되어, 제3 및 제4 게이트구동신호(Vg3, Vg4)가 순차적으로 출력된다. 이때, 서로 위상이 반대인 제1 전원전압(Vdd_o)과 제2 전원전압(Vdd_e)에 대응하여, 제1 및 제2 스테이지회로의 Qbo출력단(Qbo) 및 Qbe출력단(Qbe)에 연결되어 있는 제1 및 제2 풀-다운 트랜지스터(T2o, T2e)에 의해 교번으로 상기 제1 및 제2 게이트구동신호(Vg1, Vg2)는 로우(Low)레벨이 된다. 또한, 제4 게이트구동신호(Vg3, Vg4)는 상기의 제2 게이트구동신호(Vg2)와 동일하게 제5 및 제6 스테이지회로의 개시신호(Vst5, Vst6)로 입력된다.

<58> 여기서, 제1 및 제3 스테이지 출력단과 전기적으로 연결되어 있는 제1 로드매칭수단(32)에 의해, 제1 게이트구동신호(Vg1)는 로우(Low)레벨로 전환되는 기간이 연장된다. 즉, 도 3에 도시한 제1 게이트구동신호(Vg1)의 폴링에지기간(a)이 나머지 게이트구동신호(Vg2 내지 Vgn)의 폴링에지기간(b)만큼 늘어지게 된다.

<59> 바람직하게는, 도 5b에 도시한 바와 같이, 제1 스테이지회로의 출력단의 로드와 제2 내지 제n 번째 출력단의 로드의 차이만큼의 용량성 로드값을 갖는 캐패시터(C1)로 구현 될 수 있다. 또한, 도 5c에 도시한 바와 같이, 상기의 제1 로드매칭수단은 트랜지스터(TR1)로 구현 될 수 있다. 여기서 상기 캐패시터(C1) 및 트랜지스터(TR1)의 구성방법은 상기 제1 실시예와 동일하다.

<60> 또한, 상기 제2 스테이지회로의 출력단에는 제2 로드매칭수단(33)이 구비된다. 이 제2 로드매칭수단(33)은 상술한 제1 로드매칭수단과 구조와 구성방법이 동일하지만, 제2 스테이지회로의 출력단은 전단 및 전전단 스테이지회로의 리셋단과 연결되지 않으므로, 상기의 제1 로드매칭수단(32)보다 더 작은 로드값을 갖게 된다. 만약, 상기 제2 스테이지회로의 출력단의 로드값과 나머지 스테이지회로의 출력단의 로드값이 차이가 무시가능할 정도로 작다면, 상기 제2 로드매칭수단(32)은 생략 가능하다.

<61> 따라서, 본 발명의 제2 실시예에 의한 액정표시장치의 게이트구동회로는 각각의 스테이지회로 출력단의 로드가 매칭되어 덤 현상이 방지된다.

<62> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 기술적 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

발명의 효과

<63> 상기와 같이 설명한 본 발명의 실시예에 따른 액정표시장치의 구동장치는, 2상 구동 쉬프트레지스터에서 제1 스테이지회로 출력단의 로드가 매칭되어, 상단 수평라인의 휘도가 높아지는 덤 현상이 방지되는 이점이 있다.

<64> 또한, 4상 구동 쉬프트레지스터에서 제2n-1 스테이지 출력단의 로드가 매칭되고, 경우에 따라 추가적으로 제2 스테이지 출력단의 로드가 매칭되어, 특정 수평라인의 휘도가 높아지는 덤 현상이 방지되는 이점이 있다.

<65> 즉, 쉬프트레지스터에서 전단 또는 차기단과의 연결이 없는 스테이지 회로의 출력단에 캐패시터 또는 트랜지

스터가 구비되어, 이에 따라 추가되는 로드로 인해, 게이트구동신호의 폴링기간이 증가된다.

<66> 따라서, 해당 스테이지회로의 출력단과 연결되는 수평라인의 휘도증가가 방지되어 화질의 개선된다.

도면의 간단한 설명

<1> 도 1은 일반적인 액정표시장치의 구성을 개략적으로 도시한 블록도이다.

<2> 도 2는 2상 내장형 게이트구동회로방식 액정표시장치의 게이트구동회로에서 쉬프트레지스터의 일부분을 개략적으로 도시한 블록도이다.

<3> 도 3은 도 2에 도시한 게이트구동회로의 신호파형중 일부분을 도시한 파형도이다.

<4> 도 4는 4상 내장형 게이트구동회로방식 액정표시장치의 게이트구동회로에서 쉬프트레지스터의 일부분을 개략적으로 도시한 블록도이다.

<5> 도 5a는 본 발명의 제1 실시예에 의한 2상 액정표시장치의 게이트구동회로에서 쉬프트레지스터의 일부분을 도시한 블록도이다.

<6> 도 5b 및 도 5c는 도 5a에 도시된 로드매칭수단의 구성의 예를 도시한 블록도이다.

<7> 도 6는 본 발명의 제2 실시예에 의한 4상 액정표시장치의 게이트구동회로에서 쉬프트레지스터의 일부분을 도시한 블록도이다.

<8> < 도면의 주요부분에 대한 간단한 설명 >

<9> CLK1 및 CLK2 : 제1 및 제2 클럭신호

Vst : 개시신호

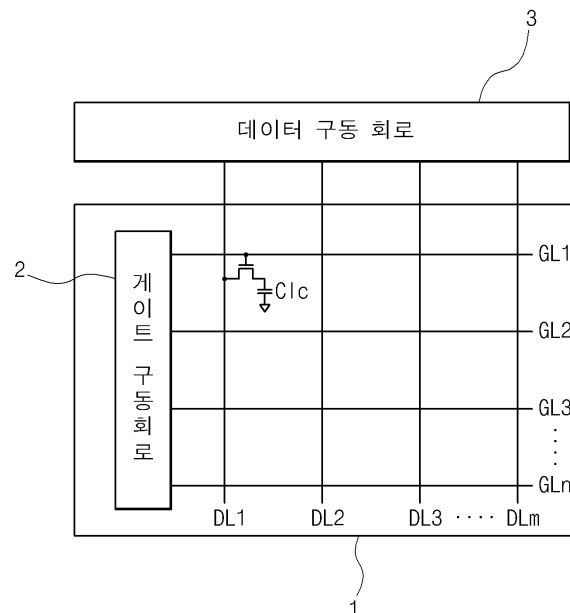
<10> 21 : 쉬프트레지스터

22 : 로드매칭수단

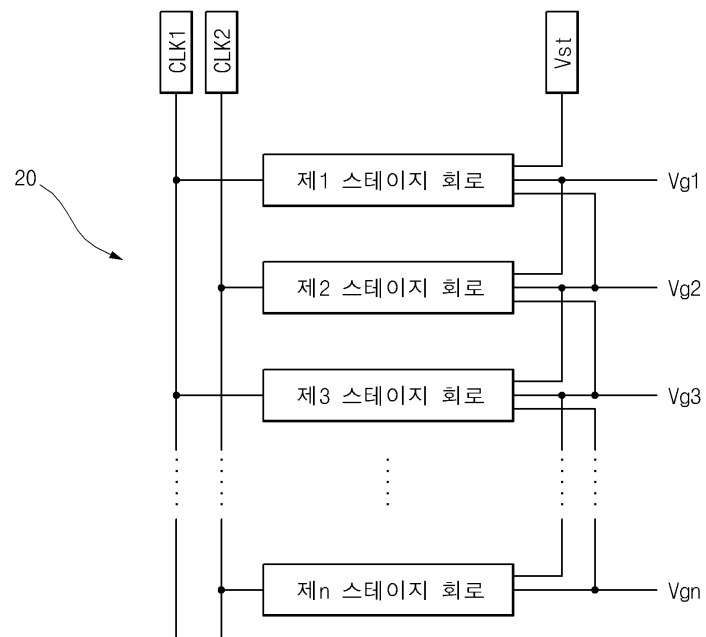
<11> Vg1 내지 Vgn : 게이트구동신호

도면

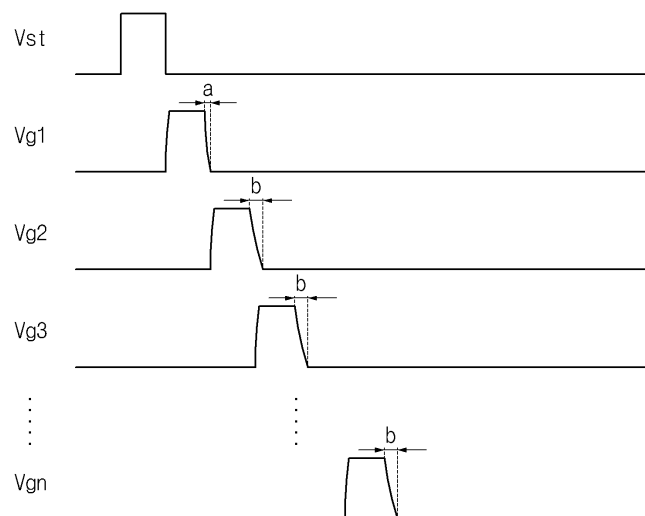
도면1



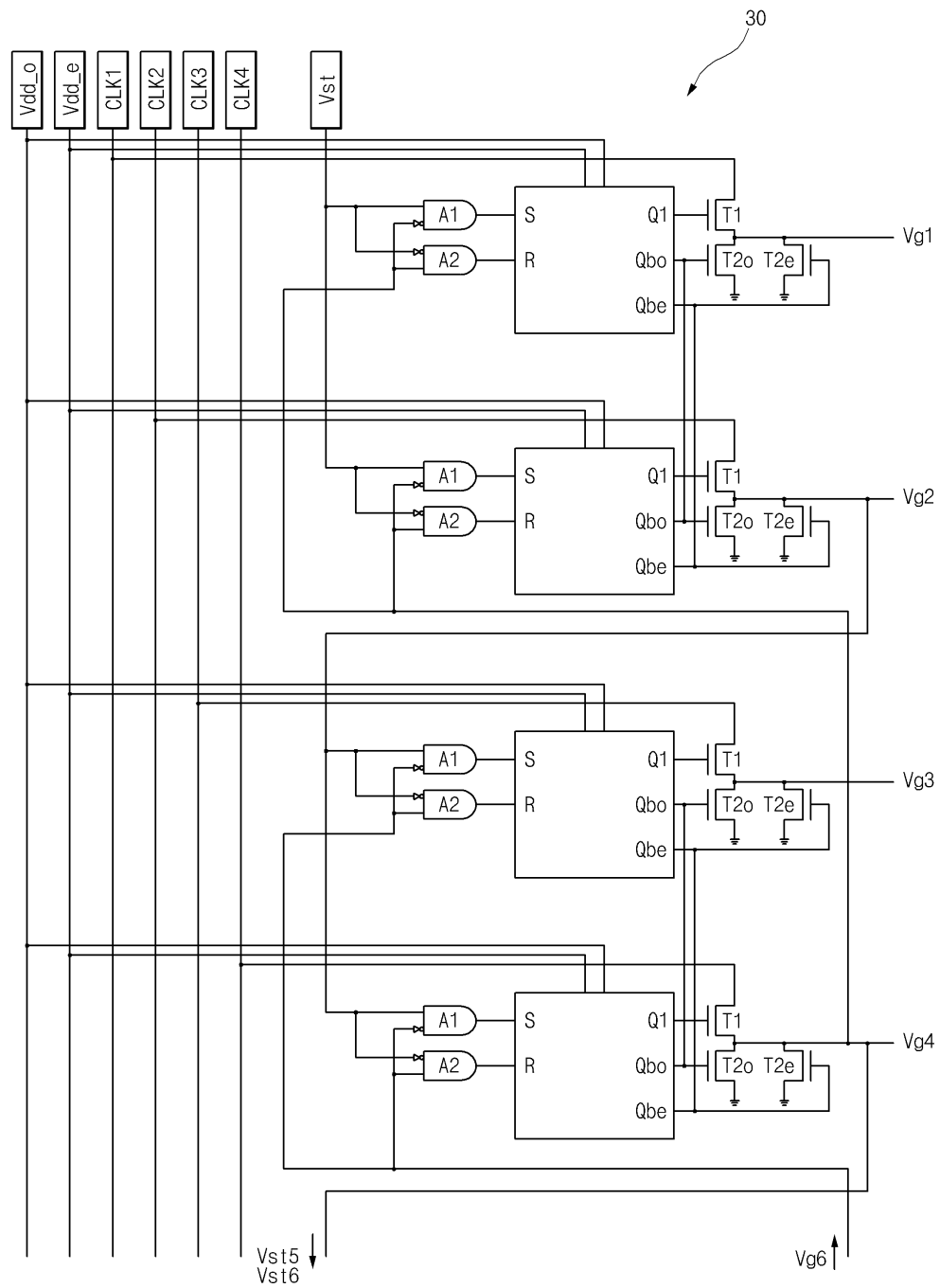
도면2



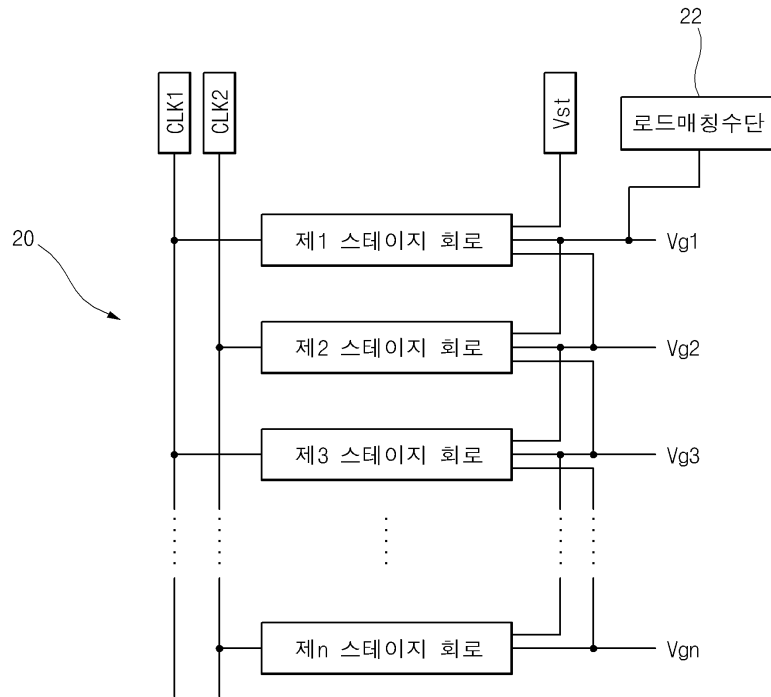
도면3



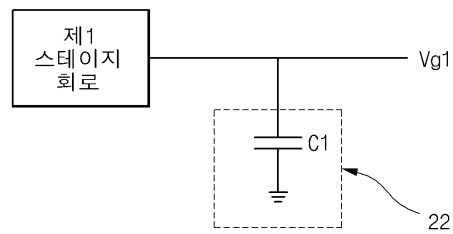
도면4



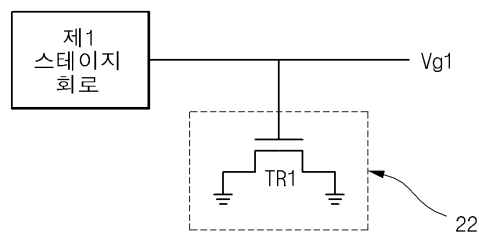
도면5a



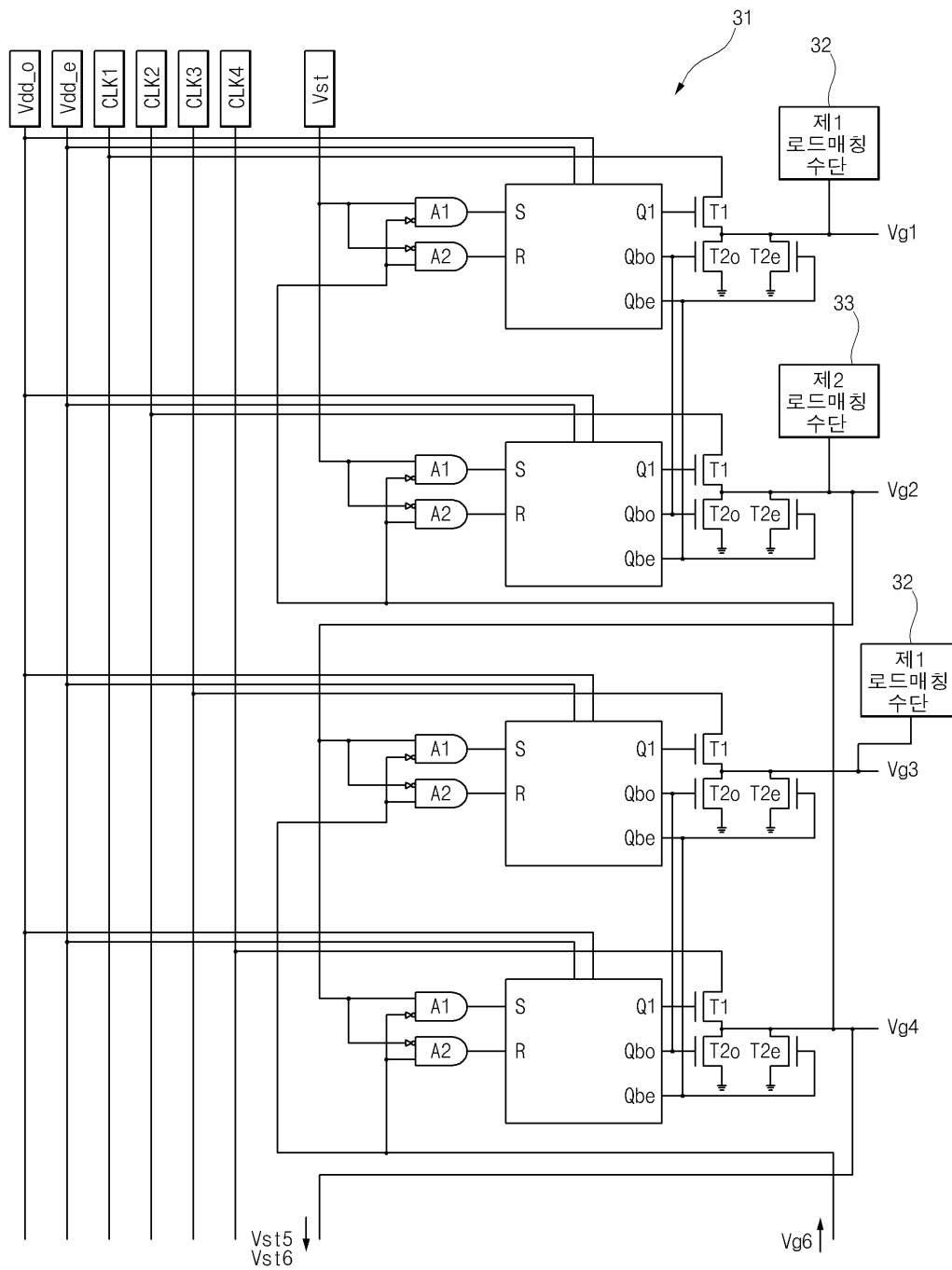
도면5b



도면5c



도면6



专利名称(译)	液晶显示装置的驱动装置		
公开(公告)号	KR1020070118386A	公开(公告)日	2007-12-17
申请号	KR1020060052450	申请日	2006-06-12
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHUN MIN DOO 전민두 JANG YONG HO 장용호 YOON SOO YOUNG 윤수영 CHOI SEUNG CHAN 최승찬		
发明人	전민두 장용호 윤수영 최승찬		
IPC分类号	G09G3/36		
CPC分类号	G02F2001/1635 G09G3/3611 G09G3/3655 G09G2300/0857 G09G2310/0286 G09G2320/0233 H03K19/01742		
其他公开文献	KR101297241B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶显示装置的驱动电路，更具体地说，涉及一种输入2相或4相时钟信号的液晶显示器的驱动门的装置，包括移位中的负载匹配装置输出信号端子中当前驱动的栅极驱动电路的寄存器。根据输出端子的连接结构，将单件或多个负载匹配装置包括在每个级电路中。这防止了调光 (Dim) 故障，其中输出信号的下降沿周期的差异与栅极驱动电路的移位寄存器中配备的多级电路的连接结构不同，与水平线相比显著增加由此产生的不同之处在于，产生特定数量的面积线的亮度，在级电路中减轻了输出端子的负载值的不对称性，并且提高了图像质量。

