



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
G02F 1/1339 (2006.01)

(11) 공개번호 10-2007-0066909
(43) 공개일자 2007년06월27일

(21) 출원번호 10-2006-0131556
(22) 출원일자 2006년12월21일
심사청구일자 2006년12월21일

(30) 우선권주장 JP-P-2005-00371173 2005년12월23일 일본(JP)
JP-P-2006-00240198 2006년09월05일 일본(JP)

(71) 출원인 미쓰비시덴키 가부시키가이샤
일본국 도쿄도 지요다쿠 마루노우치 2초메 7반 3고

(72) 발명자 아라키 토시오
일본국 구마모토 기쿠치군 니시고시마찌 미요시 997 멜코디스플레이 테크놀로지 가부시키가이샤 나이
히라카와 마코토
일본국 구마모토 기쿠치군 니시고시마찌 미요시 997 멜코디스플레이 테크놀로지 가부시키가이샤 나이
나카무라 토모키
일본국 도쿄도 지요다쿠 마루노우치 2초메 7반 3고 미쓰비시덴키가부시키가이샤 나이

(74) 대리인 이화익
권태복

전체 청구항 수 : 총 9 항

(54) 액정표시 소자

(57) 요약

필드 시퀀셜 액정표시 소자와 같이, 화소영역의 액정층 두께가 좁은 구조를 형성할 경우, 종래의 방법으로는 기판 사이에 있는 셀재를 양호하게 경화 형성하는 것이 곤란했다. 화소영역 내에 액정층 두께 조정막을 설치하면 해결되지만, 대향전극과 차광막과의 적층구조가 저해되어, 대향전극의 저항의 증대에 의한 표시 불량 발생한다. 이들 모두의 문제를 해결하는 구조를 제공한다. 화소영역 내에 있어서 앞기판(23) 내면 위에는, 차광막(19)이 설치되고, 그 차광막을 덮도록 액정층 두께 조정막(3)이 설치되며, 그 상층에 ITO막(4)으로 이루어지는 대향전극이 설치되어 있으며, ITO막(4)과 차광막(19)은 액정층 두께 조정막(3)에 설치된 콘택홀(7)을 통해 접속된다.

대표도

도 4

특허청구의 범위

청구항 1.

제1면을 가지고, 화소전극을 구비하는 제1 기관과,

상기 제1면에 대향하는 제2면을 가지고, 상기 제2면의 방향을 향해서 순차 배치된 차광막과, 두께 조정막과, 대향전극을 구비하는 제2 기관과,

상기 제1 기관과 상기 제2 기관을 접합하는 틀 모양의 쉘재와,

상기 제1 기관과 상기 제2 기관과의 사이의 상기 쉘재에 의해 둘러싸이는 영역에 설치된 액정층을 구비하고,

상기 두께 조정막은, 상기 차광막을 덮도록 설치되어, 상기 액정층의 두께를 규정함과 동시에 콘택홀을 가지고,

상기 대향전극은 상기 화소전극과 대향하고, 상기 차광막과 상기 콘택홀을 통해 전기적으로 접속되는 것을 특징으로 하는 액정표시 소자.

청구항 2.

제 1항에 있어서,

상기 콘택홀은, 상기 쉘재로 둘러싸이는 영역에 설치되는 것을 특징으로 하는 액정표시 소자.

청구항 3.

제 1항에 있어서,

상기 제1 기관은 복수의 화소전극을 가지고,

상기 차광막은 상기 복수의 화소전극에 대향하는 영역에 설치된 복수의 개구부를 가지는 것을 특징으로 하는 액정표시 소자.

청구항 4.

제 3항에 있어서,

상기 차광막은 전기적 도전성을 가지고, 상기 개구부 이외의 차광막의 패턴이 연속적으로 연결되어 있는 형상을 가지는 것을 특징으로 하는 액정표시 소자.

청구항 5.

제 3항에 있어서,

상기 두께 조정막은 복수의 상기 콘택홀을 가지고, 이 콘택홀의 수는 상기 화소전극의 수이상인 것을 특징으로 하는 액정표시 소자.

청구항 6.

제 1항에 있어서,

상기 제2 기관은, 상기 대향전극 위에 설치되어 상기 제1 기관에 접촉하는 기둥모양 스페이서를 더 가지는 것을 특징으로 하는 액정표시 소자.

청구항 7.

제 6항에 있어서,

상기 콘택홀은, 상기 기둥모양 스페이서와 중첩하지 않는 위치에 형성되는 것을 특징으로 하는 액정표시 소자.

청구항 8.

제 1항에 있어서,

상기 제1 기관은, 상기 화소전극에 접속된 박막트랜지스터와, 상기 박막트랜지스터에 접속되어 게이트 신호 및 데이터 신호를 각각 공급하는 게이트 배선 및 소스 배선을 더 가지는 것을 특징으로 하는 액정표시 소자.

청구항 9.

제 8항에 있어서,

상기 콘택홀은, 상기 게이트 배선과 대향하고 있는 것을 특징으로 하는 액정표시 소자.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시 소자에 관한 것이며, 특히 상세하게는 필드 시퀀셜 방식의 액정표시 소자에 관한 것이다.

최근, 컬러필터가 불필요한 필드 시퀀셜용 액정표시 소자의 개발이 진행되고 있다. 필드 시퀀셜 방식에 있어서는, RGB 3색의 광원을 고속으로 전환함으로써, 컬러 표시를 행하므로, 통상의 액정표시 소자에서 사용하는 컬러필터를 사용하지 않고, 대신에 Cr막 등으로 이루어지는 차광막과 투명 도전막으로 이루어지는 대향전극을 구비한 대향전극을 사용한다. 여기서 대향전극은 화소 영역 밖으로 까지 연장되어 어레이 기관상에 전극이나 배선과 전기적으로 접속되어 있다.

필드 시퀀셜용 액정표시 소자에는, 고속 응답이 요구되고 있기 때문에, 액정표시 소자를 구성하는 2장의 기관 사이에 봉입하는 액정으로서의 강유전성 액정을 사용한다. 여기에서 액정을 봉입하기 위해서는, 예를 들면, 기관위에 액정을 떨어뜨려 상기 2장의 기관 주변부에 씨일재를 도포하고, 기관을 적층한 후, 열이나 빛으로 씨일재를 경화시켜 액정을 봉입하는 제조 방법이 알려져 있다. 액정 재료로서 강유전성 액정을 사용할 경우, 액정표시 소자를 형성하는 2장의 기관 사이의 액정층의 두께는 통상의 액정층의 두께보다 좁은 1~3 μ m가 최적인 범위가 된다. 그 때문에, 화소영역에 있어서의 액정층의 두께를 균일하게 유지하기 위한 스페이서를 배치하는 경우도 있다.

그러나, 액정층의 두께를 통상보다도 좁게 하기 위해서는 이하의 문제가 있다. 전술한 바와 같이 2장의 기관을 적층시키는 공정에 있어서, 그때 기관간의 갭치 좁으면, 기관 사이에 끼워지고 있는 썬재가 퍼지게 되어, 썬재의 미경화 수지 등이 액정의 봉입 영역까지 확장되므로 액정의 오염이 생기고, 표시 불량에 이르는 것이다. 썬재의 점성을 늘리면 이러한 현상은

일어나지 않지만, 이 경우에는 기관을 적층할 때 셀재가 충분히 찌부러지지 않게 되므로, 패널 주변부에서의 겹이 늘어나게 된다. 그 때문에 화소영역의 주변부와 중앙부 사이에 액정층의 두께가 다르게 되므로, 표시 얼룩을 야기한다는 문제가 있었다.(예를 들면 특허문헌 1참조).

이러한 문제를 해결하기 위해서, 대향기관의 주변부에 도포된 셀재로 둘러싸인 영역에 있어서, 액정층의 두께를 조정하기 위한 액정층 두께 조정막을 설치하고, 그 위에 대향전극을 형성함으로써, 화소영역에 있어서의 액정층의 두께를 좁게한 구조와 셀재의 양호한 경화를 유지하는 기술이 알려져 있다.(예를 들면, 특허문헌 2참조)

[특허문헌 1] 일본국 공개특허공보 특개 2003-280007호(도 6)

[특허문헌 2] 일본국 공개특허공보 특개 2004-264606호(도 4)

발명이 이루고자 하는 기술적 과제

상기의 방법에 의하면, 셀재의 경화에 관한 문제를 피할 수 있음과 동시에, 셀재로 둘러싸인 화소영역에 있어서의 액정층의 두께를 줄일 수 있지만, 그 수단에 기인하는 이하와 같은 문제가 있었다. 즉, 전기의 방법을 채용하면, 대향기관상에 차광막과 대향전극 사이에 액정층 두께 조정막이 되는 절연막을 형성할 필요가 있다. 왜냐하면, 대향전극은 액정에 전압을 인가하기 위해 사용되며, 배향막을 제외하면 최상층(유리 기관으로부터 가장 떨어진 층)에 배치하는 것이 바람직하다. 또 차광막은 기관과의 밀착력이나 반사 방지 효과의 최적화의 관점에서 유리 기관위에 형성하는 것이 바람직하기 때문이다.

그리고, 이러한 구조로는, 전술한 문제를 해결할 수 있지만, 횡 크로스토크라는 다른 불량이 발생한다. 원래 대향전극에 이용되고 있는 투명도전 막의 비저항은 $0.00002\Omega\text{cm}$ 정도이고, 막두께는 $0.1\mu\text{m}$ 정도이기 때문에, 대향전극의 저항은 저저항이라고는 하기 어렵다. 그 때문에 화소영역외에서의 어레이 기관과의 접속 개소로부터 떨어진 개소, 즉 화소영역의 중앙부근에서는, 어레이 기관과의 사이에 대향전극 자체의 저항성분이 가해지게 되어, 횡 크로스토크라 불리는 표시 불량이 생기게 된다. 그러나, 통상의 대향기관에 있어서의 투명도전 막은, 차광막과 같은 저저항인 금속막과 적층되고 있으므로, 저항성분의 증가에 의한 횡 크로스토크 불량을 억제할 수 있게 된다.

그러나 전술한 구조에 의하면, 그 해결수단인 화소 영역내의 절연막 형성에 의해 화소 영역내에서의 대향전극과 차광막의 적층 구조가 저해되므로, 상기 차광막의 저저항인 금속막이 대향전극의 도전성에 충분히 기여하지 않는다. 이 때문에, 대향전극은 고저항이 되어 횡 크로스토크 불량을 야기하게 된다.

본 발명은, 화소 영역의 주변부에 있어서의 셀 형성이 양호하게 행해지고, 액정층의 두께를 줄일 수 있는 구조를 가지는 액정표시 소자에 있어서, 상술한 횡 크로스토크 불량을 억제하고, 양호한 표시 특성을 가지는 액정표시 소자를 제공하기 위한 것이다.

발명의 구성

본 발명은, 2장의 기관이 그 화소영역 외의 주변부에 형성된 셀재에 의해 적층되어 그 내부에 액정을 봉입하여 이루어지는 액정표시 소자에 있어서, 그 2장의 기관의 한쪽은, 투명절연성 기관위에 형성된 금속막을 포함하는 차광막과, 그 차광막을 덮는 액정층 두께 조정막과, 상기 액정층 두께 조정막 위에 형성된 투명도전 막으로 이루어지는 대향전극을 구비한 대향기관이며, 화소영역 내의 상기 영역 내의 상기 액정층 두께 조정막에는 대향전극과 차광막이 접속하기 위한 콘택홀이 적어도 하나 형성되어 있는 것을 특징으로 한다.

본 발명의 실시예에 따른 액정표시 소자의 외관을 도 1에 나타낸다. 도 1에 있어서 도시되는 액정표시 소자는, 한쪽의 기관으로 표시의 관찰측과는 반대측에 위치하는 뒤기관(24)과, 다른 쪽의 기관으로 표시의 관찰측에 위치하는 기관인 앞기관(23)이, 양쪽 기관 사이에 틀 모양으로 형성된 셀재(18)를 통해 함께 적층되고 있으며, 셀재(18)와 양쪽 기관으로 둘러싸인 영역에는 액정이 봉입되어 있는 구조를 가진다. 셀재(18)는 화소 영역(19)보다 외측에 형성되고, 화소 영역(19)내의 뒤기관(24)상의 내면에는 후술하는 TFT가 형성되어 있다.

액정표시 소자에 있어서의 셀재(18)근방에 있어서의 평면도를 도 2(1)에 나타낸다. 또한 도 2(1)에 있어서, B-B선으로 나타낸 개소에 있어서의 앞기관(23)과 뒤기관(24)의 단면도를 도 2(2)에 나타낸다.

이 액정표시 소자는, 필드 시퀀셜 액정표시 소자에 이용되는 것으로, 컬러필터는 구비하고 있지 않다. 이 액정표시 소자는, TFT를 능동 소자로 하는 액티브 매트릭스형 액정표시 소자이며, 기본적으로는, 한 쌍의 투명한 유리 기관(1)이 셀재(18)

를 통해 접합되고, 셀재(18)에 의한 셀부로 둘러싸인 영역에는 액정층(16)이 봉입되고 있다. 한 쌍의 투명한 유리 기판(1)의 서로 마주 향하는 내면 중, 한쪽의 기판, 예를 들면 표시의 관찰자측과는 반대측이다., 뒤측의 기판(이하, 뒤기판이라고 한다)(24)의 내면의 셀재(18) 근방에는, 후술하는 TFT의 구성요소인 게이트 절연막(14)과 패시베이션 막(15) 및 배향막(17)이 형성되어 있다. 한편, 다른 쪽의 기판, 즉 표시의 관찰자측인 앞측의 기판(이하, 앞기판이라고 한다)(23)의 내면에는, 예를 들면 산화크롬(CrOx :x는 정수)과 금속 크롬(Cr)의 적층막으로 이루어지는 전기적 도전성을 가지는 차광막(2)과, 예를 들면 질화 실리콘(SiNx :x는 정수)절연막으로 이루어지는 액정층 두께 조정막(3)과, 예를 들면 ITO등으로 이루어지는 투명도전 막(4)과, 배향막(17)이 설치된 구성으로 되어 있으며, 또한, 셀재(18)를 형성하는 개소에 있어서 액정층 두께 조정막(3)에 오목부(5)가 형성되어 있다.

다음에 뒤기판(24)의 내면에 설치된 TFT와 화소전극에 관하여 설명한다. TFT가 형성된 뒤기판(24)의 내면으로부터 본 평면도를 도 3(1)에 나타낸다. 그리고, 도 3(1)에 있어서 C-C선으로 나타낸 개소에 있어서의 뒤기판(24)의 단면도를 도 3(2)에 나타낸다. 도 3(1),도 3(2)를 참조하여, 뒤기판(24)의 내면에 설치된 TFT(22)는 뒤기판(24)의 기판면에 형성된 공통 CS전극배선(13)이나 게이트 배선(8)과, 이 게이트 배선(8)을 덮어 기판의 대략 전역에 형성된 투명한 게이트 절연막(14)과, 게이트 절연막(14) 위에 게이트 배선(8)과 대향시켜서 형성된 i형 반도체막(9)과, i형 반도체막(9) 위에 n형 반도체막(20)을 통해 형성된 소스 전극(10) 및 드레인 전극(11)과, i형 반도체막(9) 및 소스 전극(10), 드레인 전극(11)을 덮는 패시베이션 막(15)에 의하여 형성되어 있다. 패시베이션 막(15)에는 TFT콘택홀(12)이 설치되어 있다. 복수의 화소전극(21)은, ITO등의 투명도전 막으로 이루어지고 있으며, 패시베이션 막(15)위에 형성되고, 그 일단의 단부에 있어서, TFT콘택홀(12)을 통해, 그 화소전극(21)에 대응하는 TFT(22)의 드레인 전극(11)에 접속되어 있다. 또한, TFT(22)나 패시베이션 막(15)을 덮도록 해서 배향막(17)이 형성되어 있다. 또한 도 3(1)의 F-F선상에 있어서의 게이트 배선(8)위에는 기둥모양 스페이서(6)가 형성되어 있다. 또한, 도 3(1)의 E-E선상에 있어서의 게이트 배선(8)위에 위치하는 대향기판(앞기판(23))에는 후술하는 바와 같이 콘택홀(7)(도시 생략)이 형성되어 있다.

다음에 앞기판(23)에 관하여 설명한다. 우선, 앞기판(23)을 내면으로부터 본 평면도를 도 4(1)에 나타낸다. 또한, 도 4(1)에 있어서 D-D선으로 나타낸 개소의 단면도를 도 4(2)에 나타낸다. 도 4(1)에 있어서, 뒤기판(24)상의 화소전극(21)에 대응하여 대략 사각형으로 천공된 개구부(2a)가 매트릭스 모양으로 배치된 차광막(2)위에, 도 4(2)에 나타나 있는 바와 같이, SiNx 막 등으로 이루어지는 액정층 두께 조정막(3)이 피복하도록 형성되며, 또한 액정층 두께 조정막(3)위에 대향전극인 투명도전성의 ITO막(4)이 설치되어 있다. ITO막(4)은 액정층 두께 조정막(3)에 설치된 콘택홀(7)을 통해 상기 차광막(2)과 전기적으로 접속되어 있다. 차광막(2)의 패턴은 개구부(2a)의 영역 이외에서는 연속적으로 연결된 형상이 되고 있다. ITO막(4)위에는 감광성 수지막으로 이루어지는 기둥모양 스페이서(6)가 형성되어 있다. 여기에서, 기둥 모양 스페이서(6)가 콘택홀(7)과 중첩하면 액정층의 두께를 균일하게 유지하는 것이 곤란하게 되므로, 예를 들면 도 4(1)에 나타나 있는 바와 같이 배치함으로써 양자가 중첩하지 않도록 형성하면 된다. 또한 이 위에 배향막(17)이 도포 형성되어 있다.

다음에 본 발명의 특징이 되는 앞기판(23)의 실시예에 있어서의 제조 방법에 대해서, 도 5(1)~ 도 5(5)를 사용하여 설명한다. 여기에서, 도 5(1)~도 5(5)는, 도 4(2)에 해당하는 개소에 있어서의 공정단면도이다. 우선, 도 5(1)에 있어서 투명성 유리 절연 기판(1)위에, 스퍼터링법 등을 사용하여 막두께 10nm의 CrOx , 막두께 150nm의 Cr를 연속 성막하고, 사진제판 프로세스후, 에칭, 레지스트 박리처리를 행하고, 차광막(2)의 패턴을 형성한다. 또한, 차광막의 밀도를 높이고, 차광 효과를 개선하기 위해서, Cr 대신에 질화 크롬(CrNx)을 사용하여, CrOx 와 CrNx 와의 적층구조로 해도 된다. 이 경우에는, Cr에 비하여, 얇은 막두께로 충분한 차광 효과를 얻을 수 있다.

다음에 도 5(2)에 있어서, SiNx (질화 실리콘)막을 막두께 700nm성막하고, 사진제판 프로세스후에 에칭, 레지스트 박리처리를 행하고, 액정층 두께 조정막(3) 및 콘택홀(7)을 형성한다. 이 때, 도 2(2)에 나타나 있는 바와 같이 셀재(18)를 형성하는 위치의 바로 아래부의 SiNx 막을 제거하여 오목부(5)를 형성해도 된다.

다음에 도 5(3)에 있어서, 대향전극이 되는 ITO막을 스퍼터링법 등을 사용하여 전체면에 성막한다. 이 때, 차광막(2)과 ITO막(4)이 콘택홀(7)을 통해 전기적으로 전도하도록 형성함으로써 대향전극의 전기 저항을 줄일 수 있다. 여기에서, 차광막(2)과 ITO막(4)을 접속하는 콘택홀(7)의 면적을 더욱 크게 하기 위해서, 예를 들면 차광막(2)상의 액정층 두께 조정막(3)을 전부 제거해도 되지만, 그 경우는 에칭 시간이 증대하여 생산성이 저하되는 문제가 있다. 한편, 본 실시예와 같이, 콘택홀(7)을 개구하는 경우에는, 에칭에 필요한 면적의 증가를 억제할 수 있고, 에칭시간도 단축할 수 있다는 효과가 있다. 또한 일반적인 경우, 대향전극의 전기 저항을 줄이기 위하여 콘택홀(7)을 여러개 형성하는 것만으로 충분하다.

다음에 도 5(4)에 있어서, 감광성 수지막(도시 생략)을 막두께 $2\mu\text{m}$ 정도 도포하고, 사진제판 프로세스후에, 미리 정한 높이(예를 들면 $1.5\mu\text{m}$)를 가지는 기둥 모양 스페이서(6)를 형성했다. 앞기판(23)에 있어서, 표시 화소영역내의 액정층 두께 조정막(3)에는, 대향전극인 ITO막(4)과 차광막(2)이 전기적으로 접속하기 위한 콘택홀(7)이 적어도 하나는 형성되도록 했다. 마지막으로 도 5(5)에 있어서, 배향막(17)을 도포 형성하여 본 발명의 실시예에 따른 앞기판(23)을 완성시켰다.

이상, 뒤기관(24)과 앞기관(23)에 대하여 설명을 행했지만, 여기에서, 기둥 모양 스페이서(6)와 절재(18)를 사용하여 양쪽 기관을 서로 대향시켜서 도 1이나 도 2에 나타내는 바와 같이, 서로 적층했을 경우의, 앞기관(23)위에 형성된 콘택홀(7)의 형성위치와, 뒤기관(24)위에 형성된 TFT(22)와의 위치관계를 명확하게 하기 위해, 도 3(1)의 E-E선으로 나타낸 개소에 있어서의 앞기관(23)과 뒤기관(24)의 단면도를 도 6(1)에 나타낸다. 도 3(1) 및 도 6(1)에 나타나 있는 바와 같이, 앞기관(23)의 콘택홀(7)은, 뒤기관(24)에 있어서 표면형상이 왜곡된 TFT(22)위에 상대하여 형성하는 것보다도, 표면이 평탄한 게이트 배선(8)위에 상대하여 형성하는 것이 바람직하다. 이는 배향막(17)의 러빙 처리에 의해 배향 제어가 확실해지기 때문이다.

다음에 앞기관(23)상의 기둥 모양 스페이서(6)의 형성 위치와, TFT(22)와의 위치 관계를 명확하게 하기 위해, 도 3(1)의 F-F선으로 나타낸 개소에 있어서의 앞기관(23)과 뒤기관(24)의 단면도를 도 6(2)에 나타낸다. 도 3(1) 및 도 6(2)에 나타나 있는 바와 같이, 앞기관(23)의 기둥 모양 스페이서(6)는, 뒤기관(24)의 표면형상이 왜곡된 TFT(22)위에 대향하여 형성하는 것보다도, 평탄한 게이트 배선(8)에 상대하여 형성하는 것이 좋다. 액정층 두께를 용이하게 제어할 수 있는 효과를 나타내기 때문이다.

또한, 앞기관(23)상의 차광막(2)에 형성된 개구부(2a)와, 뒤기관(24)상의 화소전극(21)과의 위치 관계를 명확히 하기 위해서, 도 4(1)의 D-D선으로 나타낸 개소에 있어서의 앞기관(23)과 뒤기관(24)의 단면도를 도 7에 나타낸다. 앞기관(23)과 뒤기관(24)과의 사이에는 상기한 바와 같이, 절재(18)가 끼워지고, 기둥 모양 스페이서(6)가 뒤기관(24)의 내면에 닿아 액정층 두께가 확보되고 있다. 콘택홀(7)과 기둥 모양 스페이서(6)는 따로 따로의 위치에서 중첩하지 않도록 형성된다. 또한 뒤기관(24)상의 화소전극(21)의 위치는, 앞기관(23)의 차광막(2)의 개구부(2a)에 상대하는 위치에 형성됨과 동시에, 이 위치에 있어서 끼워지는 액정층(16)의 두께 d(대향하는 앞기관(23)과 뒤기관(24)과의 내면의 거리:갭)는, 주로 절재(18)와 액정층 두께 조정막(3)을 반영한 상태로 규정된다.

이와 같이 하여 콘택홀(7)에 의한 전기적 접속부를 형성했을 경우의 대향전극의 전기 저항을 측정한 바, 콘택홀(7)이 없는 경우, 즉 대향전극이 ITO막(4)에만 형성되어 있는 경우에 비하여, 1/10에서 1/100정도의 낮은 전기 저항값을 얻을 수 있었다. 이와 같이 ITO막(4)만으로 형성되어 있는 경우에 비하여 낮은 전기 저항값을 얻기 위해서는, 차광막(2)을 ITO막(4)보다도 낮은 전기 저항값을 가지는 재료로 형성하는 것이 바람직하다. 이 앞기관(23)과 뒤기관(24)과의 사이에 틀모양 절재(18)를 형성하고, 액정(16)을 봉입하여 서로 적층함으로써 형성한 액정표시 소자에 있어서는, 액정오염이나 주변 갭 불량이나, 대향전극의 전기 저항이 증대하는 것으로 발생하는 횡 크로스토크 표시 불량도 일어나지 않았다.

또한 표시 화소영역내의 액정층 두께 조정막(3)에는, 대향전극인 ITO막(4)과 차광막(2)이 접속하기 위한 콘택홀(7)이 적어도 하나는 형성되도록 하면 되지만, 도 4(1)에 나타나 있는 바와 같이 표시화소 영역 내의 복수의 화소전극(21)의 각각에 대응하여 적어도 하나 이상을 형성해 두는 것이 더욱 바람직하다. 이 경우에는, 개개의 화소전극(21)에 대응한 개개의 대향전극(2, 4)의 전기 저항값을 화소표시 영역 내에서 거의 일정하게 할 수 있기 때문에, 상기 횡 크로스 토크 표시불량의 변동에 기인하는 표시 얼룩을 억제할 수 있고, 표시 불량의 마진을 높일 수 있다는 효과를 나타낸다.

또한 본 실시예에 있어서는, 액정층 두께 조정막(3)으로서 700nm두께의 SiNx막을 형성하도록 했지만, 이에 한정하지 않고, 다른 투명성 절연막, 예를 들면 SiOx막 등을 사용해도 된다. 또 투명절연성의 수지막을 도포하여 형성해도 좋다. 이 경우에는, 액정층 두께 조정막(3)의 표면을 평탄화할 수 있기 때문에, 적어도 화소전극(21)에 대향하는 영역의 액정층(16)의 두께를 균일하게 할 수 있음과 동시에, 배향막(17)의 러빙을 일정하게 처리하는 것이 가능하게 되므로, 표시 품질을 향상시킨다는 효과를 나타낸다. 또한, 감광성을 가지는 수지막을 사용함으로써, 사진제판 프로세스를 사용하여 용이하게 콘택홀(7)을 형성할 수 있다.

본 발명에 따른 액정표시 소자에 있어서는, 액정층 두께 조정막(3)을 형성하고 있기 때문에, 화소영역(19)안의 액정층의 두께가 좁은 경우에도 절재(18)형성에 따른 액정오염이나 주변 갭 불량이 발생하지 않지만, 그뿐 아니라, 화소영역(19)안에 있어서 액정층 두께 조정막(3)에 설치한 콘택홀(7)을 통해 ITO막(4)과 차광막(2)을 접속하는 개소를 설치하고 있으므로, 대향전극의 저항의 증대에 의한 표시 불량도 발생하지 않는다는 효과를 얻을 수 있었다.

발명의 효과

본 발명에 따른 액정표시 소자는, 대향기관의 화소영역 내에 절연막을 형성한 후, 대향전극의 투명도전 막과 차광막과의 접속 개소를 화소영역 내에 형성함으로써, 화소영역내에 있어서의 액정층의 두께를 좁게한 구조를 구비하면서, 액정오염, 주변 갭 불량, 횡 크로스 토크가 없는 양호한 표시 특성을 가지는 효과를 나타낸다.

도면의 간단한 설명

도 1은 본 발명의 일 실시예를 나타내는 액정표시 소자의 외관이다.

도 2는 본 발명의 일 실시예를 나타내는 액정표시 소자의 썰재근방에 있어서의 평면도와 단면도이다.

도 3은 본 발명의 일 실시예를 나타내는 액정표시 소자의 뒤기판의 평면도와 단면도이다.

도 4는 본 발명의 일 실시예를 나타내는 액정표시 소자 앞기판의 평면도와 단면도이다.

도 5는 본 발명의 일 실시예를 나타내는 액정표시 소자 앞기판의 공정단면도이다.

도 6은 본 발명의 일 실시예를 나타내는 액정표시 소자 앞기판과 뒤기판의 단면도이다.

도 7은 본 발명의 일 실시예를 나타내는 액정표시 소자 앞기판과 뒤기판의 단면도이다.

[도면의 주요부분에 대한 부호의 설명]

1 : 유리 기판 2 : 차광막

2a : 차광막의 개구부 3 : 액정층 두께 조정막

4 : ITO막 5 : 오목부

6 : 기둥 모양 스페이서 7 : 콘택홀

8 : 게이트 배선 9 : i형 반도체막

10 : 소스 배선 11 : 드레인 전극

12 : TFT콘택홀 13 : 공통 CS전극배선

14 : 게이트 절연막 15 : 패시베이션 막

16 : 액정 17 : 배향막

18 : 썰재 19 : 화소영역

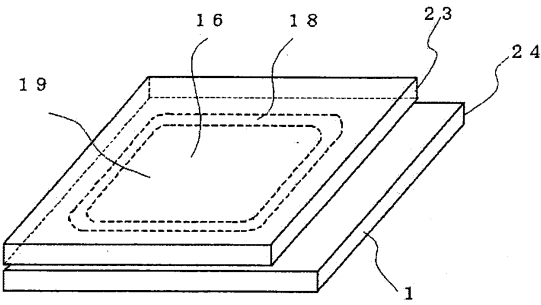
20 :: n형 반도체막 21 : 화소전극

22 : TFT 23 : 앞기판

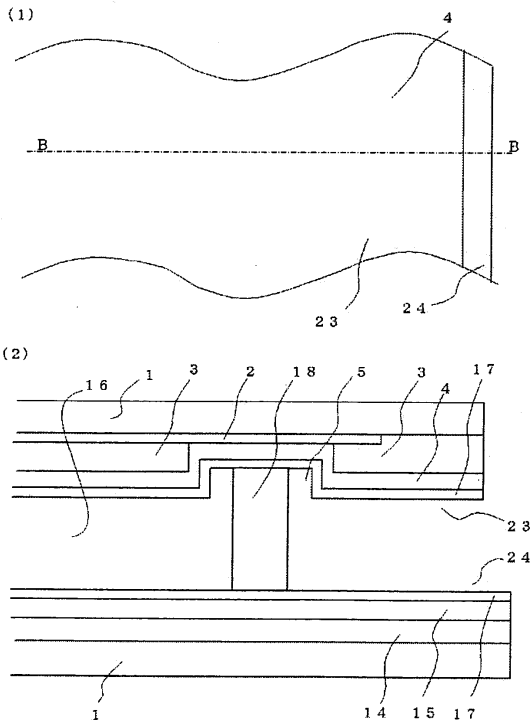
24 : 뒤기판

도면

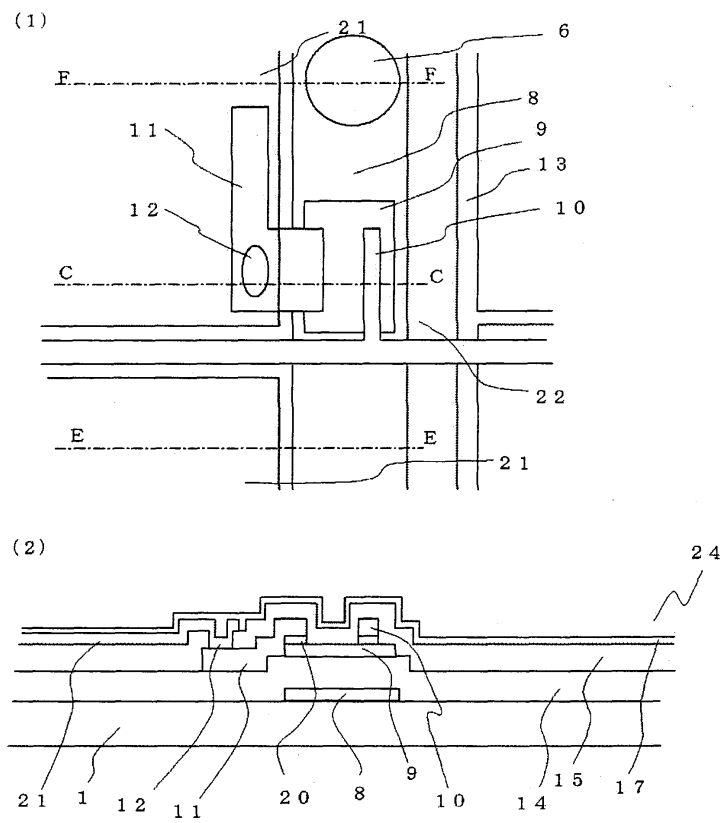
도면1



도면2

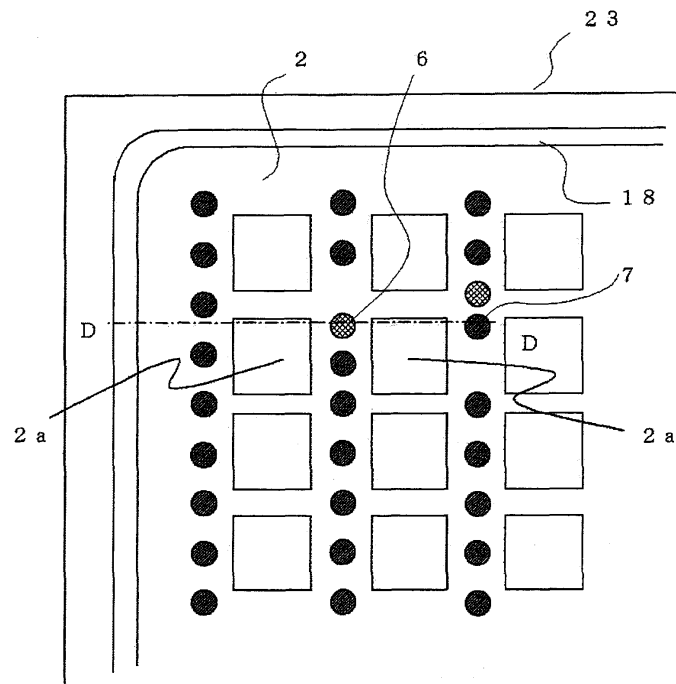


도면3

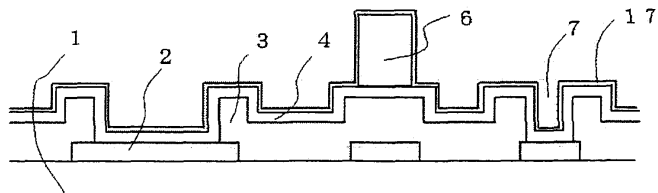


도면4

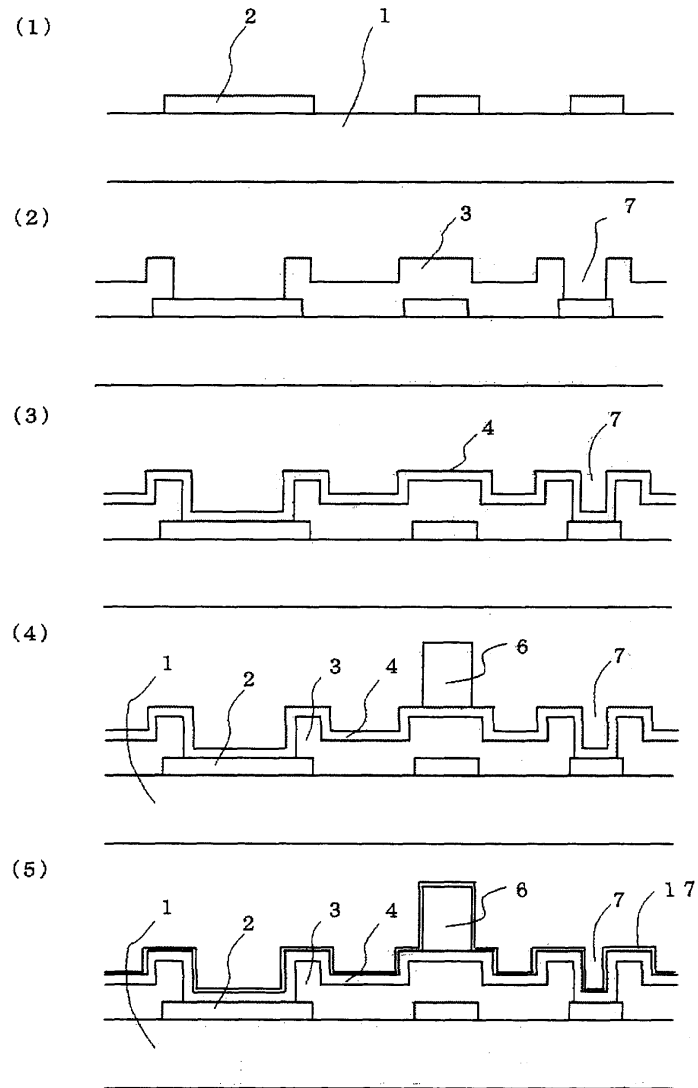
(1)



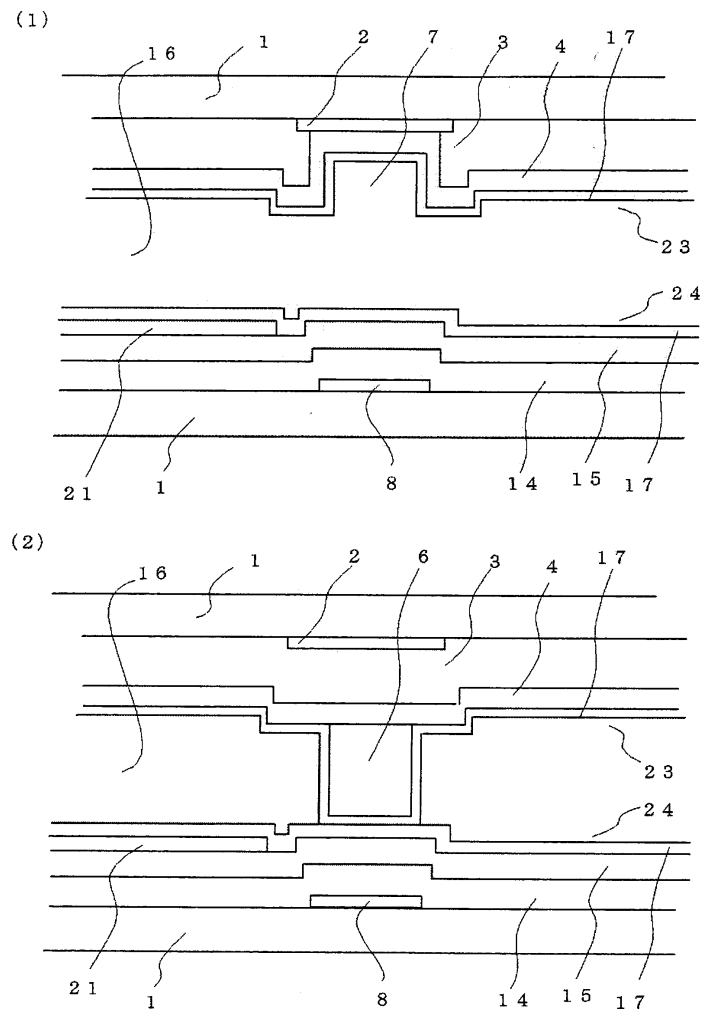
(2)



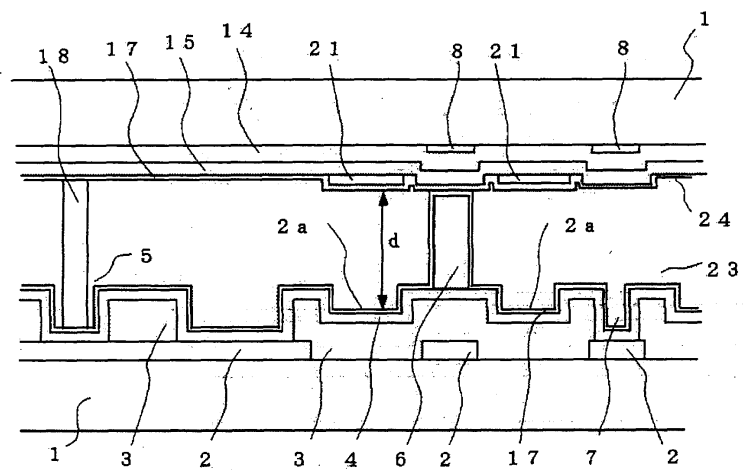
도면5



도면6



도면7



专利名称(译)	液晶显示元件		
公开(公告)号	KR1020070066909A	公开(公告)日	2007-06-27
申请号	KR1020060131556	申请日	2006-12-21
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机有限公司		
[标]发明人	ARAKI TOSHIO 아라키토시오 HIRAKAWA MAKOTO 히라카와마코토 NAKAMURA TOMOKI 나카무라토모키		
发明人	아라키토시오 히라카와마코토 나카무라토모키		
IPC分类号	G02F1/1339		
CPC分类号	G02F1/1339 G02F1/13394 G02F1/1345		
代理人(译)	권태복 Yihwaik		
优先权	2005371173 2005-12-23 JP 2006240198 2006-09-05 JP		
其他公开文献	KR100795854B1		
外部链接	Espacenet		

摘要(译)

用途：通过在像素区域形成密封剂，提供LCD（液晶显示器）以减小液晶层的厚度并抑制水平串扰缺陷。组成：第一基板具有第一表面和像素电极。第二基板具有与第一表面相对的第二表面，并且包括遮光层，厚度控制层和朝向第二表面顺序布置的相对电极。密封剂（18）将第一和第二基板粘合成框架形状。液晶层安装在由密封剂封装的区域中以及第一和第二基板之间。厚度控制层覆盖光屏蔽层，限定液晶层的厚度并具有接触孔（7）。相对电极位于像素电极的对面，并通过接触孔与遮光层电接触。©KIPO 2007

