



(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2007-0003572  
G02F 1/136 (2006.01) (43) 공개일자 2007년01월05일

(21) 출원번호 10-2006-0056040  
(22) 출원일자 2006년06월21일  
심사청구일자 없음

(30) 우선권주장 JP-P-2005-00191078 2005년06월30일 일본(JP)

(71) 출원인 가부시킴가이샤 한도오따이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 후지카와 사이시  
일본국 243-0036 가나가와켄 아쓰기시 하세 398 가부시킴가이샤한도  
오따이 에네루기 켄큐쇼 내  
호소야 쿠니오  
일본국 243-0036 가나가와켄 아쓰기시 하세 398 가부시킴가이샤한도  
오따이 에네루기 켄큐쇼 내

(74) 대리인 황의만

전체 청구항 수 : 총 42 항

(54) 액정 표시장치 및 그의 제작방법

(57) 요약

본 발명에서는, 액티브 매트릭스 기관과 대향 기관을 부착시킬 때 정밀도 높은 위치맞춤이 불필요하고, 또한, 전극으로부터 액정에 대한 전계의 인가에 영향을 주지 않는 액정 표시장치 및 그의 제작방법을 제공하는 것을 목적으로 한다. 본 발명의 액정 표시장치는, 차광막 및 착색막이 형성된 기관 위에, 다수의 TFT 및 배선 등으로 구성되는 구동회로와, 다수의 TFT, 배선, 및 화소 전극 등으로 구성되는 화소부 등이 일체 형성된 액티브 매트릭스 기관을 사용하여 형성되는 것을 특징으로 하고, 이와 같은 액티브 매트릭스 기관과 대향 기관과의 사이에 액정이 주입된 구성을 가진다.

대표도

도 1

특허청구의 범위

청구항 1.

기관 위에 형성된 차광막 및 착색막;

상기 차광막 및 착색막 위에 형성된 절연막;

상기 절연막 위에 형성된 박막트랜지스터; 및

상기 박막트랜지스터에 전기적으로 접속된 화소 전극을 포함하는 것을 특징으로 하는 표시장치.

## 청구항 2.

기관 위에 형성된 차광막 및 착색막;

상기 차광막 및 착색막 위에 형성된 절연막; 및

상기 절연막 위에 형성된 박막트랜지스터, 화소 전극 및 공통 전극을 포함고;

상기 박막트랜지스터가 상기 화소 전극에 전기적으로 접속되어 있는 것을 특징으로 하는 표시장치.

## 청구항 3.

제 1 항에 있어서, 상기 착색막이 상기 차광막의 단부를 덮고 있는 것을 특징으로 하는 표시장치.

## 청구항 4.

제 2 항에 있어서, 상기 착색막이 상기 차광막의 단부를 덮고 있는 것을 특징으로 하는 표시장치.

## 청구항 5.

제 1 항에 있어서, 상기 차광막이 금속 재료, 착색 안료 또는 착색제를 함유하는 절연막, 수지 BM, 카본 블랙, 또는 레지스트를 포함하는 것을 특징으로 하는 표시장치.

## 청구항 6.

제 2 항에 있어서, 상기 차광막이 금속 재료, 착색 안료 또는 착색제를 함유하는 절연막, 수지 BM, 카본 블랙, 또는 레지스트를 포함하는 것을 특징으로 하는 표시장치.

## 청구항 7.

제 1 항에 있어서, 상기 착색막이 감광성 수지, 레지스트, 또는 착색 안료를 함유하는 절연막을 포함하는 것을 특징으로 하는 표시장치.

## 청구항 8.

제 2 항에 있어서, 상기 착색막이 감광성 수지, 레지스트, 또는 착색 안료를 함유하는 절연막을 포함하는 것을 특징으로 하는 표시장치.

**청구항 9.**

제 1 항에 있어서, 상기 표시장치가 액정 표시장치인 것을 특징으로 하는 표시장치.

**청구항 10.**

제 2 항에 있어서, 상기 표시장치가 액정 표시장치인 것을 특징으로 하는 표시장치.

**청구항 11.**

제 1 항에 있어서, 상기 화소 전극이 상기 착색막과 겹쳐 있는 것을 특징으로 하는 표시장치.

**청구항 12.**

제 2 항에 있어서, 상기 화소 전극 및 상기 공통 전극이 상기 착색막과 겹쳐 있는 것을 특징으로 하는 표시장치.

**청구항 13.**

제 1 항에 있어서, 상기 박막트랜지스터가 게이트 전극, 게이트 절연막, 반도체막, 소스 전극, 및 드레인 전극을 포함하는 것을 특징으로 하는 표시장치.

**청구항 14.**

제 2 항에 있어서, 상기 박막트랜지스터가 게이트 전극, 게이트 절연막, 반도체막, 소스 전극, 및 드레인 전극을 포함하는 것을 특징으로 하는 표시장치.

**청구항 15.**

제 13 항에 있어서, 상기 반도체막이, 규소 또는 규소 게르마늄을 주성분으로 하는 비정질 반도체, 비정질 상태와 결정 상태가 혼재한 세미아모르퍼스 반도체, 결정 구조를 가진 반도체로 이루어진 군에서 선택된 반도체로 형성된 것을 특징으로 하는 표시장치.

**청구항 16.**

제 14 항에 있어서, 상기 반도체막이, 규소 또는 규소 게르마늄을 주성분으로 하는 비정질 반도체, 비정질 상태와 결정 상태가 혼재한 세미아모르퍼스 반도체, 결정 구조를 가진 반도체로 이루어진 군에서 선택된 반도체로 형성된 것을 특징으로 하는 표시장치.

**청구항 17.**

제 13 항에 있어서, 상기 반도체막 위에 형성되고 게이트 전극과 겹쳐 있는 절연체를 더 포함하는 것을 특징으로 하는 표시장치.

**청구항 18.**

제 14 항에 있어서, 상기 반도체막 위에 형성되고 게이트 전극과 겹쳐 있는 절연체를 더 포함하는 것을 특징으로 하는 표시장치.

**청구항 19.**

제 17 항에 있어서, 상기 절연체의 두께가 소스 전극 및 드레인 전극 각각의 두께보다 두꺼운 것을 특징으로 하는 표시장치.

**청구항 20.**

제 18 항에 있어서, 상기 절연체의 두께가 소스 전극 및 드레인 전극 각각의 두께보다 두꺼운 것을 특징으로 하는 표시장치.

**청구항 21.**

제 17 항에 있어서, 상기 절연체 위에 차광체가 형성되어 있는 것을 특징으로 하는 표시장치.

**청구항 22.**

제 18 항에 있어서, 상기 절연체 위에 차광체가 형성되어 있는 것을 특징으로 하는 표시장치.

**청구항 23.**

제 21 항에 있어서, 상기 차광체가 보조 배선을 통해 게이트 전극에 전기적으로 접속되어 있는 것을 특징으로 하는 표시장치.

**청구항 24.**

제 22 항에 있어서, 상기 차광체가 보조 배선을 통해 게이트 전극에 전기적으로 접속되어 있는 것을 특징으로 하는 표시장치.

**청구항 25.**

제 23 항에 있어서, 상기 보조 배선이 상기 화소 전극과 동일한 재료로 형성되어 있는 것을 특징으로 하는 표시장치.

**청구항 26.**

제 24 항에 있어서, 상기 보조 배선이 상기 화소 전극과 동일한 재료로 형성되어 있는 것을 특징으로 하는 표시장치.

### 청구항 27.

기판 위에 차광막 및 착색막을 형성하는 공정;

상기 차광막 및 착색막 위에 절연막을 형성하는 공정;

상기 절연막 위에 게이트 전극을 형성하는 공정;

상기 게이트 전극 위에 게이트 절연막을 형성하는 공정;

상기 게이트 절연막 위에 제1 반도체막을 형성하는 공정;

상기 제1 반도체막 위에 절연체를 형성하는 공정;

상기 제1 반도체막 위에 상기 절연체에 의해 분리된 제2 반도체막을 형성하는 공정;

상기 제2 반도체막 위에 상기 절연체에 의해 분리된 소스 전극 및 드레인 전극을 형성하는 공정; 및

상기 소스 전극과 드레인 전극 중 적어도 하나에 전기적으로 접속된 화소 전극을 형성하는 공정을 포함하는 특징으로 하는 표시장치 제작방법.

### 청구항 28.

기판 위에 차광막 및 착색막을 형성하는 공정;

상기 차광막 및 착색막 위에 절연막을 형성하는 공정;

상기 절연막 위에 게이트 전극 및 공통 전극을 형성하는 공정;

상기 게이트 전극 및 공통 전극 위에 게이트 절연막을 형성하는 공정;

상기 게이트 절연막 위에 제1 반도체막을 형성하는 공정;

상기 제1 반도체막 위에 절연체를 형성하는 공정;

상기 제1 반도체막 위에 상기 절연체에 의해 분리된 제2 반도체막을 형성하는 공정;

상기 제2 반도체막 위에 상기 절연체에 의해 분리된 소스 전극, 드레인 전극 및 차광체를 형성하는 공정; 및

상기 소스 전극과 드레인 전극 중 적어도 하나에 전기적으로 접속된 화소 전극을 형성하는 공정을 포함하는 특징으로 하는 표시장치 제작방법.

### 청구항 29.

제 27 항에 있어서, 상기 착색막이 상기 차광막의 단부를 덮고 있는 것을 특징으로 하는 표시장치 제작방법.

### 청구항 30.

제 28 항에 있어서, 상기 착색막이 상기 차광막의 단부를 덮고 있는 것을 특징으로 하는 표시장치 제작방법.

**청구항 31.**

제 27 항에 있어서, 상기 차광막이 금속 재료, 착색 안료 또는 착색제를 함유하는 절연막, 수지 BM, 카본 블랙, 또는 레지스트를 포함하는 것을 특징으로 하는 표시장치 제작방법.

**청구항 32.**

제 28 항에 있어서, 상기 차광막이 금속 재료, 착색 안료 또는 착색제를 함유하는 절연막, 수지 BM, 카본 블랙, 또는 레지스트를 포함하는 것을 특징으로 하는 표시장치 제작방법.

**청구항 33.**

제 27 항에 있어서, 상기 착색막이 감광성 수지, 레지스트, 또는 착색 안료를 함유하는 절연막을 포함하는 것을 특징으로 하는 표시장치 제작방법.

**청구항 34.**

제 28 항에 있어서, 상기 착색막이 감광성 수지, 레지스트, 또는 착색 안료를 함유하는 절연막을 포함하는 것을 특징으로 하는 표시장치 제작방법.

**청구항 35.**

제 27 항에 있어서, 상기 표시장치가 액정 표시장치인 것을 특징으로 하는 표시장치 제작방법.

**청구항 36.**

제 28 항에 있어서, 상기 표시장치가 액정 표시장치인 것을 특징으로 하는 표시장치 제작방법.

**청구항 37.**

제 27 항에 있어서, 상기 화소 전극이 상기 착색막과 겹쳐 있는 것을 특징으로 하는 표시장치 제작방법.

**청구항 38.**

제 28 항에 있어서, 상기 화소 전극 및 상기 공통 전극이 상기 착색막과 겹쳐 있는 것을 특징으로 하는 표시장치 제작방법.

**청구항 39.**

제 27 항에 있어서, 상기 제1 반도체막이, 규소 또는 규소 게르마늄을 주성분으로 하는 비정질 반도체, 비정질 상태와 결정 상태가 혼재한 세미아모르퍼스 반도체, 결정 구조를 가진 반도체로 이루어진 군에서 선택된 반도체로 형성된 것을 특징으로 하는 표시장치 제작방법.

#### 청구항 40.

제 28 항에 있어서, 상기 제1 반도체막이, 규소 또는 규소 게르마늄을 주성분으로 하는 비정질 반도체, 비정질 상태와 결정 상태가 혼재한 세미아모르퍼스 반도체, 결정 구조를 가진 반도체로 이루어진 군에서 선택된 반도체로 형성된 것을 특징으로 하는 표시장치 제작방법.

#### 청구항 41.

제 27 항에 있어서, 상기 화소 전극이 투명 도전막으로 이루어진 것을 특징으로 하는 표시장치 제작방법.

#### 청구항 42.

제 28 항에 있어서, 상기 화소 전극이 투명 도전막으로 이루어진 것을 특징으로 하는 표시장치 제작방법.

#### 명세서

### 발명의 상세한 설명

#### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액티브 매트릭스형 액정 표시장치 및 그의 제작방법에 관한 것이다.

종래부터, 박막트랜지스터(TFT) 등의 능동 소자를 사용한 액티브 매트릭스형 액정 표시장치가 알려져 있다. 액티브 매트릭스형 액정 표시장치는 화소 밀도를 높게 할 수 있고, 소형 경량이며, 또한 저소비전력이기 때문에, CRT를 대신하는 플랫패널 디스플레이의 하나로써, 퍼스널 컴퓨터의 모니터, 액정 TV, 자동차 내비게이션 시스템의 모니터 등의 제품이 개발되고 있다.

액정 표시장치에서는, 다수의 TFT 및 배선으로 구성된 구동회로(소스 신호선 구동회로, 게이트 신호선 구동회로 등)와, 다수의 TFT, 배선, 및 화소 전극(개별 전극)으로 구성된 화소부 등이 형성된 기관(액티브 매트릭스 기관)과, 대향 전극(공통 전극), 차광막, 및 착색막(컬러 필터) 등이 형성된 기관(대향 기관)을 서로 부착하고, 이들의 사이에 액정을 주입하고, 화소 전극과 대향 전극과의 사이에 인가되는 전계에 의해 액정 분자를 배향시키고 있다.

그러나, 액티브 매트릭스 기관과 대향 기관을 부착할 때, 정밀도 좋게 위치를 맞추어야 할 필요가 있고, 그러한 위치맞춤이 충분하지 않으면 액티브 매트릭스 기관 위의 화소 전극과 대향 기관 위의 착색막과의 사이에서 위치가 어긋나는 일이 생기고, 표시 시에 화상에 색 어긋남이나 흐리게 보이는 일이 생기는 문제가 있었다.

이것에 대하여, 대향 기관 위에 형성되어 있던 착색막을 액티브 매트릭스 기관의 화소 전극 위에 형성함으로써, 양 기관을 부착할 때 정밀도 좋게 위치를 맞추는 필요가 없고 색이 배어나오는 일이 없이 균일하고 밝은 표시를 얻을 수 있는 액정 표시장치가 보고되어 있다(예를 들어, 일본국 공개특허공고 2000-175198호 공보).

##### 발명이 이루고자 하는 기술적 과제

그러나, 상기 문헌의 액정 표시장치와 같이 화소 전극 위에 착색막이 형성되는 구성으로 하면, 화소 전극과 액정과의 사이에 유전체가 끼워지는 구조가 되기 때문에, 전극으로부터 액정에 대하여 인가되는 전계가 저해된다는 문제가 발생한다. 따라서, 본 발명에서는, 액티브 매트릭스 기관과 대향 기관을 부착할 때의 정밀도 높은 위치맞춤이 필요하지 않고, 또한 전극으로부터 액정에 대한 전계의 인가에 영향을 주지 않는 액정 표시장치 및 그의 제작방법을 제공하는 것을 목적으로 한다.

## 발명의 구성

본 발명의 액정 표시장치는, 차광막 및 착색막이 형성된 기판 위에, 다수의 TFT 및 배선 등으로 구성되는 구동회로와, 다수의 TFT, 배선, 및 화소 전극 등으로 구성되는 화소부 등이 일체로 형성된 액티브 매트릭스 기판을 사용하여 형성되는 것을 특징으로 하고, 이와 같은 액티브 매트릭스 기판과 대향 기판과의 사이에 액정이 주입된 구성을 가진다.

또한, 본 발명에서는, 상기 구성에서, 대향 기판측에 대향 전극(공통 전극)이 형성되는 구성으로 할 수 있지만, 액티브 매트릭스 기판의 화소부에 대향 전극(공통 전극)이 포함되는 구성으로 함으로써, 인 플레인 스위칭(IPS: In-Plane Switching) 모드나 플린지 필드 스위칭(FFS: Fringe Field Switching) 모드 등의 횡전계 방식의 경우에도 실시 가능하다. 또한, 이 경우에는, 기판 위에 아무것도 형성되지 않은 절연 기판을 대향 기판으로서 사용하지만, 대향 기판 중, 액정과 접하는 면에 배향막을 형성하여 두는 것이 바람직하다.

또한, 본 발명의 액티브 매트릭스 기판에서는, 차광막 및 착색막이 형성된 기판 위에 TFT가 형성되기 때문에, 착색막이나 차광막의 형성에 사용되는 유기 재료 등에 의해 TFT가 오염되는 것을 방지하기 위해, 차광막 및 착색막 위에 배리어(barrier)막을 형성하는 것이 바람직하다. 또한, 배리어막으로서, 질화규소막, 질화산화규소막 등이 사용될 수 있다.

또한, 본 발명의 액티브 매트릭스 기판에서는, 차광막 및 착색막이 형성된 기판 위에 TFT가 형성되기 때문에, 유기 재료로 형성되는 착색막에 대한 TFT 제조 프로세스에서의 온도의 영향을 고려하면, 이들 TFT를 저온 프로세스(제조공정의 온도가 200~400℃ 이하)로 형성하는 것이 바람직하다. 또한, 저온 프로세스로 형성할 수 있는 TFT로서는, 활성층에 규소, 또는 규소 게르마늄(SiGe) 등을 주성분으로 하는 비정질 반도체(아모르퍼스 반도체), 비정질 반도체와 결정 구조를 가지는 반도체(단결정, 다결정을 포함) 사이의 중간적인 구조를 가지는 반도체를 포함하는 막인 세미아모르퍼스 반도체(이하, SAS라 함)를 사용한 TFT 등이 있다. 결정 구조의 반도체(다결정 반도체)가 TFT로서 사용될 수도 있다.

본 발명의 액정 표시장치에서는, 대향 기판 측에 광원을 마련하고, 액티브 매트릭스 기판 측으로 광을 투과시키는 투과형 액정 표시장치로 할 수 있지만, 액티브 매트릭스 기판 측에 광원을 마련하는 경우에는, 대향 기판 측으로 광을 투과시키는 투과형 액정 표시장치로 하는 것뿐만 아니라, 액티브 매트릭스 기판 측으로 광을 투과시키는 반사형 액정 표시장치로 할 수도 있다. 또한, 반사형 액정 표시장치의 경우에는 대향 기판 위에 반사 전극을 마련하여 둘 필요가 있다.

또한, 액티브 매트릭스 기판 위에 형성되는 TFT가 앞에서 설명한 바와 같은 아모르퍼스 반도체나 세미아모르퍼스 반도체 또는 다결정 반도체로 이루어지는 활성층을 가지는 보텀 게이트형 TFT이고, 또한, 대향 기판 측에 광원이 마련되는 경우에는, TFT의 활성층에 광원으로부터의 광이 조사(照射)되는 것을 방지하기 위해, 활성층과 겹치는 위치에 차광체를 마련하는 것이 바람직하다. 또한, 차광체를 마련하는 경우에, 보텀 게이트형 TFT를 채널 스톱(stop)(보호)형으로 형성함으로써, TFT의 소스 전극 및 드레인 전극과 동시에 게이트 전극과 겹치는 위치에 차광체를 형성한다.

또한, 본 발명에서, 상기한 바와 같이 액티브 매트릭스 기판의 화소부에 화소 전극(개별 전극) 및 대향 전극(공통 전극)이 형성되는 경우에는, 화소 전극(개별 전극)과 대향 전극(공통 전극) 중 어느 한쪽 또는 모두를 투명 도전막으로 형성하는 것이 바람직하다.

본 발명의 일 특징에 따르면, 본 발명의 구체적인 구성은, 기판 위에 형성된 착색막과, 절연막을 사이에 두고 착색막 위에 형성된 전극을 가지는 액정 표시장치이고, 전극이 절연막을 사이에 두고 착색막과 겹치는 위치에 형성되어 있는 것을 특징으로 한다.

또한, 상기 구성에, 절연막 위에 형성된 박막트랜지스터와 전극(화소 전극)이 전기적으로 접속된 구성도 포함하는 것으로 한다.

또한, 절연막 위에 박막트랜지스터, 이 박막트랜지스터에 전기적으로 접속된 화소 전극, 및 공통 전극을 가지는 구성, 및 화소 전극과 공통 전극이 착색막과 겹치는 위치에 형성되는 구성도 포함하는 것으로 한다. 또한, 화소 전극과 공통 전극 중 어느 한쪽 또는 모두가 투명 도전막으로 형성되는 구성도 포함하는 것으로 한다.

또한, 본 발명에 사용할 수 있는 박막트랜지스터로서는, 게이트 전극, 게이트 절연막, 제1 반도체막, 소스 영역, 드레인 영역, 소스 전극 및 드레인 전극을 가지고, 상기 제1 반도체막이 규소 또는 규소 게르마늄을 주성분으로 하는 비정질 반도체, 또는 비정질 상태와 결정 상태가 혼재한 세미아모르퍼스 반도체, 또는 결정 구조를 가지는 반도체(다결정 반도체)로 이루어지는 박막트랜지스터를 사용할 수 있다.

또한, 본 발명에 사용하는 박막트랜지스터가 보텀 게이트형 박막트랜지스터인 경우에는, 채널 형성 영역을 형성하는 제1 반도체막이 게이트 절연막을 사이에 두고 게이트 전극 위에 형성되고, 제1 반도체막 위이고 또한 게이트 전극과 겹치는 위치에 소스 전극 및 드레인 전극을 형성하는 도전막과 동일한 도전막(소위 차광체)이 형성되어 있는 것을 특징으로 한다. 또한, 상기 차광체를 형성하기 위해, 제1 반도체 위이고 또한 게이트 전극과 겹치는 위치에 절연체가 형성되는 것을 특징으로 한다.

또한, 상기 구성에서, 절연체의 막 두께는 소스 전극 및 드레인 전극의 막 두께보다 두꺼운 것을 특징으로 하고, 또한, 절연체의 폭을 게이트 전극의 폭보다 좁게 함으로써, 절연체 위이고 게이트 전극과 겹치는 위치에 마련되는 도전막(차광체)의 폭을 게이트 전극의 폭보다 작게 하는 것을 특징으로 한다.

또한, 상기 구성에서, 차광체가 보조 배선을 통해 게이트 전극에 전기적으로 접속되는 것을 특징으로 하고, 또한 보조 배선이 화소 전극과 동일한 재료로 형성되는 것을 특징으로 한다.

또한, 본 발명의 다른 구성은, 액정 표시장치의 제작방법으로서, 기판 위에 착색막을 형성하는 공정, 착색막 위에 절연막을 형성하는 공정, 절연막 위에 게이트 전극, 게이트 절연막, 채널 형성 영역, 소스 영역, 드레인 영역, 소스 전극, 및 드레인 전극을 포함하는 박막트랜지스터를 형성하는 공정, 및 드레인 전극에 전기적으로 접속된 전극을 착색막과 겹치는 위치에 형성하는 공정을 포함하는 것을 특징으로 한다.

또한, 상기 구성에서, 채널 형성 영역은 규소 또는 규소 게르마늄을 주성분으로 하는 비정질 반도체, 또는 비정질 상태와 결정 상태가 혼재한 세미아모르퍼스 반도체, 또는 결정 구조를 가지는 반도체(다결정 반도체)를 사용하여 형성될 수 있다.

또한, 상기 구성에서, 보텀 게이트형 박막트랜지스터가 형성되는 경우에는, 절연막 위에 제1 도전막으로 이루어지는 게이트 전극을 형성하고, 게이트 전극 위에 게이트 절연막을 형성하고, 게이트 절연막 위에 제1 반도체막을 형성하고, 상기 제1 반도체막 위의 일부이고 게이트 전극과 겹치는 위치에 절연체를 형성하고, 제1 반도체막 위에 절연체에 의해 분리 형성된 제2 반도체막으로 이루어지는 소스 영역 및 드레인 영역을 형성하고, 제2 반도체막 위에 절연체에 의해 분리 형성된 제2 도전막으로 이루어지는 소스 전극 및 드레인 전극을 형성하고, 드레인 전극에 전기적으로 접속된 전극(화소 전극)을 착색막과 겹치는 위치에 형성하는 것을 특징으로 한다.

또한, 상기 구성에서, 절연체 위에는 제2 도전막으로 이루어지는 차광체가 형성되는 것을 특징으로 한다.

또한, 상기 구성에서, 게이트 전극과 동시에 공통 전극이 형성되는 경우에는, 공통 전극 및 화소 전극이 착색막과 겹치는 위치에 형성되어 있는 것을 특징으로 한다. 또한, 화소 전극과 공통 전극 중의 어느 한쪽 또는 모두가 투명 도전막으로 형성되는 구성도 포함하는 것으로 한다.

또한, 상기 구성에서, 차광체가 보조 배선을 통해 상기 게이트 전극에 전기적으로 접속되는 것을 특징으로 하고, 또한, 보조 배선이 화소 전극과 동일한 재료로 형성되는 것을 특징으로 한다.

본 발명의 액정 표시장치에서, 액정이 주입되는 한 쌍의 기판 중 한쪽인 액티브 매트릭스 기판에 대해서는, 차광막 및 착색막이 형성된 기판 위에, 다수의 TFT 및 배선 등으로 구성되는 구동회로와, 다수의 TFT, 배선, 및 화소 전극 등으로 구성되는 화소부 등이 일체로 형성되어 있고, 따라서, 액티브 매트릭스 기판에서 착색막과 화소부의 위치맞춤이 가능하기 때문에, 종래와 같이 부착할 때에 요구되는 정밀도 높은 위치맞춤이 불필요하게 된다.

또한, 액티브 매트릭스 기판의 착색막은 화소 전극에 대하여 액정과 반대측에 마련되어 있기 때문에, 착색막이 양 전극으로부터 액정에 대한 전계 인가에 영향을 주지 않고 액티브 매트릭스 기판에 일체로 형성될 수 있다.

또한, 본 발명에서, 액티브 매트릭스 기판에 형성되는 TFT가 아모르퍼스 반도체나 세미아모르퍼스 반도체 또는 다결정 반도체로 이루어지는 활성층을 가지는 보텀 게이트형 TFT인 경우, 또한, 대향 기판 측에 광원이 마련된 경우, 활성층과 겹치는 위치에 차광체를 마련한 때는, 상기 효과에 더하여, TFT를 구동시킨 경우에 소스 영역과 드레인 영역 사이에서 누설 전류가 발생하는 것이 방지될 수 있다. 또한, 차광체를 마련하는 경우에는, 보텀 게이트형 TFT를 채널 스톱(보호)형으로 함으로써, 공정수를 늘이지 않고 차광체를 마련할 수 있다.

또한, 본 발명에서, 액티브 매트릭스 기관의 화소부에 화소 전극(개별 전극) 및 대향 전극(공통 전극)이 형성되는 구성의 경우에는, 양 전극 중 어느 한쪽 또는 모두를 투명 도전막으로 형성함으로써, 상기 효과에 더하여 개구율의 저감을 방지할 수 있다. 보텀 게이트형 TFT가 설명되었지만, 본 발명의 TFT로서 탑 게이트형 TFT가 사용될 수도 있다.

아래에, 본 발명의 실시형태에 대하여 도면 등을 사용하여 상세하게 설명한다. 그러나, 본 발명은 많은 다른 형태로 실시될 수 있고, 본 발명의 취지 및 그 범위에서 벗어나지 않고 그 형태 및 상세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있을 것이다. 따라서, 본 발명이 본 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.

#### [실시형태 1]

본 실시형태에서는, 본 발명의 액정 표시장치에 사용할 수 있는 액정 패널 중, 액티브 매트릭스 기관에 화소 전극(개별 전극) 및 대향 전극(공통 전극)이 형성되고, 횡전계 방식(IPS 모드 또는 FFS 모드)으로 구동되는 액정 패널에 대하여 도 1을 참조하여 설명한다.

도 1에서, 기관(101) 위에 차광막(102)이 형성되고, 이 차광막(102)의 일부와 겹치도록 착색막(103)이 형성되어 있다.

기관(101)에는, 유리 기관, 석영 기관, 알루미늄이나 등의 세라믹 등의 절연 물질로 형성되는 기관, 플라스틱 기관, 실리콘 웨이퍼, 금속판 등을 사용할 수 있다.

또한, 차광막(102)은 화소부의 각 화소의 주위 전부 또는 일부를 덮도록 패터닝되어 형성되고, 차광막(102)에 사용하는 재료로서는, 구체적으로는, 착색 안료나 착색제(염료)를 함유하는 절연물(폴리이미드, 아크릴 수지 등), 수지 BM, 카본블랙, 레지스트 외에, 크롬이나 산화크롬 등의 금속 재료가 사용될 수 있다. 또한, 차광막(102)의 두께는 1~3  $\mu\text{m}$ 로 하는 것이 바람직하다.

착색막(103)은 그의 일부가 차광막과 겹치도록 형성되어 있다. 또한, 착색막(103)은 화소부에서의 화소 열마다 다른 색(예를 들어, 적, 녹, 청의 3색)을 나타내는 재료로 형성될 수도 있고, 또는 1화소마다 다른 색(예를 들어, 적, 녹, 청의 3색)을 나타내는 재료로 형성될 수도 있다. 또한, 모든 화소가 동일 색을 나타내는 재료로 형성될 수도 있다. 착색막(103)에 사용하는 재료로서는, 구체적으로는, 착색 안료를 함유하는 절연막(폴리이미드, 아크릴 수지 등) 외에, 감광성 수지나 레지스트 등이 사용될 수 있다. 또한, 착색막(103)의 두께는 1~3  $\mu\text{m}$ 로 하는 것이 바람직하다. 본 발명에서의 착색막(103)은 차광막(102)의 단부를 덮도록 형성될 수 있으므로, 액정 표시장치를 제작하는데 있어서의 마진(margin)이 크게 될 수 있고, 액정 표시장치를 용이하게 제작할 수 있다.

또한, 차광막(102) 및 착색막(103) 위에는, 차광막(102) 및 착색막(103)을 형성하여 생기는 요철을 완화하기 위한 평탄화막(104)이 형성되어 있다. 이 평탄화막(104)은 절연 재료(유기 재료, 무기 재료)를 사용하여 형성될 수 있고, 단층 또는 적층 구조로 형성될 수 있다. 구체적으로는, 평탄화막(104)은, 아크릴산, 메타크릴산 및 이들의 유도체; 폴리이미드, 방향족 폴리이미드, 폴리벤즈이미다졸, 에폭시 수지 등의 내열성 고분자 화합물; 실리카 유리로 대표되는, 실록산 폴리머계 재료를 출발 재료로 하여 형성된 규소, 산소, 수소를 함유하는 화합물 중 Si-O-Si 결합을 포함하는 무기 실록산 폴리머계 유기 절연 재료로 된 막; 알킬실록산 폴리머, 알킬실세스퀴옥산 폴리머, 수소화 실세스퀴옥산 폴리머, 수소화 알킬실세스퀴옥산 폴리머로 대표되는 규소에 결합된 수소가 메틸이나 페닐과 같은 유기기로 치환된 유기 실록산 폴리머계 유기 절연 재료로 된 막; 산화규소막; 질화규소막; 산화질화규소막; 질화산화규소막; 또는 규소를 함유하는 무기 절연 재료로 된 다른 막을 사용하여 형성될 수 있다. 또한, 평탄화막(104)의 두께는 1~3  $\mu\text{m}$ 로 하는 것이 바람직하다.

또한, 여기서는 도시하지 않았지만, 기관(101)이나 평탄화막(104)으로부터 반도체막으로의 불순물의 혼입을 방지하기 위해, 평탄화막(104) 위에 질화규소막 또는 질화산화규소막 등의 블로킹(blocking)막이 형성될 수도 있다.

평탄화막(104) 위에는 TFT(105)의 게이트 전극(106), 및 공통 전극(122)이 형성되어 있다. 게이트 전극(106) 및 공통 전극(122)에는, Ag, Au, Cu, Ni, Pt, Pd, Ir, Rh, W, Al, Ta, Mo, Cd, Zn, Fe, Ti, Zr, Ba, Nd 등의 금속 원소로 된 막; 상기 원소를 주성분으로 하는 합금 재료로 된 막; Si나 Ge 등의 원소를 함유하는 합금 재료로 된 막; Mo/Al/Mo의 적층막; Ti/Al/Ti의 적층막; MoN/Al-Nd/MoN의 적층막; Mo/Al-Nd/Mo의 적층막; Al/Cr의 적층막; 금속 질화물 등의 화합물 재료로 된 막; 투명 도전막으로서 사용되는 인듐 주석 산화물(ITO)막; 산화인듐에 2~20%의 산화아연(ZnO)을 혼합한 IZO(Indium Zinc Oxide)막; 또는 산화규소를 조성물로서 가지는 ITO막이 사용될 수 있다. 또한, 게이트 전극(106) 및 공통 전극(122) 각각의 두께는 200 nm 이상으로 하는 것이 바람직하고, 더 바람직하게는 300~500 nm이다.

게이트 전극(106) 및 공통 전극(122) 위에는 절연막이 형성되어 있고, 그 절연막의 일부는 TFT(105)의 게이트 절연막(107)이다. 또한, 절연막(게이트 절연막(107)을 포함)은 산화규소막, 질화규소막, 산화질화규소막, 질화산화규소막, 또는 그 외의 규소 함유 절연막을 사용하여 단층 또는 적층 구조로 형성된다. 게이트 절연막(107)의 두께는 10~150 nm로 하는 것이 바람직하고, 더 바람직하게는 30~70 nm이다.

게이트 절연막(107)을 일부로 포함하는 절연막 위에는 제1 반도체막(108)이 형성되어 있다. 제1 반도체막(108)에는, 규소 또는 규소 게르마늄(SiGe) 등을 주성분으로 하는 비정질 반도체; 비정질 상태와 결정 상태가 혼재한 세미아모르퍼스 반도체(이하, SAS라 함); 비정질 반도체 중에서 0.5 nm~20 nm의 결정립을 관찰할 수 있는 미(微)결정 반도체; 결정 구조를 가진 반도체(다결정 반도체)로부터 선택된 어떠한 상태를 가지는 막이 사용될 수 있다. 또한, 0.5 nm~20 nm의 결정립을 관찰할 수 있는 미(微)결정 상태를 소위 마이크로크리스탈(이하,  $\mu\text{c}$ 라 함)이라 부른다. 또한, 상기 주성분 외에, 인, 비소, 붕소 등의 억셉터(acceptor)형 원소 또는 도너(donor)형 원소가 함유될 수도 있다. 제1 반도체막(108)의 두께는 10~150 nm로 하고, 더 바람직하게는 30~70 nm로 한다.

제1 반도체막(108) 위이고, 절연체(109)를 형성하기 전에 형성되는 게이트 전극(106)과 겹치는 위치에 절연체(109)가 형성되어 있다. 절연체(109)는 산화규소막, 질화규소막, 산화질화규소막, 질화산화규소막, 또는 그 외의 규소 함유 절연막을 사용하여 단층 또는 적층 구조로 형성된다. 절연체(109)의 두께는 소스 영역(110), 드레인 영역(111), 소스 전극(112), 드레인 전극(113)보다 두껍게 되도록 형성된다. 구체적으로는, 그 두께가 500 nm 이상으로 하는 것이 바람직하다. 또한, 절연체(109)의 폭(도 1에 도시된  $L_2$ )은 게이트 전극(106)의 폭(도 1에 도시된  $L_1$ )보다 좁게 되도록 형성된다. 또한, 절연체(109)의 폭(도 1에 도시된  $L_2$ )을 제어함으로써, 차광체(114)의 폭을 제어할 수 있다. 즉, 차광체(114)의 폭을 게이트 전극(106)의 폭(도 1에 도시된  $L_1$ )보다 좁게 함으로써, 차광체(114)를 마련하는 것에 기인한 기생 용량을 저감시킬 수 있다.

다음에, 제1 반도체막(108) 위에는 소스 영역(110) 및 드레인 영역(111), 소스 영역(110) 위에는 소스 전극(112), 드레인 영역(111) 위에는 드레인 전극(113), 또한 절연체(109) 위에는 차광체(114)가 각각 분리 형성되어 있다.

또한, 소스 영역(110) 및 드레인 영역(111)은 규소 또는 규소 게르마늄(SiGe) 등을 주성분으로 하는 비정질 반도체; SAS;  $\mu\text{c}$  등의 반도체막을 사용하여 형성된다. 또한, 여기서 사용하는 반도체막에는 상기 주성분 이외에 인, 비소, 붕소 등의 억셉터형 원소 또는 도너형 원소가 함유되어 있다. 또한, 소스 영역(110) 및 드레인 영역(111) 각각의 두께는 10~150 nm로 하는 것이 바람직하고, 더 바람직하게는 30~70 nm이다.

또한, 소스 전극(112), 드레인 전극(113), 차광체(114)에 사용하는 재료로서는, Ag, Au, Cu, Ni, Pt, Pd, Ir, Rh, W, Al, Ta, Mo, Cd, Zn, Fe, Ti, Zr, Ba 등의 금속 원소로 되는 막; 상기 원소를 주성분으로 하는 합금 재료로 된 막; Si 또는 Ge 등의 원소를 함유하는 합금 재료로 된 막; 금속 질화물 등의 화합물 재료로 된 막; 투명 도전막으로서 사용되는 인듐 주석 산화물(ITO) 막; 산화인듐에 2~20%의 산화아연(ZnO)을 혼합한 IZO(Indium Zinc Oxide)막; 산화규소를 조성물로서 가지는 ITO막 등이 사용될 수 있다. 또한, 소스 전극(112), 드레인 전극(113), 및 차광체(114) 각각의 두께는 200 nm 이상으로 하는 것이 바람직하고, 더 바람직하게는 300~500 nm이다.

본 실시형태에서 나타내는 액정 표시 패널의 경우, 광원은 액정 표시 패널의 양측 중 어느 측(도 1의 기관(101)측 또는 기관(118)측)에도 마련될 수 있다. 그러나, TFT(105)가 보텀 게이트형이기 때문에, 기관(118)측에 광원을 마련하고, 도 1의 화살표 방향으로 광원으로부터의 광이 조사되는 구성으로 하는 경우에는, 제1 반도체막(108)의 일부(TFT(105)의 채널 형성 영역)에 광이 조사된다. 이와 같이 TFT(105)의 활성층(채널 형성 영역)에 광이 조사되면, TFT(105)를 구동시키는 경우에 소스 영역과 드레인 영역 사이에 누설 전류가 생기게 되는 등의 전기적 특성에 대한 영향이 문제가 되지만, 차광체(104)를 마련하여 덮음으로써, 제1 반도체막(108)의 일부(소위 TFT(105)의 채널 형성 영역)에 광이 조사되는 것을 방지할 수 있다.

또한, 제1 반도체막(108), 소스 영역(110), 드레인 영역(111), 소스 전극(112), 드레인 전극(113), 및 게이트 절연막(107) 위에 TFT(105)의 보호막(115)으로서 기능하는 절연막이 형성되어 있다. 또한, 여기서의 절연막은 산화규소막, 질화규소막, 산화질화규소막, 질화산화규소막, 또는 그 외의 규소 함유 절연막 등을 사용하여 단층 또는 적층 구조로 형성된다. 또한, 보호막(115)의 두께는 10~150 nm로 하고, 더 바람직하게는 30~70 nm로 한다.

또한, 드레인 전극(113) 위의 보호막(115)의 일부에 형성된 개구부를 통하여 드레인 전극(113)에 전기적으로 접속되는 화소 전극(116)이 형성되어 있다. 화소 전극(116)은 인듐 주석 산화물(ITO), 산화인듐에 2~20%의 산화아연(ZnO)을 혼합한 IZO(Indium Zinc Oxide), 산화규소를 조성물로서 가지는 ITO 등의 막으로 된 투명 도전막을 사용하여 형성된다.

본 실시형태에서는, 기관 위에 상기한 구성을 가지는 것을 액티브 매트릭스 기관(117)이라 부른다.

본 발명에서의 액정 표시 패널은 액티브 매트릭스 기관과 대향 기관과의 사이에 액정층이 끼워진 구조를 가진다. 즉, 본 실시형태에서는, 액정 표시장치가 액티브 매트릭스 기관(117)과 기관(118)과의 사이에 액정층(119)이 끼워진 구조를 가진다. 또한, 액정층(119)에는 공지의 액정 재료를 사용할 수 있다.

또한, 액티브 매트릭스 기관(117)과 기관(118)의 표면에는 각각 배향막(120, 121)이 형성되어 있다. 배향막(120, 121)은 폴리이미드, 폴리아미드 등의 재료를 사용하여 형성된다. 또한, 배향막(120, 121)에는 액정을 배향시키기 위한 배향 처리가 실시되어 있다. 또한, 기관(118)에는 기관(101)에 사용할 수 있는 기관을 마찬가지로 사용할 수 있다.

이상과 같이, 본 실시형태에서 설명한 액정 표시 패널은, 기관(101) 위에 차광막(102), 착색막(103), TFT(105), 화소 전극(116), 그 외 배선 등이 모두 형성되어 있는 액티브 매트릭스 기관과, 배향막만이 형성된 기관을 서로 부착하고, 그 사이에 액정층을 형성하는 구성이기 때문에, 대향 측의 기관(118) 위에 차광막이나 착색층을 형성하는 경우와 달리, 기관들을 부착할 때의 위치맞춤이 불필요하게 된다.

또한, 본 실시형태에서 나타내는 액정 패널을 사용하여 형성되는 액정 표시장치에서는, 그의 구조적 특징의 관점에서 IPS 모드나 FFS 모드 등의 횡전계 방식의 구동 모드가 사용되기 때문에, 액티브 매트릭스 기관의 화소 전극(116)과 공통 전극(122)과의 사이에 형성되는 횡전계를 저해하는 전계의 발생을 방지하기 위해 차광막(102)을 도전성 재료가 아니라, 수지 재료를 사용하여 형성하는 것이 바람직하다.

#### [실시형태 2]

본 실시형태에서는, 실시형태 1에서 설명한 액정 표시 패널에 포함되는 액티브 매트릭스 기관의 제작방법에 대하여 도 2~도 4를 참조하여 설명한다. 도 4는 액티브 매트릭스 기관의 상면도이고, 도 2 및 도 3은 도 4의 A-A'선을 따라 취한 단면도이다. 또한, 도 2~도 4에서는 동일한 부호를 사용한다.

먼저, 도 2(A)에 도시된 바와 같이, 기관(301) 위에 차광막(302)이 형성된다.

기관(301)에는, 유리 기관, 석영 기관, 알루미늄과 같은 세라믹 등의 절연 물질로 형성되는 기관, 플라스틱 기관, 실리콘 웨이퍼, 금속판 등이 사용될 수 있다. 또한, 320 mm×400 mm, 370 mm×470 mm, 550 mm×650 mm, 600 mm×720 mm, 680 mm×880 mm, 1000 mm×1200 mm, 1100 mm×1250 mm, 1150 mm×1300 mm와 같은 대면적 기관을 사용할 수 있다.

또한, 플라스틱 기관의 대표적인 예로서는, PET(폴리에틸렌 테레프탈레이트), PEN(폴리에틸렌 나프탈레이트), PES(폴리에테르 술폰) 폴리프로필렌, 폴리프로필렌 설파이드, 폴리카보네이트, 폴리에테르이미드, 폴리페닐렌 설파이드, 폴리페닐렌 옥사이드, 폴리술폰, 또는 폴리프탈아미드로 된 플라스틱 기관; 직경 수 nm의 무기 입자가 분산된 유기 재료로 형성되는 기관 등이 있다. 또한, 기관의 표면은 평면일 필요는 없고, 요철 또는 곡면을 가지는 것이어도 좋다.

또한, 차광막(302)은 화소부의 각 화소의 주위 전부 또는 일부를 덮도록 패터닝되어 형성된다. 또한, 차광막(302)은 착색 안료나 착색제(염료)를 함유하는 절연막(폴리이미드, 아크릴 수지 등), 수지 BM, 카본 블랙, 레지스트 외에, 크롬이나 산화크롬 등의 금속 재료를 사용하여 형성될 수 있고, 1~3  $\mu\text{m}$ 의 막 두께로 형성된다. 또한, 차광막(302)은 액정 표시 패널의 광이 누출하는 것을 방지하는 기능을 가진다.

다음에, 착색막(303)을 형성한다. 착색막(303)은 그의 일부가 차광막과 겹치도록 형성된다. 이 착색막(303)은 착색 안료를 함유하는 절연막(폴리이미드, 아크릴 수지 등) 외에, 감광성 수지나 레지스트 등의 재료를 사용하여 형성될 수 있고, 화소부에서의 화소열마다 다른 색(예를 들어, 적, 녹, 청의 3색)을 나타내도록 형성되어도 좋고, 1화소마다 다른 색(예를 들어, 적, 녹, 청의 3색)을 나타내도록 형성되어도 좋다. 또한, 착색막(303)은 모든 화소가 동일 색을 나타내도록 형성되어도 좋다. 또한, 착색막(303)은 1~3  $\mu\text{m}$ 의 두께로 형성된다.

그 다음, 차광막(302) 및 착색막(303)을 덮도록 평탄막(304)이 형성된다. 이 평탄화막(304)은 차광막(302) 및 착색막(303)을 형성함으로써 발생한 요철을 완화하는 기능을 가진다.

평탄화막(304)의 재료로서는, 아크릴산, 메타크릴산 및 이들의 유도체; 폴리이미드, 방향족 폴리아미드, 폴리벤즈이מיד아졸 등의 내열성 고분자 화합물; 실리카 유리로 대표되는, 실록산 폴리머계 재료를 출발 재료로 하여 형성된 규소, 산소, 또는 수소를 함유하는 화합물 중 Si-O-Si 결합을 포함하는 무기 실록산 폴리머계 절연 재료; 또는 알킬실록산 폴리머, 알킬실세스퀴옥산 폴리머, 수소화 실세스퀴옥산 폴리머, 또는 수소화 알킬실세스퀴옥산 폴리머로 대표되는 규소에 결합된 수소가 메틸이나 페닐과 같은 유기기로 치환된 유기 실록산 폴리머계 절연 재료가 사용될 수 있다. 또한, 성막 방법으로서, 도포법, 인쇄법 등 공지의 수단을 사용할 수 있다.

그 다음, 평탄화막(304) 위에 CVD법에 의해 배리어막(305)을 형성한다. 이 배리어막(305)은 플라즈마 CVD법이나 스퍼터링법 등의 성막 방법에 의해, 질화규소막, 질화산화규소막, 산화질화규소막 등의 절연막을 사용하여 단층 또는 적층 구조로 형성된다. 배리어막(305)을 마련함으로써, 기판(301) 측으로부터의 불순물의 혼입을 방지할 수 있다.

도 2(B)에 도시된 바와 같이, 배리어막(305) 위에 제1 도전막(306)을 형성한다. 제1 도전막(306)은 스퍼터링법, PVD법, CVD법, 액적 토출법, 인쇄법, 또는 전계 도금법 등의 성막 방법에 의해, Ag, Au, Cu, Ni, Pt, Pd, Ir, Rh, W, Al, Ta, Mo, Cd, Zn, Fe, Ti, Zr, Ba, Nd 등의 금속 원소로 된 막; 상기 원소를 주성분으로 하는 합금 재료로 된 막; Si 또는 Ge 등의 원소를 함유하는 합금 재료로 된 막; 금속 질화물 등의 화합물 재료로 된 막; 투명 도전막으로서 사용되는 인듐 주석 산화물(ITO)막; 산화인듐에 2~20%의 산화아연(ZnO)을 혼합한 IZO(Indium Zinc Oxide)막; 또는 산화규소를 조성물로서 가지는 ITO막 등으로 형성된다.

그리고, 제1 도전막(306)을 패터닝함으로써, 도 2(C)에 도시된 바와 같이 게이트 전극(306a) 및 공통 전극(306b)을 형성하고, 도 4에 도시된 바와 같이 게이트 신호선(306c) 및 공통 배선(306d)을 형성한다. 스퍼터링법이나 CVD법 등의 성막 방법을 사용하여 제1 도전막(306)을 형성하는 경우에는, 액적 토출법, 포토리소그래피 공정, 레이저 빔 직접 묘화 장치를 사용하여 감광성 재료의 노광 및 현상 등에 의해 도전막 위에 마스크를 형성하고, 이 마스크를 사용하여 도전막을 소망의 형상으로 패터닝한다.

또한, 액적 토출법을 사용하는 경우에는, 마스크를 형성하지 않고 패턴 형성이 가능하기 때문에, 토출구(이하, 노즐이라 함)로부터 상기 금속의 입자가 유기 수지에 용해 또는 분산된 액상 물질을 토출하고, 이 액상 물질을 가열함으로써, 게이트 전극(306a), 공통 전극(306b), 게이트 신호선(306c), 공통 배선(306d) 등이 형성된다. 유기 수지에는, 금속 입자의 바인더, 용매, 분산제, 및 피복제로서 기능하는 유기 수지에서 선택된 하나 또는 다수가 사용될 수 있다. 대표적으로는, 폴리이미드, 아크릴 수지, 노블락 수지, 멜라민 수지, 페놀 수지, 에폭시 수지, 실리콘 수지, 퓨란 수지, 디아릴 프탈레이트 수지 등의 공지의 유기 수지가 있다.

또한, 액상 물질의 점도는 5~20 mPa·s가 바람직하고, 이것은 그러한 점도가 액상 물질의 건조가 일어나는 것을 방지하고, 노즐로부터 금속 입자를 원활하게 토출할 수 있도록 하기 때문이다. 또한, 액상 물질의 표면 장력은 40 mN 이하가 바람직하다. 또한, 사용하는 용매나 용도에 맞추어, 액상 물질의 점도 등을 적절히 조정하면 좋다.

액상 물질에 함유되는 금속 입자의 직경은 수 nm~10 μm의 것을 사용할 수 있지만, 노즐이 막히는 것을 방지하고 고정세(高精細)한 패턴을 제조하기 위해서는, 그 직경이 가능한 작은 것이 바람직하고, 입경 0.1 μm 이하의 금속 입자를 사용하는 것이 더 바람직하다.

그 다음, 게이트 절연막(307)을 형성한다(도 2(D)). 게이트 절연막(307)은 CVD법이나 스퍼터링법 등의 성막 방법에 의해, 산화규소막, 질화규소막, 산화질화규소막, 질화산화규소막, 다른 규소 함유 절연막 등을 사용하여 단층 또는 적층 구조로 형성된다. 또한, 게이트 절연막(307)의 두께는 바람직하게는 10~150 nm이고, 더 바람직하게는 30~70 nm이다.

이어서, 제1 반도체막(308)을 성막한다. 제1 반도체막(308)은 CVD법이나 스퍼터링법 등의 성막 방법에 의해, 규소 또는 규소 게르마늄(SiGe) 등을 주성분으로 하는 비정질 반도체, SAS, μc 등의 막을 사용하여 형성된다. 또한, 제1 반도체막(308)에는, 상기 주성분의 이외에 인, 비소, 붕소 등의 억셉터형 원소 또는 도너형 원소가 함유될 수도 있다. 또한, 제1 반도체막(108)의 두께는 10~150 nm이고, 더 바람직하게는 30~70 nm이다.

그 다음, 제1 반도체막(308) 위이고, 절연체(309)를 형성하기 전에 형성되는 게이트 전극(306a)과 겹치는 위치에 절연체(309)가 형성된다(도 2(E)). 이 절연체(309)를 형성함으로써, 이후 공정에서 형성되는 제2 반도체막(310) 및 제2 도전막(311)을 분리 형성하고, TFT의 소스 영역(310a), 드레인 영역(310b), 소스 전극(311a), 드레인 전극(311b) 및 차광체(311c)를 각각 형성할 수 있다(도 3(B) 및 도 4). 또한, 절연체(309)는 다음과 같이 형성될 수도 있다. 즉, 액적 토출법, 포토리소그래피 공정, 레이저 빔 직접 묘화 장치를 사용한 감광성 재료의 노광 및 현상 등에 의해 절연막 위에 마스크를 형성

하고, 이 마스크를 사용하여, 산화규소막, 질화규소막, 산화질화규소막, 질화산화규소막, 다른 규소 함유 절연막 등의 절연막(단층 구조 또는 적층 구조 중 어느 것이어도 좋다)을 소망의 형상으로 패터닝함으로써 형성된다. 또한, 절연체(309)는 그의 두께가 소스 전극(311a) 및 드레인 전극(311b)보다 두껍게 되도록 형성된다. 구체적으로는, 그 두께는 200 nm이고, 더 바람직하게는 300~800 nm이다. 또한, 절연체(309)의 폭(도 2(E)에 도시된  $L_2$ )은 게이트 전극(306a)의 폭(도 2에 도시된  $L_1$ )보다 좁게 되도록 형성된다.

그 다음, 일 도전형을 나타내는 제2 반도체막(310)을 형성한다(도 3(A)). 제2 반도체막(310)은 CVD법이나 스퍼터링법 등의 성막 방법에 의해 형성된다. 또한, 여기서 형성되는 규소 또는 규소 게르마늄(SiGe) 등을 주성분으로 하는 비정질 반도체, SAS,  $\mu\text{c}$  등의 막 중에는, 상기 주성분 외에, 인, 비소, 붕소 등의 억셉터형 원소 또는 도너형 원소가 함유되어 있다. 또한, 제2 반도체막(310)은 절연체(309) 위에 형성된 부분과, 제1 반도체막(308) 위에 형성된 부분으로 각각 분리되어 있다. 이때, 제2 반도체막(310)의 일부가 절연체(309)의 측면에 형성되어 있는 경우, 에칭 처리 등을 행할 수도 있다.

또한, 제2 반도체막(310) 위에 제2 도전막(311)이 형성된다. 제2 도전막(311)은 본 실시형태에서 앞에서 설명한 제1 도전막(306)과 마찬가지로의 방법으로 같은 재료를 사용하여 형성될 수 있다. 제2 도전막(311)의 두께는 바람직하게는 200 nm 이상이고, 더 바람직하게는 300~700 nm이다. 또한, 제2 도전막(311)은 제2 반도체막(310)과 마찬가지로 절연체(309)에 의해 분리 형성되어 있다. 이때, 제2 도전막(311)의 일부가 절연체(309)의 측면에 형성되어 있는 경우, 에칭 처리 등을 행할 수도 있다.

그 다음, 제2 도전막(311)을 패터닝하여, 소스 전극(311a) 및 드레인 전극(311b)을 형성하고(도 3(B) 및 도 4), 또한 소스 전극(311a) 및 드레인 전극(311b)을 마스크로 하여 제1 반도체막(308) 및 제2 반도체막(310)을 에칭하여, 도 3(B)에 도시된 형상을 얻는다. 즉, 소스 영역(310a), 드레인 영역(310b), 소스 전극(311a), 드레인 전극(311b), 채널 형성 영역(308a)이 각각 형성된다(도 3(B) 및 도 4). 또한, 소스 전극(311a)은 도 4에 도시된 바와 같이 소스 신호선(311d)으로부터 연속하는 막으로 형성되어 있다. 또한, 액적 토출법, 포토리소그래피 공정, 레이저 빔 직접 묘화 장치를 사용한 감광성 재료의 노광 및 현상 등에 의해 제2 도전막(311) 위에 형성된 마스크를 사용하여 소망의 형상으로의 패터닝에는 에칭 방법이 사용될 수도 있다.

그 다음, 보호막(312)을 형성한다(도 3(C)). 보호막(312)은 플라즈마 CVD법이나 스퍼터링법 등의 성막 방법에 의해 산화규소막, 질화규소막, 질화산화규소막 및 산화질화규소막 등의 절연막을 사용하여 단층 또는 적층 구조로 형성된다. 보호막(312)은 절연체(309)의 측면에 도 형성되므로, 양호한 커버리지를 가지는 재료를 선택하는 것이 바람직하다.

이어서, 보호막(312)의 일부로서 드레인 전극(311b)과 겹치는 위치에 개구부를 형성하고, 이 개구부에서 드레인 전극(311b)에 전기적으로 접속되는 화소 전극(313)을 형성한다(도 3(D) 및 도 4). 화소 전극(313)은 스퍼터링법, 증착법, CVD법, 도포법 등에 의해 형성되는 인듐 주석 산화물(ITO)막, 산화인듐에 2~20%의 산화아연(ZnO)을 혼합한 IZO(Indium Zinc Oxide)막, 산화규소를 조성물로서 가지는 ITO막 등의 투명 도전막을 패터닝하여 형성된다. 또한, 화소 전극(313)의 두께는 100~150 nm로 하는 것이 바람직하다.

또한, 도 4에 도시된 바와 같이, 화소 전극(313)의 일부를 게이트 신호선(306c)의 일부와 겹치도록 형성함으로써, 보유 용량(315)을 형성한다.

이상의 공정에 의해, 도 3(D) 및 도 4에 도시된 액티브 매트릭스 기판이 형성될 수 있다.

또한, 도 3(D) 및 도 4에 도시된 액티브 매트릭스 기판을 얻은 후, 액티브 매트릭스 기판 및 대향 기판이 되는 기판 위에 배향막을 형성하고, 이들 기판을 서로 부착한 후, 양 기판의 사이에 액정 재료를 주입하고, 봉지(封止)제에 의해 그 기판들을 완전히 봉지함으로써, 액정 표시 패널을 형성할 수 있다. 또한, 액정 표시 패널의 구성에 대해서는 실시형태 6에서 상세히 설명하기로 한다.

### [실시형태 3]

본 실시형태에서는, 실시형태 1의 구조의 일부를 개량한 액정 표시 패널에 대하여 설명한다. 또한, 도 5에 도시된 액정 표시 패널에서, 실시형태 1에서 설명한 도 1과 같은 명칭 등을 나타내는 경우에 대해서는, 같은 재료를 사용하여 마찬가지로 형성할 수 있는 것으로 하고, 상세한 설명에 대해서는 실시형태 1에 기재한 설명을 참조한다.

도 5의 차광체(519)는 실시형태 1에서 나타낸 것과 마찬가지로 소스 전극(511a) 및 드레인 전극(511b)을 형성하는 제2 도전막으로 형성되기 때문에, 차광체(519)는 도전성 재료로 형성된다. 따라서, 절연체(509)가 충분한 막 두께로 형성되어 있지 않은 경우에는, 차광체(519)가 TFT(514)에서의 기생 용량이 되는 경우가 있다. 따라서, 실시형태 3에서는, 차광체(519)가 TFT(514)의 기생 용량이 되는 것을 방지하기 위해, 차광체(519)에 전기적으로 접속된 보조 배선(520)을 형성한다.

여기서, 도 5의 액정 표시 패널을 구성하는 액티브 매트릭스 기관의 상면도로서 도 6(A)를 사용하고, 더 상세히 설명한다. 또한, 도 6(A)의 B-B'선에 따른 단면도가 도 6(B)에 도시되어 있다. 또한, 도 6(A) 및 도 6(B)에서, 실시형태 2에서 설명한 도 4와 마찬가지로 명칭 등을 나타내는 경우에 대해서는, 같은 재료를 사용하여 같은 방법으로 형성할 수 있고, 상세한 사항에 대해서는 실시형태 2에 기재한 설명을 참조한다.

도 6(A)에 도시된 바와 같이, 보조 배선(520)은 화소 전극(513)과 동시에 형성된다. 즉, 도 6(B)에 도시된 바와 같이, 화소 전극(513)을 형성하기 전에 보호막(512)의 일부(도 6(B)에 도시된 영역 a)에 개구부를 형성할 때, 차광체(519) 위에 형성된 보호막(512)의 일부(도 6(B)에 도시된 영역 b)와, 게이트 신호선(506c) 위에 적층된 게이트 절연막(507), 제1 반도체막(508), 및 보호막(512)의 일부(도 6(B)에 도시된 영역 c)에도 개구부를 형성하고, 투명 도전막을 패터닝하여 화소 전극(513)과 보조 배선(520)을 동시에 형성한다. 따라서, 화소 전극(513)과 보조 배선(520)은 동일 공정에서 동일 도전성 재료로 형성된다.

이상에 의해, 차광체(519)와 게이트 신호선(506c)이 보조 배선(520)에 의해 서로 전기적으로 접속되기 때문에, 차광체(519)가 TFT(514)에서의 기생 용량이 되는 것을 방지할 수 있다. 또한, 본 실시형태에서 형성되는 보조 배선(520)은 새로운 재료나 새로운 처리를 필요로 하는 것이 아니기 때문에, 공정수를 늘리지 않고 보조 배선(520)을 형성할 수 있다. 부호 502는 차광막을 나타내고, 503은 착색막을 나타내고, 506a는 TFT(514)의 게이트 전극을 나타내고, 506b는 공통 전극을 나타내고, 506d는 공통 배선을 나타낸다.

#### [실시형태 4]

본 발명과 같이 액티브 매트릭스 기관에 양 전극(화소 전극 및 공통 전극)이 형성되는 경우, 전극 재료로서 차광성의 도전막을 사용하면 화소부에서의 개구율이 저하되는 문제가 발생한다. 따라서, 본 실시형태에서는, 화소 전극뿐만 아니라, 공통 전극도 투명 도전막으로 형성하는 경우에 대하여 설명한다.

도 7(A) 및 도 7(B)에서, 도 7(A)는 본 실시형태에서 설명하는 액티브 매트릭스 기관의 상면도를 나타내고, 도 7(B)는 도 7(A)의 C-C'선에 따른 단면도를 나타낸다. 또한, 도 7(A) 및 도 7(B)에서, 실시형태 2에서 설명한 도 4와 마찬가지로 명칭 등을 나타내는 경우에 대해서는 같은 재료를 사용하여 같은 방법으로 형성할 수 있고, 상세한 사항에 대해서는 실시형태 2에 기재한 설명을 참조한다. 그러나, 본 실시형태에서 설명하는 공통 전극에 대해서는 아래에 설명하는 대로 한다.

도 7(A)에 도시된 바와 같이, 공통 전극(706b)은 화소 전극(713)과 같은 재료로 형성되어 있다. 공통 전극(706b)은 공통 배선(706c)에 전기적으로 접속되지만, 공통 전극(706b)은 다른 재료로 형성되어 있다. 즉, 도 7(B)에 도시된 바와 같이, 화소 전극(713)을 형성하기 전에 보호막(712)의 일부(도 7(B)에 도시된 영역 a')에 개구부를 형성할 때, 공통 배선(706c) 위에 형성된 보호막(712)의 일부(도 7(B)에 도시된 영역 b')에도 개구부를 형성하고, 투명 도전막을 패터닝하여 화소 전극(713)과 공통 전극(706b)을 동시에 형성한다. 따라서, 본 실시형태의 경우에는, 화소 전극(713)과 공통 전극(706b)은 동일 공정에서 동일 도전성 재료로 형성된다.

이상에 의해, 공통 전극(706b)과 화소 전극(713)을 동일한 투명 도전막으로 형성함으로써, 화소부에서의 개구율의 저하를 방지할 수 있다. 또한, 본 실시형태에서 형성되는 공통 전극(706b)은 새로운 재료나 새로운 처리를 필요로 하는 것이 아니기 때문에, 공정수를 늘이는 일 없이 공통 전극(706b)을 형성할 수 있다. 부호 701은 기관을 나타내고, 702는 차광막을 나타내고, 703은 착색막을 나타내고, 707은 게이트 절연막을 나타내고, 708은 제1 반도체막을 나타내고, 711b는 드레인 전극을 나타낸다.

#### [실시형태 5]

본 실시형태에서는, 본 발명의 액정 표시장치에 사용하는 액티브 매트릭스 기관이 되는 기관 위에 형성되는 착색막에 대하여 도 8(A)~도 8(C)를 참조하여 설명한다. 또한, 본 실시형태에서 나타내는 액티브 매트릭스 기관의 구성(구동회로, 화소부 등)은 본 발명에 사용할 수 있는 액티브 매트릭스 기관의 일 형태이다.

도 8(A)는 이후 공정에서 각 형성 영역에 구동회로나 화소부를 형성함으로써 액티브 매트릭스 기판이 형성되는 기판을 나타낸다. 즉, 도 8(A)에서, 기판(800) 위의 화소부 형성 영역(801)에 화소부가 형성되고, 소스 신호선 구동회로 형성 영역(802)에 소스 신호선 구동회로가 형성되고, 게이트 신호선 구동회로 형성 영역(803)에 게이트 신호선 구동회로가 형성됨으로써, 액티브 매트릭스 기판이 형성된다.

또한, 본 발명의 경우에는, 이들 구동회로(소스 신호선 구동회로 및 게이트 신호선 구동회로)나 화소부가 형성되기 전에, 기판(800) 위의 화소부 형성 영역(801)에는 차광막 및 착색막이 형성되어 있다.

도 8(B)는 도 8(A)의 영역 a(804)의 확대도를 나타낸다. 또한, 도 8(B)의 영역 a(804)의 화소 형성 영역(806)에는 이후 공정에서 화소가 형성된다. 따라서, 이 화소 형성 영역(806)에 맞추어 미리 기판(800) 위에 차광막(805) 및 착색막(807)이 형성된다.

차광막(805)은 기판(800) 위의 화소 형성 영역(806)들 사이에 먼저 형성된다. 그 다음, 차광막(805) 및 화소 형성 영역(806)을 덮도록, 착색층(807)이 형성된다.

여기서는, 착색막(807)이 3종류의 착색막, 즉, 적색 안료를 함유하는 절연 재료로 된 착색막 R(807a), 녹색 안료를 함유하는 절연 재료로 된 착색막 G(807b), 청색 안료를 함유하는 절연 재료로 된 착색막 B(807c)로 스트라이프(stripe) 형상으로 형성되는 경우에 대하여 설명한다. 또한, 착색막의 종류(색 및 재료)는 1 종류이어도 좋고, 다수 종류이어도 좋다. 또한, 착색막이 1 종류로 된 고체 막으로서 형성될 수도 있고, 또는 나누어 도포된 막들로서 형성될 수도 있다. 또한, 재료나 나누어 도포하는 방법에 대해서는 특별히 한정되지 않고, 공지의 재료를 사용하여 공지의 방법으로 착색막이 적절히 형성될 수 있다.

또한, 도 8(C)는 도 8(B)의 D-D'선에 따른 단면도를 나타낸다. 기판(800) 위의 화소 형성 영역(806)들 사이에 차광막(805)이 형성되고, 차광막(805)들 사이에 착색막(807)(807a, 807b, 807c)이 형성되어 있다. 또한, 도 8(C)에 도시된 바와 같이, 차광막(805)과 겹치도록 착색막(807)(807a, 807b, 807c)이 형성될 수도 있다.

여기서는 도시하지 않았지만, 기판(800) 위에 차광막(805) 및 착색막(807)(807a, 807b, 807c)을 형성한 후에, 기판(800) 위의 요철을 감소시키도록 평탄화막이 형성된다. 또한, 평탄화막은 절연 재료로 형성된다.

이상과 같이, 차광막(805), 착색막(807)(807a, 807b, 807c), 및 평탄화막이 형성된 기판 위에 구동회로 및 화소부를 형성함으로써, 액티브 매트릭스 기판이 형성된다. 또한, 이후의 공정을 거쳐 형성되는 액티브 매트릭스 기판에 대해서는, 실시 형태 1~4에서의 설명을 참조한다.

#### [실시형태 6]

본 실시형태에서는, 본 발명의 액정 표시 패널의 구성에 대하여 도 9(A) 및 도 9(B)를 참조하여 설명한다. 도 9(A)는 액티브 매트릭스 기판이 되는 제1 기판(901)과 대향 기판이 되는 제2 기판(902)이 제1 시일재(903) 및 제2 시일재(904)에 의해 봉지된 패널의 상면도이고, 도 9(B)는 도 9(A)의 A-A'선에 따른 단면도에 상당한다. 또한, 제1 기판(901)에는 실시 형태 1~4에서 설명한 액티브 매트릭스 기판이 사용될 수 있다.

도 9(A)에서, 점선으로 나타낸 부호 905는 화소부, 부호 906은 소스 신호선 구동회로, 부호 907은 게이트 신호선 구동회로이다. 본 실시형태에서, 화소부(905), 소스 신호선 구동회로(906), 및 게이트 신호선 구동회로(907)는 제1 시일재(903) 및 제2 시일재(904)에 의해 봉지되어 있는 영역 내에 형성되어 있다.

또한, 제1 기판(901)과 제2 기판(902)을 봉지하는 제1 시일재(903) 및 제2 시일재(904)에는 밀폐 공간의 간격을 유지하기 위한 갭(gap)재가 함유되어 있고, 이들에 의해 형성되는 공간에 액정 재료가 충전되어 있다.

다음에, 단면 구조에 대하여 도 9(B)를 참조하여 설명한다. 제1 기판(901) 위에 차광막(920) 및 착색막(921)이 형성되어 있다. 또한, 차광막(920) 및 착색막(921)을 덮도록 형성된 평탄화막(922) 위에 구동회로 및 화소부가 형성되어 있고, TFT로 대표되는 반도체 소자를 다수 가지고 있다. 또한, 여기서는 구동회로로서 소스 신호선 구동회로(906)와 화소부(905)가 도시되어 있다. 또한, 소스 신호선 구동회로(906)에는, n채널형 TFT(908)와 p채널형 TFT(909)를 조합시킨 COMS 회로

가 형성된다. 또한, 구동회로를 형성하는 TFT는 공지의 CMOS 회로, PMOS 회로 또는 NMOS 회로로 형성될 수도 있다. 또한, 본 실시형태에서는 기관 위에 구동회로를 형성한 드라이버 일체형을 나타내지만, 반드시 그럴 필요는 없고, 구동회로를 기관 위가 아니라 기관 외부에 형성할 수도 있다.

또한, 화소부(905)에는 다수의 화소가 형성되어 있고, 각 화소에는 액정 소자(910)가 형성되어 있다. 액정 소자(910)는, 화소 전극인 제1 전극(911), 공통 전극인 제2 전극(도시되지 않음), 및 이들 사이에 액정 재료로 형성된 액정층(912)이 형성되어 있는 부분이다. 액정 소자(910)에 포함되는 제1 전극(911)은 배선을 통하여 구동용 TFT(913)에 전기적으로 접속되어 있다. 또한, 제1 기관(901) 위의 각 화소 전극의 표면 및 제2 기관(902)의 표면 위에는 배향막(914, 915)이 형성되어 있다.

부호 923은 기둥 형상의 스페이서를 나타내고, 이 스페이서는 제1 기관(901)과 제2 기관(902) 사이의 간격(셀 갭(cell gap))을 제어하기 위해 제공되어 있다. 기둥 형상의 스페이서(923)는 절연막을 소망의 형상으로 에칭하여 형성된다. 또한, 구(球) 형상의 스페이서가 사용될 수도 있다.

소스 신호선 구동회로(906), 게이트 신호선 구동회로(907), 및 화소부(905)에 부여되는 각종 신호 및 전위는 접속 배선(916)을 통하여 FPC(917)로부터 공급된다. 접속 배선(916)과 FPC(917)는 이방 도전성 막 또는 이방 도전성 수지(918)에 의해 서로 전기적으로 접속되어 있다. 또한, 이방 도전성 막 또는 이방 도전성 수지 대신에, 뿔납 등의 도전성 페이스트를 사용하여도 좋다.

또한, 도시하지는 않았지만, 제1 기관(901)과 제2 기관(902) 중의 어느 한쪽 또는 모두의 표면에는 접착제에 의해 편광판이 고정되어 있다. 또한, 편광판 외에 위상차 판이 제공될 수도 있다.

#### [실시형태 7]

본 실시형태에서는, 본 발명의 액정 표시 패널에서의 구동회로의 실장 방법에 대하여 도 10(A)~도 10(C)를 참조하여 설명한다.

도 10(A)의 경우에는, 화소부(1001)의 주변에 소스 신호선 구동회로(1002) 및 게이트 신호선 구동회로(1003a, 1003b)가 실장된다. 즉, 공지의 이방 도전성 접착제 및 이방 도전성 필름을 사용한 실장 방법, COG 방법, 와이어 본딩 방법, 및 뿔납 범프(bump)를 사용한 리플로우(reflow) 처리 등에 의해 기관(1000)상에 IC 칩(1005)을 실장함으로써, 소스 신호선 구동회로(1002) 및 게이트 신호선 구동회로(1003a, 1003b)가 실장된다. 또한, IC 칩(1005)은 FPC(flexible printed circuit)(1006)를 통하여, 외부 회로에 접속된다.

또한, 소스 신호선 구동회로(1002)의 일부, 예를 들어, 아날로그 스위치는 기관 위에 일체로 형성될 수 있고, 그 외의 부분은 IC 칩에 의해 별도로 실장될 수도 있다.

또한, 도 10(B)의 경우에는, 화소부(1001)와 게이트 신호선 구동회로(1003a, 1003b) 등이 기관 위에 일체로 형성되고, 소스 신호선 구동회로(1002) 등은 IC 칩에 의해 별도로 실장된다. 즉, COG 방법 등의 실장 방법에 의해, 화소부(1001)와 게이트 신호선 구동회로(1003a, 1003b) 등이 일체로 형성된 기관(1000)상에 IC 칩(1005)을 실장함으로써, 소스 신호선 구동회로(1002) 등이 실장된다. 또한, IC 칩(1005)은 FPC(1006)를 통하여 외부 회로에 접속된다.

또한, 소스 신호선 구동회로(1002)의 일부, 예를 들어, 아날로그 스위치는 기관 위에 일체로 형성될 수 있고, 그 외의 부분은 IC 칩에 의해 별도로 실장될 수도 있다.

또한, 도 10(C)의 경우에는, TAB 방법에 의해 소스 신호선 구동회로(1002) 등이 실장된다. 또한, IC 칩(1005)은 FPC(1006)를 통하여 외부 회로에 접속된다. 도 10(C)의 경우에는 소스 신호선 구동회로(1002) 등을 TAB 방법에 의해 실장하고 있지만, 게이트 신호선 구동회로 등을 TAB 방법에 의해 실장할 수도 있다. 부호 1000은 기관을 나타낸다.

IC 칩(1005)을 TAB 방법에 의해 실장하면, 화소부를 기관에 대하여 넓게 제공할 수 있으므로, 좁게 된 프레임(frame)을 달성할 수 있다.

또한, IC 칩(1005)의 대신에, 유리 기관 위에 IC를 형성한 IC(이하, 드라이버 IC라 함)를 마련하여도 좋다. IC 칩(1005)에 대해서는 원형의 실리콘 웨이퍼로부터 IC 칩을 취출하기 때문에, 모체 기관의 형상에 제약이 있다. 한편, 드라이버 IC는 유

리로 된 모체 기관을 가지고, 형상에 제약이 없기 때문에, 생산성을 높일 수 있다. 따라서, 드라이버 IC의 형상 및 사이즈는 자유롭게 설정될 수 있다. 예를 들어, 긴 변의 길이가 15~80 mm인 드라이버 IC를 형성하는 경우, IC 칩을 실장하는 경우와 비교하여, IC 칩의 필요한 수를 줄일 수 있다. 그 결과, 접속 단자의 수를 저감할 수 있고, 제조 수율을 향상시킬 수 있다.

드라이버 IC는 기관 위에 형성된 결정질 반도체를 사용하여 형성될 수 있고, 결정질 반도체는 연속 발진형 레이저광을 조사함으로써 형성될 수 있다. 연속 발진형 레이저광을 조사하여 얻어진 반도체막은 결정 결함이 적고 대립경의 결정립을 가진다. 그 결과, 이와 같은 반도체막을 가지는 트랜지스터는 이동도 및 응답속도가 양호하게 되고, 고속 구동이 가능하게 되어, 드라이버 IC에 바람직하다.

[실시형태 8]

본 실시형태에서는, 본 발명의 액정 표시장치에 내장된 액정 모듈로서, IPS(In-Plane-Switching) 모드, 플린지 필드 스위칭(FFS : Fringe Field Switching) 모드 등의 구동 모드의 백색 라이트를 사용하여 컬러 표시를 행하는 액정 모듈에 대하여 도 11의 단면도를 참조하여 설명한다. 또한, 본 실시형태에서 설명하는 액정 모듈에는 실시형태 1~7을 실시함으로써 형성되는 액정 표시 패널을 사용할 수 있다.

도 11에 도시된 바와 같이, 액티브 매트릭스 기관(1101)과 대향 기관(1102)이 시일재(1103)에 의해 서로 고착되고, 그들 사이에 액정층(1105)이 제공되어, 액정 표시 패널이 형성되어 있다.

또한, 액티브 매트릭스 기관(1101)에 형성된 착색막(1106)은 컬러 표시를 행하는 경우에 필요하고, RGB 방식의 경우에는 적, 녹, 청의 각 색에 대응한 착색막이 각 화소에 대응하여 형성되어 있다. 액티브 매트릭스 기관(1101)과 대향 기관(1102)의 내측에는 배향막(1118, 1119)이 형성되어 있다. 또한, 액티브 매트릭스 기관(1101)과 대향 기관(1102)의 외측에는 편광판(1107, 1108)이 배치되어 있다. 또한, 편광판(1107)의 표면에는 보호막(1109)이 형성되어 있어, 외부로부터의 충격을 완화하고 있다.

액티브 매트릭스 기관(1101) 위에 마련된 접속 단자(1110)에는 FPC(1111)를 통하여 배선 기관(1112)이 접속되어 있다. 배선 기관(1112)에는, 화소 구동회로(IC 칩, 드라이버 IC 등), 컨트롤러 회로, 또는 전원 회로 등의 외부 회로(1113)가 조립되어 있다.

냉음극관(1114), 반사판(1115), 및 광학 필름(1116), 인버터(도시되지 않음)가 백라이트 유닛을 구성하고, 이 백라이트 유닛이 광원이 되어, 액정 표시 패널로 광을 투사한다. 액정 표시 패널, 광원, 배선 기관(1112), FPC(1111) 등은 베젤(bezel)(1117)에 의해 유지 및 보호되고 있다.

[실시형태 9]

본 발명의 액정 표시장치를 구비한 전자장치로서, 텔레비전 장치(간단히 TV, 또는 텔레비전 수상기라고도 부름), 디지털 카메라, 디지털 비디오 카메라, 휴대 전화 장치(간단히, 휴대 전화기, 휴대 전화라고도 부름), PDA 등의 휴대형 정보 단말기, 휴대형 게임기, 컴퓨터용 모니터, 컴퓨터, 카 오디오 등의 음향 재생 장치, 가정용 게임기 등의 기록 매체를 구비한 화상 재생 장치 등이 있다. 그의 바람직한 형태에 대하여 도 12(A)~도 12(E)를 참조하여 설명한다.

도 12(A)에 도시된 텔레비전 장치는 본체(8001), 표시부(8002) 등을 포함하고 있다. 본 발명의 액정 표시장치는 표시부(8002)에 적용될 수 있다. 또한, 본 발명의 액정 표시장치에서는 액티브 매트릭스 기관상에 착색막이 형성되어 있기 때문에, 액티브 매트릭스 기관과 대향 기관의 부착 시에 문제가 되는 위치 어긋남을 방지할 수 있고, 화상의 어긋남이나 흐리게 보이는 것을 방지할 수 있다. 따라서, 우수한 화상 표시를 실현할 수 있는 텔레비전 장치가 제공될 수 있다.

도 12(B)에 도시된 휴대형 정보 단말기는 본체(8101), 표시부(8102) 등을 포함하고 있다. 본 발명의 액정 표시장치는 표시부(8102)에 적용될 수 있다. 또한, 본 발명의 액정 표시장치에서는 액티브 매트릭스 기관상에 착색막이 형성되어 있기 때문에, 액티브 매트릭스 기관과 대향 기관의 부착 시에 문제가 되는 위치 어긋남을 방지할 수 있고, 화상의 어긋남이나 흐리게 보이는 것을 방지할 수 있다. 따라서, 우수한 화상 표시를 실현할 수 있는 휴대형 정보 단말기가 제공될 수 있다.

도 12(C)에 도시된 디지털 비디오 카메라는 본체(8201), 표시부(8202) 등을 포함하고 있다. 본 발명의 액정 표시장치는 표시부(8202)에 적용될 수 있다. 또한, 본 발명의 액정 표시장치에서는, 액티브 매트릭스 기관상에 착색막이 형성되어 있기 때문에, 액티브 매트릭스 기관과 대향 기관의 부착 시에 문제가 되는 위치 어긋남을 방지할 수 있고, 화상의 어긋남이나 흐리게 보이는 것을 방지할 수 있다. 따라서, 우수한 화상 표시를 실현할 수 있는 디지털 비디오 카메라가 제공될 수 있다.

도 12(D)에 도시된 휴대 전화기는 본체(8301), 표시부(8302) 등을 포함하고 있다. 본 발명의 액정 표시장치는 표시부(8302)에 적용될 수 있다. 또한, 본 발명의 액정 표시장치에서는 액티브 매트릭스 기관상에 착색막이 형성되어 있기 때문에, 액티브 매트릭스 기관과 대향 기관의 부착 시에 문제가 되는 위치 어긋남을 방지할 수 있고, 화상의 어긋남이나 흐리게 보이는 것을 방지할 수 있다. 따라서, 우수한 화상 표시를 실현할 수 있는 휴대 전화기가 제공될 수 있다.

도 12(E)에 도시된 휴대형 텔레비전 장치는 본체(8401), 표시부(8402) 등을 포함하고 있다. 본 발명의 액정 표시장치는 표시부(8402)에 적용될 수 있다. 또한, 본 발명의 액정 표시장치에서는 액티브 매트릭스 기관상에 착색막이 형성되어 있기 때문에, 액티브 매트릭스 기관과 대향 기관의 부착 시에 문제가 되는 위치 어긋남을 방지할 수 있고, 화상의 어긋남이나 흐리게 보이는 것을 방지할 수 있다. 따라서, 우수한 화상 표시를 실현할 수 있는 휴대형 텔레비전 장치가 제공될 수 있다. 또한, 본 발명의 액정 표시장치는 휴대형 단말기에 탑재하는 소형의 것으로부터, 운반할 수 있는 중형의 것, 또는 대형의 것(예를 들어, 40인치 이상)까지 각종 텔레비전 장치에 폭넓게 적용될 수 있다.

이상과 같이, 화상의 어긋남이나 흐리게 보이는 것을 방지할 수 있는 본 발명의 액정 표시장치를 표시부에 사용함으로써, 우수한 화상 표시를 실현할 수 있는 전자장치가 제공될 수 있다.

### 발명의 효과

본 발명의 액정 표시장치에서, 액정이 주입되는 한 쌍의 기관 중 한쪽인 액티브 매트릭스 기관은, 차광막 및 착색막이 형성된 기관 위에 다수의 TFT 및 배선 등으로 구성되는 구동회로와, 다수의 TFT, 배선, 및 화소 전극 등으로 구성되는 화소부 등이 일체로 형성되어 있는 것으로서, 액티브 매트릭스 기관 위에서 착색막과 화소부와의 위치맞춤이 가능하기 때문에, 종래와 같이 부착할 때 요구되는 정밀도 높은 위치맞춤이 불필요하게 된다.

또한, 액티브 매트릭스 기관 위의 착색막은 화소 전극에 대하여 액정과 반대측에 마련되어 있기 때문에, 양 전극으로부터 액정에 대한 전계의 인가에 영향을 주지 않고 액티브 매트릭스 기관 위에 일체로 형성할 수 있다.

또한, 본 발명에서, 액티브 매트릭스 기관 위에 형성되는 TFT가, 아모르퍼스 반도체나 세미아모르퍼스 반도체 또는 다결정 반도체로 이루어지는 활성층을 가지는 보텀 게이트형 TFT이고, 또한, 대향 기관 측에 광원이 마련된 경우에, 활성층과 겹치는 위치에 차광체를 마련한 때, 상기 효과에 더하여, TFT를 구동시킨 경우에 소스 영역과 드레인 영역 사이에서 누설 전류가 발생하는 것이 방지될 수 있다. 또한, 차광체를 마련하는 경우에, 보텀 게이트형 TFT를 채널 스톱(보호)형으로 함으로써, 공정수를 늘이지 않고, 차광체를 마련할 수 있다.

또한, 본 발명에서, 액티브 매트릭스 기관 위의 화소부에 화소 전극(개별 전극) 및 대향 전극(공통 전극)이 형성되는 구성의 경우에는, 양 전극 중 어느 한쪽 또는 모두를 투명 도전막으로 형성함으로써, 상기 효과에 더하여 개구율의 저감을 방지할 수 있다.

### 도면의 간단한 설명

도 1은 본 발명의 액정 표시 패널을 설명하는 단면도.

도 2(A)~도 2(E)는 액티브 매트릭스 기관의 제작방법을 설명하는 단면도.

도 3(A)~도 3(D)는 액티브 매트릭스 기관의 제작방법을 설명하는 단면도.

도 4는 액티브 매트릭스 기관의 상면도.

도 5는 본 발명의 액정 표시 패널을 설명하는 단면도.

도 6(A) 및 도 6(B)는 액티브 매트릭스 기관의 상면도 및 단면도.

도 7(A) 및 도 7(B)는 액티브 매트릭스 기관의 상면도 및 단면도.

도 8(A)~도 8(E)는 착색막에 대하여 설명하는 도면.

도 9(A) 및 도 9(B)는 본 발명의 액정 표시 패널을 설명하는 상면도 및 단면도.

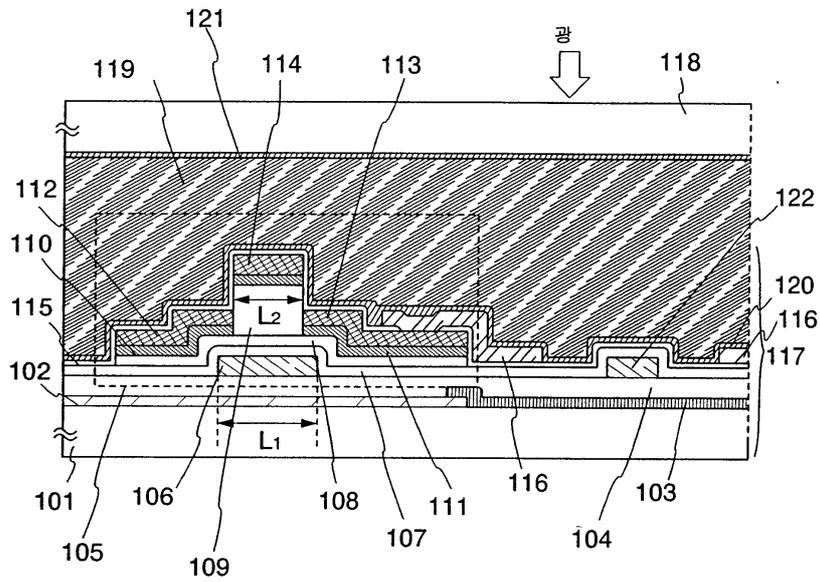
도 10(A)~도 10(C)는 본 발명의 액정 표시 패널의 구동회로를 설명하는 도면.

도 11은 액정 표시장치를 설명하는 도면.

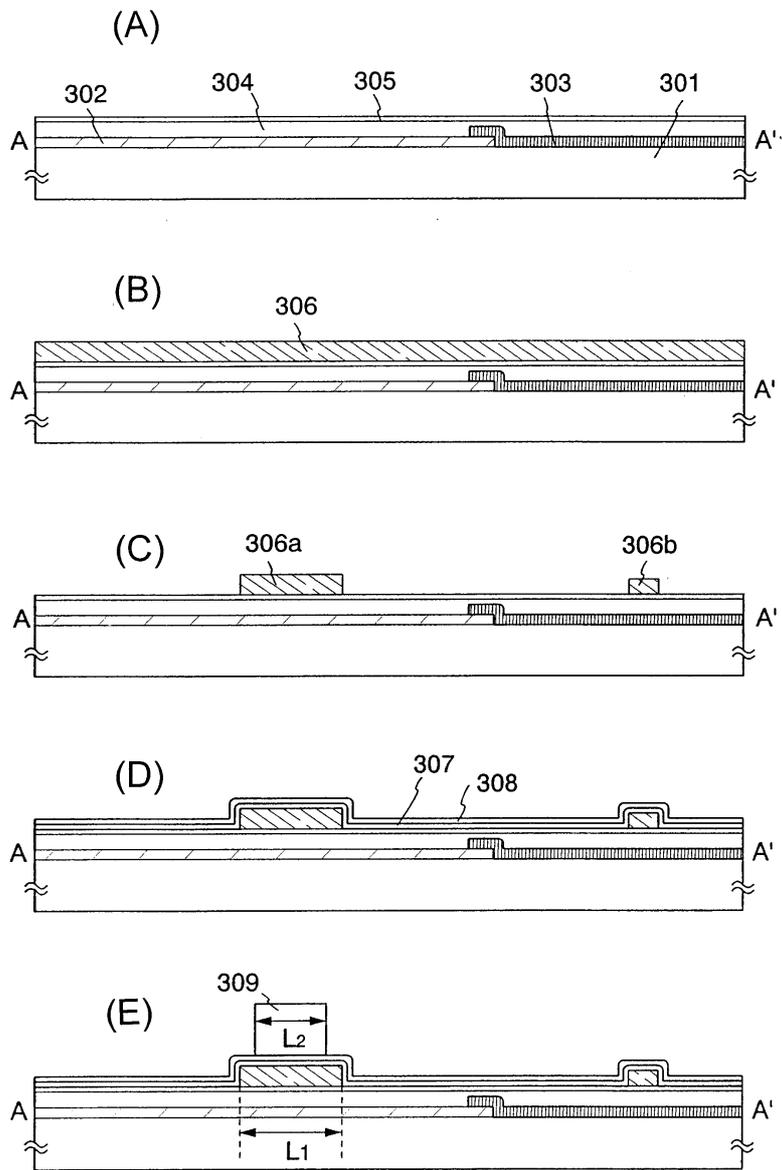
도 12(A)~도 12(E)는 전자장치를 설명하는 도면.

도면

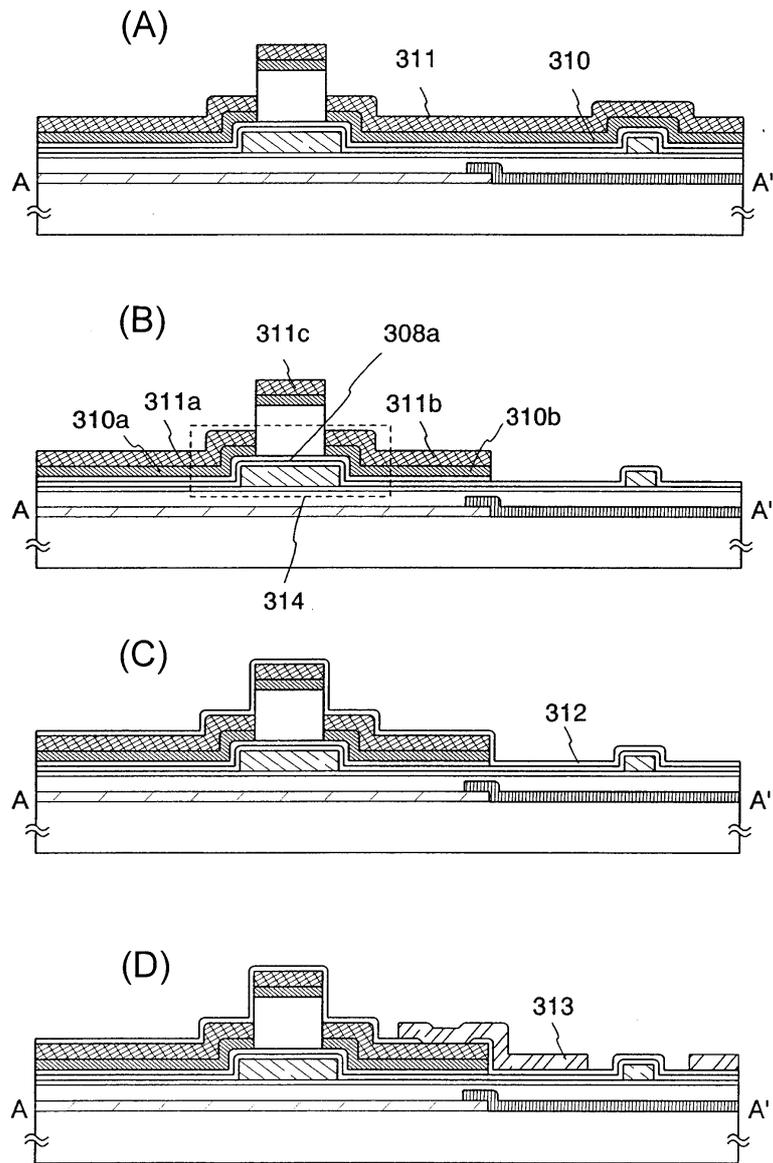
도면1



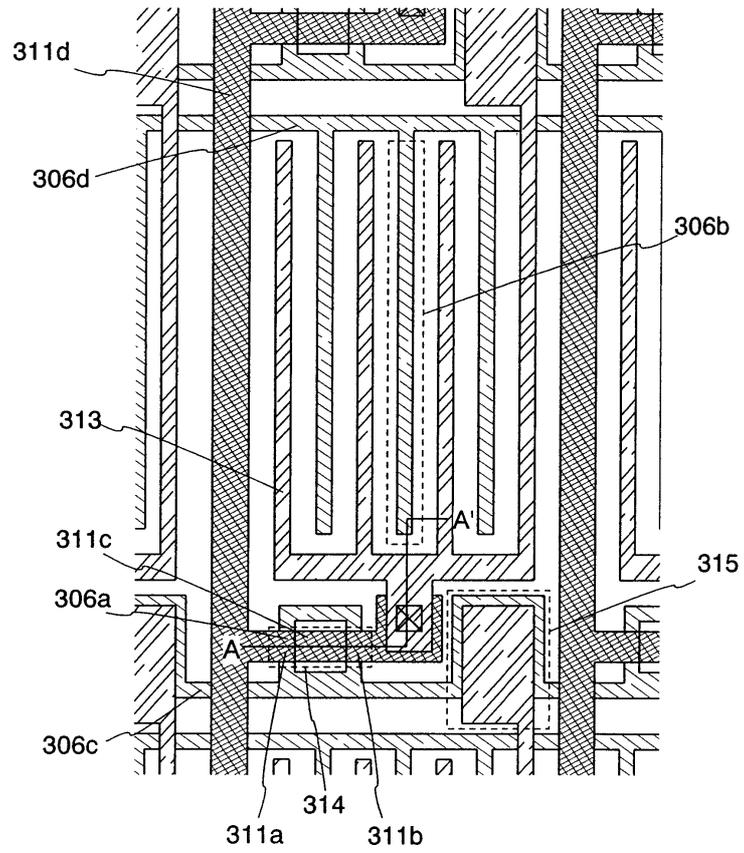
도면2



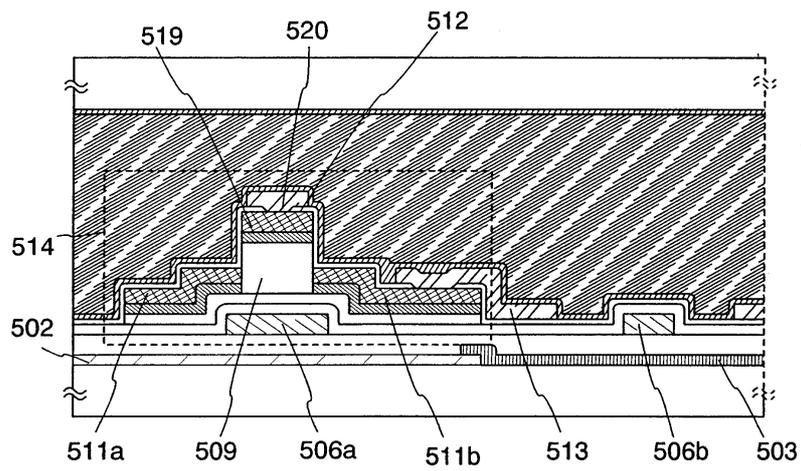
도면3



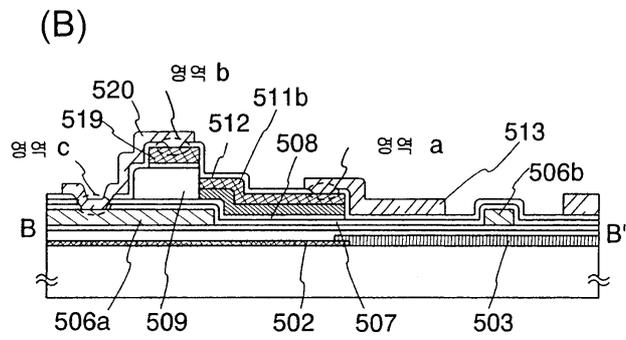
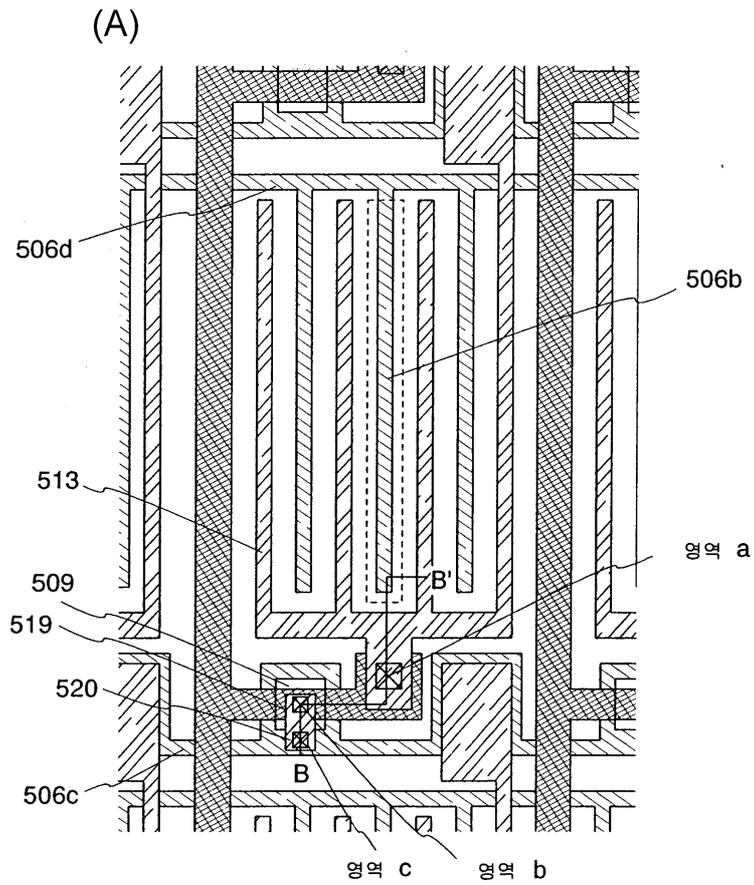
도면4



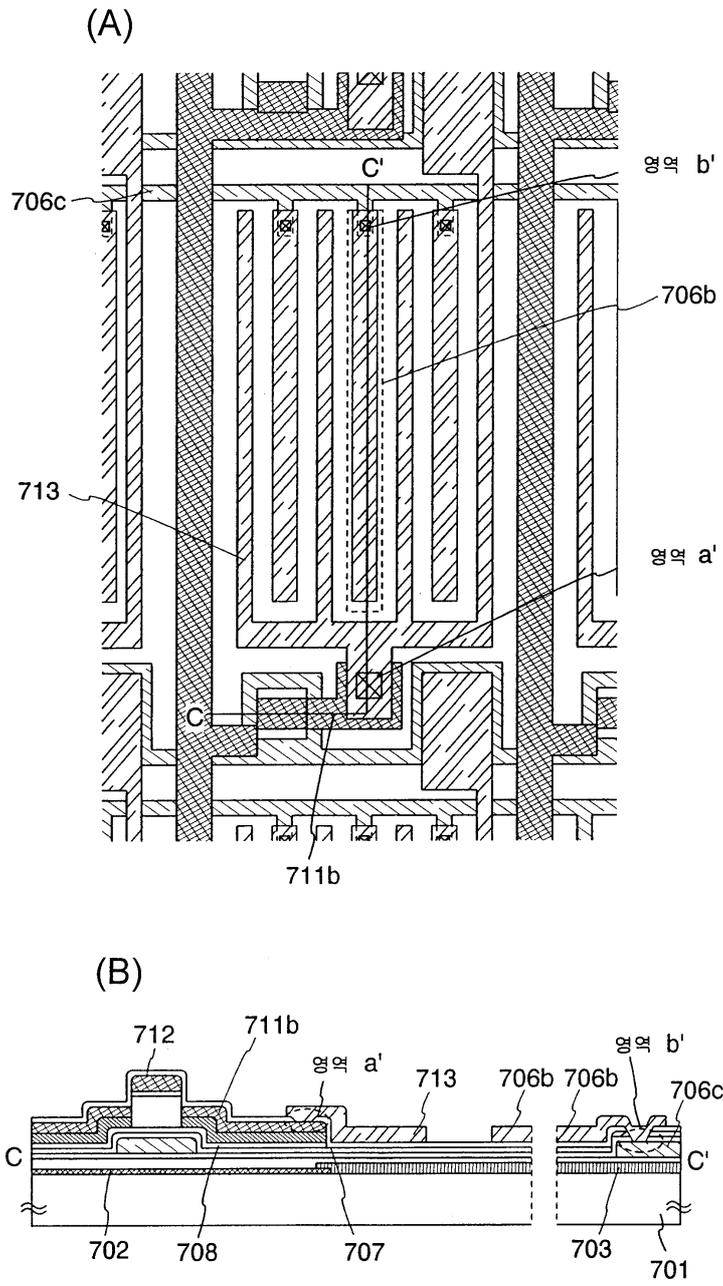
도면5



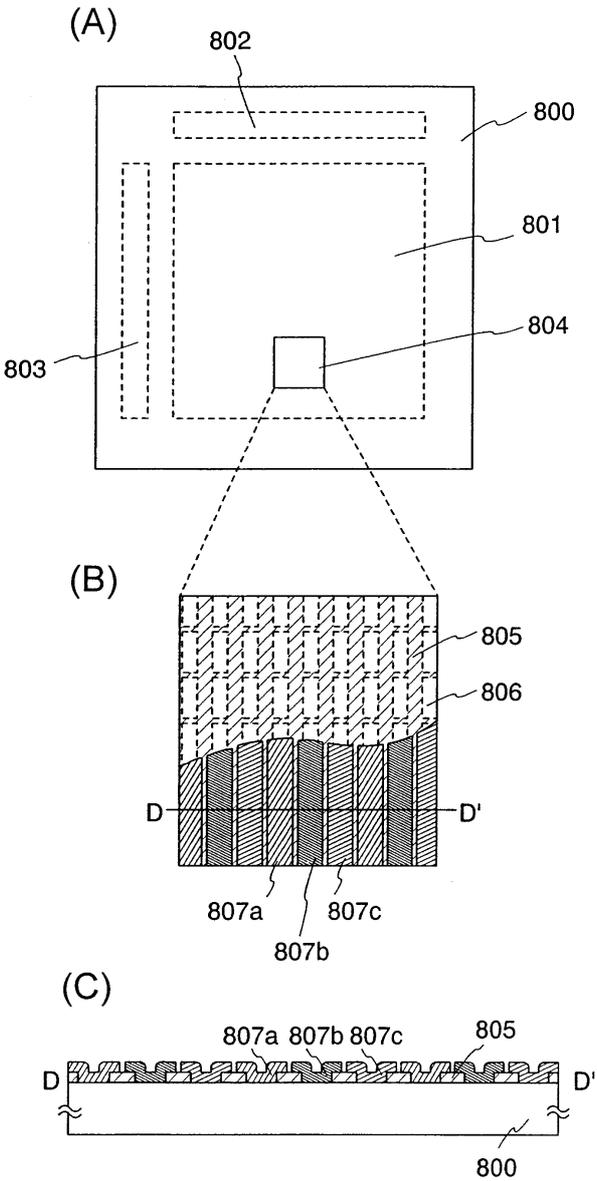
도면6



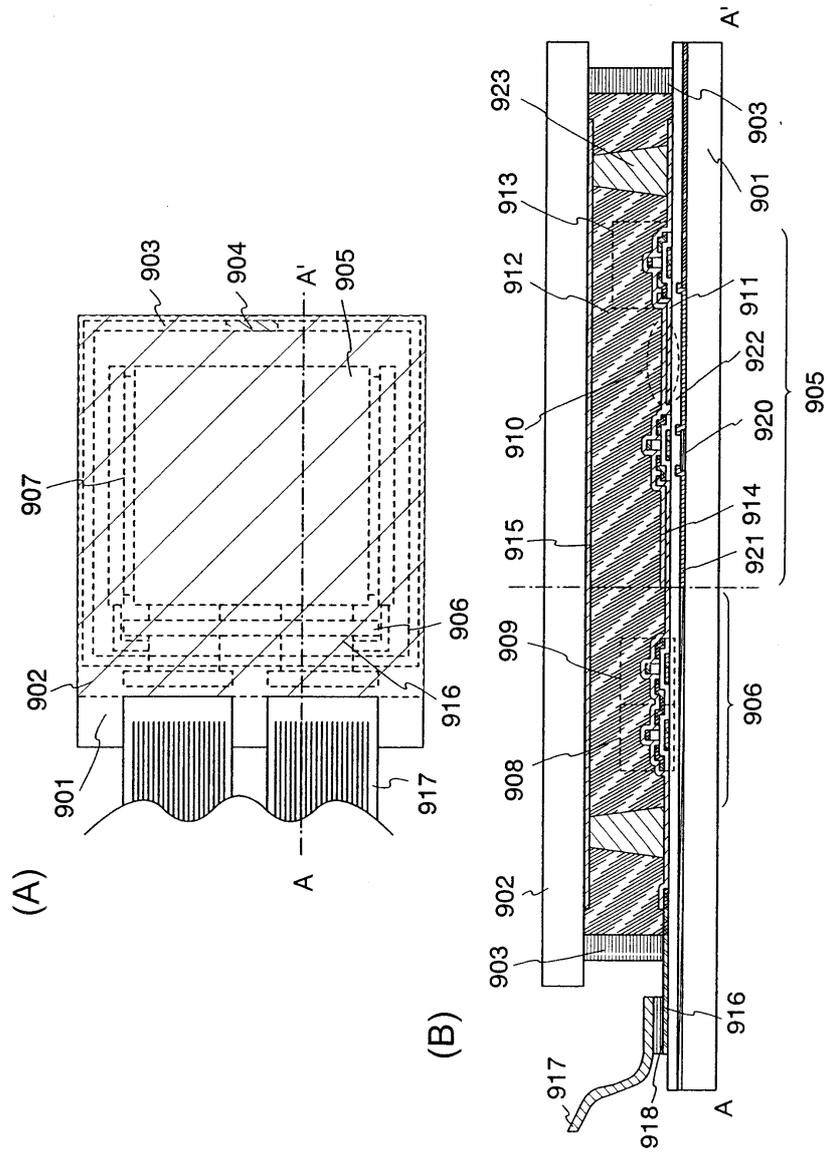
도면7



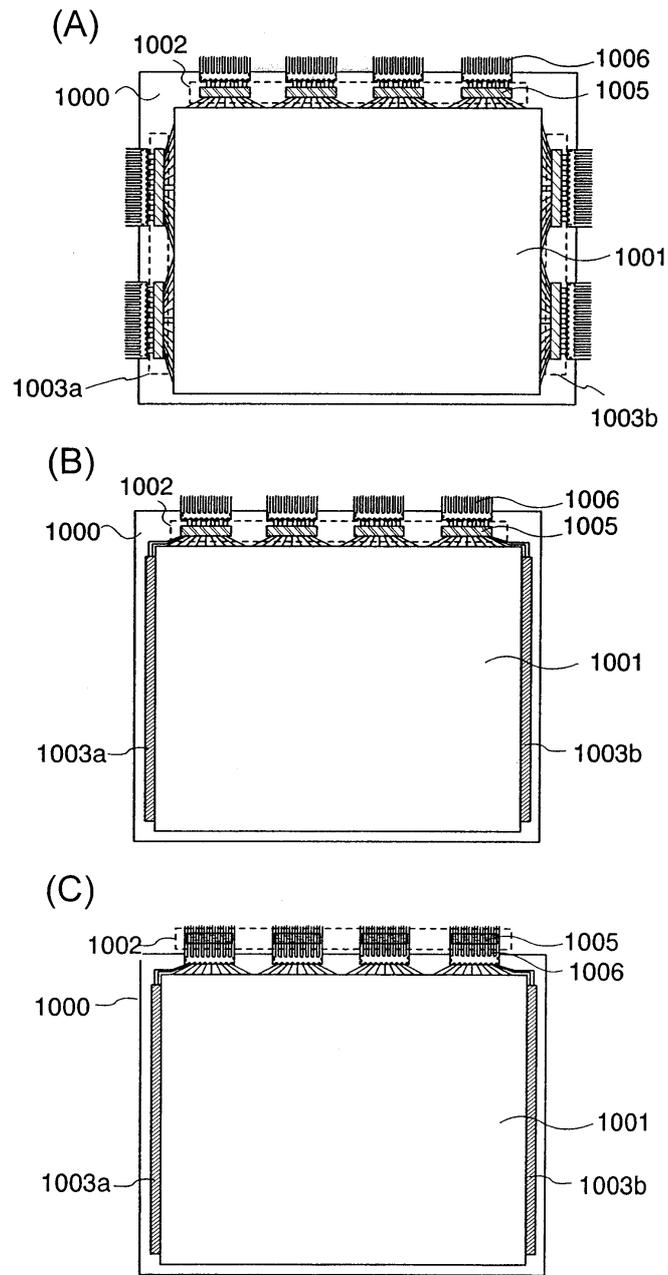
도면8



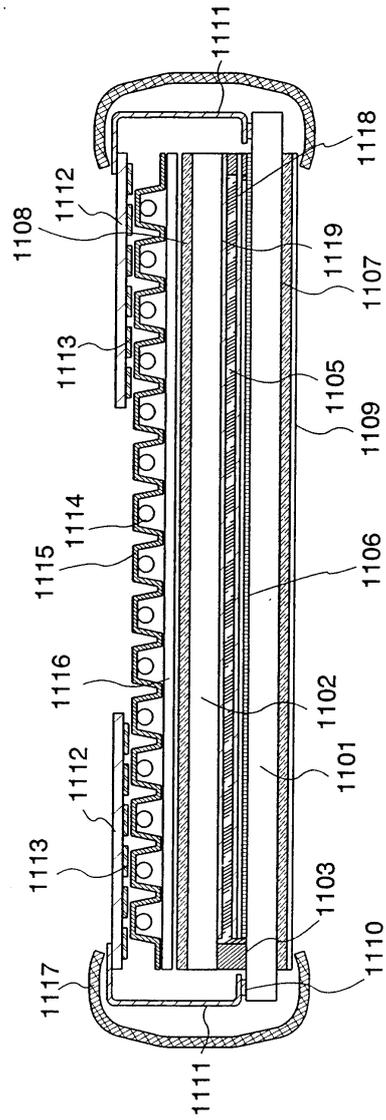
도면9



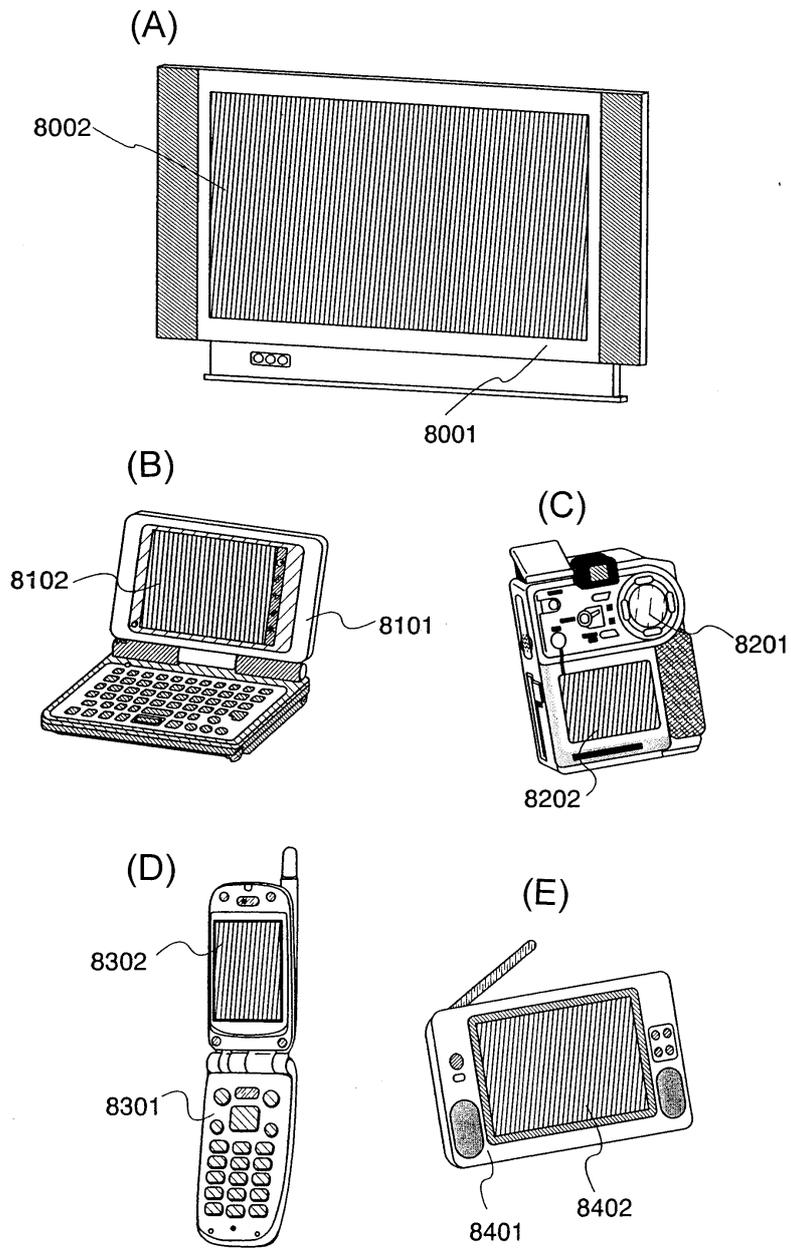
도면10



도면11



도면12



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	<a href="#">KR1020070003572A</a>	公开(公告)日	2007-01-05
申请号	KR1020060056040	申请日	2006-06-21
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	FUJIKAWA SAISHI 후지카와사이시 HOSOYA KUNIO 호소야쿠니오		
发明人	후지카와사이시 호소야쿠니오		
IPC分类号	G02F1/136		
CPC分类号	G02F1/136209 G02F1/133345 G02F2001/136222		
优先权	2005191078 2005-06-30 JP		
其他公开文献	KR101258676B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

在本发明中，目的是提供一种液晶显示器及其制造方法，当安装有源矩阵基板和相对板时，不需要精确的高位置对准，并且不影响液晶的电场认可。而且，电极。本发明的液晶显示器具有使用有源矩阵基板形成的结构，其中多个TFT和由布线等构成的驱动电路和多个TFT，以及由布线和像素电极等构成的像素等形成在其上形成有遮光层和有色薄膜的基板上的主体，其中液晶注入这种有源矩阵基板和相对的板之间。液晶显示器，位置对准，遮光层，有色薄膜，薄膜晶体管。

