



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
G02F 1/1343 (2006.01)

(11) 공개번호 10-2006-0122118
(43) 공개일자 2006년11월30일

(21) 출원번호 10-2005-0044111
(22) 출원일자 2005년05월25일
심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 엄윤성
경기 용인시 상현동 쌍용아파트 216동 1702호
김현욱
경기 용인시 기흥읍 농서리 산24번지
유재진
경기 광주시 오포읍 양벌1리 692번지

(74) 대리인 유미특허법인

전체 청구항 수 : 총 12 항

(54) 박막 트랜지스터 표시판 및 이를 포함하는 액정 표시 장치

(57) 요약

본 발명은, 기관 위에 제1 및 제2 게이트선과 유지 전극을 포함하는 유지 전극선이 형성되어 있고, 이들을 덮는 게이트 절연막 상부에는 제1 및 제2 게이트선과 절연되어 교차하고 있는 데이터선 및 제1 부화소 전극과 연결되어 있고 유지 전극과 중첩하는 도전체가 형성되어 있다. 이들을 덮는 보호막 상부에는 제1 및 제2 게이트선과 각각 연결되어 있는 제1 및 제2 부화소 전극을 포함하는 화소 전극이 형성되어 있다. 유지 전극과 중첩하고 있는 도전체 위에 제2 부화소 전극이 또한 중첩하고 있어서 개구율의 손상 없이 제1 및 제2 부화소 전극의 결합 축전기를 형성할 수 있고 제2 부화소 전극이 극성 반전 시 제1 부화소 전극에 충전업(charging up)을 유도할 수 있다.

대표도

도 4

특허청구의 범위

청구항 1.

기관,

상기 기관 위에 형성되어 있는 제1 신호선,

상기 제1 신호선과 교차하는 제2 및 제3 신호선,

상기 제1 및 제2 신호선과 연결되어 있는 제1 박막 트랜지스터,

상기 제1 및 제3 신호선과 연결되어 있는 제2 박막 트랜지스터,

상기 제1 박막 트랜지스터와 연결되어 있는 제1 부화소 전극 및 상기 제2 박막 트랜지스터와 연결되어 있는 제2 부화소 전극을 포함하는 화소 전극,

상기 제1 부화소 전극 또는 상기 제1 박막 트랜지스터와 연결되어 있으며 상기 제2 부화소 전극과 중첩하는 도전체, 그리고

상기 도전체와 중첩하는 유지 전극

을 포함하는 박막 트랜지스터 표시판.

청구항 2.

제1항에서,

상기 유지 전극과 상기 제2 부화소 전극은 상기 도전체를 중심으로 서로 반대쪽에 위치하는 박막 트랜지스터 표시판.

청구항 3.

제2항에서,

상기 유지 전극과 상기 도전체 사이에 위치한 제1 절연막, 그리고

상기 도전체와 상기 부화소 전극 사이에 위치한 제2 절연막을 더 포함하는

박막 트랜지스터 표시판.

청구항 4.

제3항에서,

상기 제2 절연막은 무기 절연 물질로 이루어진 하부막과 유기 절연 물질로 이루어진 상부막을 포함하고,

상기 도전체와 상기 제2 부화소 전극이 상기 하부막 사이에 두고 중첩하는 박막 트랜지스터 표시판.

청구항 5.

제1항에서,

상기 제1 부화소 전극은 서로 떨어진 적어도 두 개의 부분을 포함하는 박막 트랜지스터 표시판.

청구항 6.

제1항에서,

상기 데이터선과 중첩하는 차폐 전극을 더 포함하는 박막 트랜지스터 표시판.

청구항 7.

제1항 내지 제6항 중 어느 한 항에서,

상기 제1 및 제2 부화소 전극은 동일한 극성의 전압을 인가 받는 박막 트랜지스터 표시판.

청구항 8.

제1항 내지 제6항 중 어느 한 항에서,

상기 제1 및 제2 부화소 전극에 인가되는 데이터 전압의 크기가 서로 다른 박막 트랜지스터 표시판.

청구항 9.

제1항 내지 제6항 중 어느 한 항에서,

상기 제1 및 제2 부화소 전극 중 적어도 하나는 절개부를 포함하는 박막 트랜지스터 표시판.

청구항 10.

기관,

상기 기관 위에 형성되어 있는 제1 신호선,

상기 제1 신호선과 교차하는 제2 및 제 3 신호선,

상기 제1 및 제2 신호선과 연결되어 있는 제1 박막 트랜지스터,

상기 제1 및 제3 신호선과 연결되어 있는 제2 박막 트랜지스터,

상기 제1 박막 트랜지스터와 연결되어 있는 제1 부화소 전극 및 상기 제2 박막 트랜지스터와 연결되어 있는 제2 부화소 전극을 포함하는 화소 전극,

상기 제1 부화소 전극 또는 상기 제1 박막 트랜지스터와 연결되어 있으며 상기 제2 부화소 전극과 중첩하는 도전체,

상기 도전체와 중첩하는 유지 전극, 그리고

상기 제1 및 제2 부화소 전극과 마주보는 공통 전극을 더 포함하는 액정 표시 장치.

청구항 11.

제10항에서,

상기 제1 부화소 전극 또는 상기 제2 부화소 전극 중 적어도 하나와 상기 공통 전극은 교대로 배열되어 있는 절개부를 가지고 있는 액정 표시 장치.

청구항 12.

제11항에서,

상기 제1 부화소 전극과 상기 제2 부화소 전극 사이의 간극과 상기 제3 표시 전극의 절개부가 교대로 배열되어 있는 액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것이다.

액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치(flat panel display) 중 하나로서, 화소 전극과 공통 전극 등 전기장 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 들어 있는 액정층을 포함한다. 액정 표시 장치는 전기장 생성 전극에 전압을 인가하여 액정층에 전기장을 생성하고 이를 통하여 액정층의 액정 분자들의 방향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

그 중에서도 전계가 인가되지 않은 상태에서 액정 분자의 장축을 상하 표시판에 대하여 수직을 이루도록 배열한 수직 배향 모드 액정 표시 장치는 대비비가 크고 넓은 기준 시야각 구현이 용이하여 각광받고 있다. 여기에서 기준 시야각이란 대비비가 1:10인 시야각 또는 계조간 휘도 반전 한계 각도를 의미한다.

그러나 수직 배향 방식의 액정 표시 장치는 전면 시인성에 비하여 측면 시인성이 떨어지는 문제점이 있다. 예를 들어, 절개부가 구비된 PVA(patterned vertically aligned) 방식 액정 표시 장치의 경우에는 측면으로 갈수록 영상이 밝아져서, 심한 경우에는 높은 계조 사이의 휘도 차이가 없어져 그림이 뭉그러져 보이는 경우도 발생한다.

이러한 문제점을 개선하기 위하여 하나의 화소 전극을 두 개의 부화소 전극으로 분할하고 두 부화소 전극을 용량성 결합시킨 후 한 쪽 부화소 전극에는 직접 전압을 인가하고 다른 쪽 부화소 전극에는 용량성 결합에 의한 전압 하강을 일으켜 두 부화소 전극의 전압을 달리 함으로써 투과율을 다르게 하는 방법이 제시되었다.

발명이 이루고자 하는 기술적 과제

그러나 이러한 방법은 두 부화소 전극의 투과율을 원하는 수준으로 정확하게 맞출 수 없는 문제점이 있고, 특히 색상에 따라 광투과율이 다르므로 각 색상에 대한 전압 배합을 달리 하여야 함에도 불구하고 이를 행할 수 없다. 또한 용량성 결합을 위한 도전체의 추가 등으로 인한 개구율의 저하가 나타나고 용량성 결합에 의한 전압 강하로 인하여 투과율이 감소하는 문제가 있다.

본 발명이 이루고자 하는 기술적 과제는 개구율 손실 없이 시인성이 우수한 액정 표시 장치를 제공하는 것이다.

발명의 구성

이러한 과제를 해결하기 위하여 본 발명에서는 화소 전극을 두 개의 부화소 전극으로 나누고 부화소 전극에 각각의 스위칭 소자를 통해 서로 다른 전위가 인가되도록 하면서 두 부화소 전극을 용량성 결합시키고, 한 부화소 전극의 유지 축전기 위에 용량성 결합을 형성하여 개구율 손실 없이 시인성을 향상시킨다.

본 발명의 실시예에 박막 트랜지스터 표시판은 기관, 상기 기관 위에 형성되어 있는 제1 신호선, 상기 제1 신호선과 교차하는 제2 및 제3 신호선, 상기 제1 및 제2 신호선과 연결되어 있는 제1 박막 트랜지스터, 상기 제1 및 제3 신호선과 연결되어 있는 제2 박막 트랜지스터, 상기 제1 박막 트랜지스터와 연결되어 있는 제1 부화소 전극 및 상기 제2 박막 트랜지스터와 연결되어 있는 제2 부화소 전극을 포함하는 화소 전극, 상기 제1 부화소 전극 또는 상기 제1 박막 트랜지스터와 연결되어 있으며 상기 제2 부화소 전극과 중첩하는 도전체, 그리고 상기 도전체와 중첩하는 유지 전극을 포함한다.

상기 유지 전극과 상기 제2 부화소 전극은 상기 도전체를 중심으로 서로 반대쪽에 위치할 수 있고, 상기 유지 전극과 상기 도전체 사이에 위치한 제1 절연막, 그리고 상기 도전체와 상기 부화소 전극 사이에 위치한 제2 절연막을 더 포함할 수 있다. 상기 제2 절연막은 무기 절연 물질로 이루어진 하부막과 유기 절연 물질로 이루어진 상부막을 포함하고, 상기 도전체와 상기 제2 부화소 전극이 상기 하부막을 사이에 두고 중첩하는 것이 바람직하다.

또한 상기 제1 부화소 전극이 상기 제2 부화소 전극을 사이에 두고 분리될 수 있으며, 상기 데이터선과 중첩하는 차폐 전극을 더 포함할 수 있다.

상기 제1 및 제2 부화소 전극은 같은 극성의 반전을 하고, 상기 제1 및 제2 부화소 전극에 인가되는 데이터 전압의 크기가 서로 다를 수 있다.

본 발명의 실시예에 따른 액정 표시 장치는 기관, 상기 기관 위에 형성되어 있는 제1 신호선, 상기 제1 신호선과 교차하는 제2 및 제3 신호선, 상기 제1 및 제2 신호선과 연결되어 있는 제1 박막 트랜지스터, 상기 제1 및 제3 신호선과 연결되어 있는 제2 박막 트랜지스터, 상기 제1 박막 트랜지스터와 연결되어 있는 제1 부화소 전극 및 상기 제2 박막 트랜지스터와 연결되어 있는 제2 부화소 전극을 포함하는 화소 전극, 상기 제1 부화소 전극 또는 상기 제1 박막 트랜지스터와 연결되어 있으며 상기 제2 부화소 전극과 중첩하는 도전체, 상기 도전체와 중첩하는 유지 전극, 그리고 상기 제1 및 제2 부화소 전극과 마주보는 제3 표시 전극을 더 포함한다.

상기 제1 부화소 전극 또는 상기 제2 부화소 전극 중 적어도 하나와 상기 제3 표시 전극은 교대로 배열되어 있는 절개부를 가질 수 있고, 상기 제1 부화소 전극과 상기 제2 부화소 전극 사이의 간극과 상기 제3 표시 전극의 절개부가 교대로 배열되어 있을 수 있다.

첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

이제 본 발명의 실시예에 따른 액정 표시 장치에 대하여 도면을 참고로 하여 상세하게 설명한다.

도 1a 내지 도 1c는 본 발명의 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이고, 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 한 부화소에 대한 등가 회로도이다.

도 1a 내지 도 1c를 참고하면, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300)와 이에 연결된 한 쌍 또는 하나의 게이트 구동부(400a, 400b, 400) 및 데이터 구동부(500), 데이터 구동부(500)에 연결된 계조 전압 생성부(800), 그리고 이들을 제어하는 신호 제어부(600)를 포함한다.

액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 표시 신호선과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(PX)를 포함한다. 반면, 도 3에 도시한 구조로 볼 때, 액정 표시판 조립체(300)는 서로 마주하는 하부 및 상부 표시판(100, 200)과 둘 사이에 들어 있는 액정층(3)을 포함한다.

표시 신호선은 하부 표시판(100)에 구비되어 있으며, 게이트 신호("주사 신호"라고도 함)를 전달하는 복수 쌍의 게이트선($G_{1a} - G_{nb}$)과 데이터 신호를 전달하는 데이터선($D_1 - D_m$)을 포함한다. 게이트선($G_{1a} - G_{nb}$)은 대략 행 방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선($D_1 - D_m$)은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다.

도 2에는 표시 신호선과 화소의 등가 회로가 나타나 있는데, 도면 부호 GLa, GLb로 나타낸 한 쌍의 게이트선과 도면 부호 DL로 나타낸 데이터선 이외에도 표시 신호선은 게이트선($G_1 - G_{2b}$)과 거의 나란하게 뻗은 유지 전극선(SL)을 포함한다.

도 2를 참고하면, 각 화소(PX)는 한 쌍의 부화소(PXa, PXb)와 이들 사이에 연결되어 있는 결합 축전기(Ccp)를 포함하며, 각 부화소(PXa, PXb)는 해당 게이트선(GLa, GLb) 및 데이터선(DL)에 연결되어 있는 스위칭 소자(Qa, Qb)와 이에 연결된 액정 축전기(liquid crystal capacitor)(C_{LCa}, C_{LCb})를 포함한다. 그리고 두 부화소(PXa, PXb) 중 하나(PXa)는 스위칭 소자(Qa) 및 유지 전극선(SL)에 연결되어 있는 유지 축전기(storage capacitor)(C_{STa})를 포함한다.

도 3을 참고하면, 각 부화소(PXa, PXb)의 스위칭 소자는 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등으로 이루어지며, 게이트선(GL)에 연결되어 있는 제어 단자, 데이터선(DL)에 연결되어 있는 입력 단자, 그리고 액정 축전기(C_{LC}) 및 유지 축전기(C_{ST})에 연결되어 있는 출력 단자를 가지는 삼단자 소자이다.

액정 축전기(C_{LC})는 하부 표시판(100)의 부화소 전극(PE)과 상부 표시판(200)의 공통 전극(CE)을 두 단자로 하며 두 전극(PE, CE) 사이의 액정층(3)은 유전체로서 기능한다. 부화소 전극(PE)은 스위칭 소자에 연결되며, 공통 전극(CE)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(Vcom)을 인가 받는다. 도 3에서와는 달리 공통 전극(CE)이 하부 표시판(100)에 구비되는 경우도 있으며 이때에는 두 전극(PE, CE) 중 적어도 하나가 선형 또는 막대형으로 만들어질 수 있다.

액정 축전기(C_{LC})의 보조적인 역할을 하는 유지 축전기(C_{ST})는 하부 표시판(100)에 구비된 유지 전극선(SL)과 화소 전극(PE)이 절연체를 사이에 두고 중첩되어 이루어지며 유지 전극선(SL)에는 공통 전압(Vcom) 따위의 정해진 전압이 인가된다. 그러나 유지 축전기(C_{ST})는 부화소 전극(PE)이 절연체를 매개로 바로 위의 전단 게이트선과 중첩되어 이루어질 수 있다.

한편, 색 표시를 구현하기 위해서는 각 화소(PX)가 기본색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소(PX)가 시간에 따라 번갈아 삼원색을 표시하게(시간 분할) 하여 이들 삼원색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 기본색의 예로는 적색, 녹색 및 청색을 들 수 있다. 도 3은 공간 분할의 한 예로서 각 화소(PX)가 상부 표시판(200)의 영역에 기본색 중 하나를 나타내는 색필터(CF)를 구비함을 보여주고 있다. 도 3과는 달리 색필터(CF)는 하부 표시판(100)의 부화소 전극(PE) 위 또는 아래에 형성할 수도 있다.

도 1a 내지 도 1c를 참고하면, 게이트 구동부(400a, 400b, 400)는 게이트선($G_{1a} - G_{nb}$)에 연결되어 외부로부터의 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호를 게이트선($G_{1a} - G_{nb}$)에 인가한다. 도 1a에서는 한 쌍의 게이트 구동부(400a, 400b)가 각각 액정 표시판 조립체(300)의 좌우에 위치하며 홀수 번째 및 짝수 번째 게이트선($G_{1a} - G_{nb}$)에 각각 연결된다. 도 1b 및 도 1c에 도시한 하나의 게이트 구동부(400)는 액정 표시판 조립체(300)의 한 쪽에 위치하며 모든 게이트선($G_{1a} - G_{nb}$)에 연결되어 있는데, 도 1c의 경우 게이트 구동부(400) 내에 두 개의 구동 회로(401, 402)가 내장되어 있어 각각 홀수 번째 및 짝수 번째 게이트선($G_{1a} - G_{nb}$)에 연결된다.

계조 전압 생성부(gray voltage generator)(800)는 화소(PX)의 투과율과 관련된 두 개의 계조 전압 집합(또는 기준 계조 전압 집합)을 생성한다. 두 개의 계조 전압 집합은 하나의 화소(PX)를 이루는 두 부화소(PXa, PXb)에 독립적으로 제공될 것으로서, 각 계조 전압 집합은 공통 전압(Vcom)에 대하여 양의 값을 가지는 것과 음의 값을 가지는 것을 포함한다. 그러나 두 개의 (기준) 계조 전압 집합 대신 하나의 (기준) 계조 전압 집합만을 생성할 수도 있다.

데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선($D_1 - D_m$)에 연결되어 계조 전압 생성부(800)로부터의 두 개의 계조 전압 집합 중 하나를 선택하고 선택된 계조 전압 집합에 속하는 하나의 계조 전압을 데이터 전압으로서 화소(PX)에

인가한다. 그러나 계조 전압 생성부(800)가 모든 계조에 대한 전압을 모두 제공하는 것이 아니라 기준 계조 전압만을 제공하는 경우에, 데이터 구동부(500)는 기준 계조 전압을 분압하여 전체 계조에 대한 계조 전압을 생성하고 이 중에서 데이터 전압을 선택한다.

게이트 구동부(400, 400a, 400b) 또는 데이터 구동부(500)는 하나 이상의 구동 집적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(300)에 부착될 수도 있다. 이와는 달리, 게이트 구동부(400, 400a, 400b) 또는 데이터 구동부(500)가 액정 표시판 조립체(300)에 집적될 수도 있다.

신호 제어부(600)는 게이트 구동부(400) 및 데이터 구동부(500) 등의 동작을 제어한다.

그러면, 본 발명의 한 실시예에 따른 이러한 액정 표시판 조립체에 대하여 도 4 내지 도 7b를 참고로 하여 상세하게 설명한다.

도 4는 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 5는 본 발명의 한 실시예에 따른 공통 전극 표시판의 배치도이고, 도 6은 도 4 및 도 5의 두 표시판을 포함하는 액정 표시판 조립체의 배치도이고, 도 7a 및 도 7b는 각각 도 6의 액정 표시판 조립체를 VIIa-VIIa 선 및 VIIb-VIIb'-VIIb " 선을 따라 잘라 도시한 단면도이다.

도 4 내지 도 7b를 참고하면, 본 발명의 한 실시예에 따른 액정 표시판 조립체는 박막 트랜지스터 표시판(100), 공통 전극 표시판(200), 이들 두 표시판(100, 200) 사이에 들어 있는 액정층(3)을 포함한다.

먼저, 도 4, 도 6, 도 7a 및 도 7b를 참고로 하여 박막 트랜지스터 표시판(100)에 대하여 상세하게 설명한다.

투명한 유리 또는 플라스틱 따위로 만들어진 절연 기판(110) 위에 복수 쌍의 제1 및 제2 게이트선(gate line)(121a, 121b)과 복수의 유지 전극선(storage electrode lines)(131)을 포함하는 복수의 게이트 도전체가 형성되어 있다.

제1 및 제2 게이트선(121a, 121b)은 게이트 신호를 전달하고 주로 가로 방향으로 뻗으며, 각각 위쪽 및 아래쪽에 위치한다.

제1 게이트선(121a)은 아래로 돌출한 복수의 제1 게이트 전극(gate electrode)(124a)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓으며 왼쪽에 배치되어 있는 끝 부분(129a)을 포함한다. 제2 게이트선(121b)은 위로 돌출한 복수의 제2 게이트 전극(gate electrode)(124b)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓으며 오른쪽에 배치되어 있는 끝 부분(129b)을 포함한다.

그러나 이들 끝 부분(129a, 129b)은 서로 같은 쪽에 배치될 수 있다. 게이트 신호를 생성하는 게이트 구동 회로(도시하지 않음)는 기판(110) 위에 부착되는 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되거나, 기판(110) 위에 직접 장착되거나, 기판(110)에 집적될 수 있다. 게이트 구동 회로가 기판(110) 위에 집적되어 있는 경우 게이트선(121a, 121b)이 연장되어 이와 직접 연결될 수 있다.

유지 전극선(131)은 소정의 전압을 인가 받으며, 주로 가로 방향으로 뻗어 있다. 각 유지 전극선(131)은 제1 및 제2 게이트선(121a, 121b) 사이에 위치하고, 제2 게이트선(121b)보다 제1 게이트선(121a)에 가까우며, 인접한 두 개의 제2 게이트선(121b)과 거의 동일한 거리를 두고 있다. 각 유지 전극선(131)은 아래위로 확장된 유지 전극(storage electrode)(137)을 포함한다. 그러나 유지 전극(137)을 비롯한 유지 전극선(131)의 모양 및 배치는 여러 형태로 변형될 수 있다.

게이트 도전체(121a, 121b, 131)는 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은 계열 금속, 구리(Cu)나 구리 합금 등 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 만들어질 수 있다. 그러나 이들은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수도 있다. 이 중 한 도전막은 신호 지연이나 전압 강하를 줄일 수 있도록 비저항(resistivity)이 낮은 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 만들어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 탄탈륨, 티타늄 등으로 만들어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄(합금) 상부막 및 알루미늄(합금) 하부막과 몰리브덴(합금) 상부막을 들 수 있다. 그러나 게이트 도전체(121a, 121b, 131)는 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.

게이트 도전체(121a, 121b, 131)의 측면은 기판(110) 면에 대하여 경사져 있으며 그 경사각은 약 30° 내지 약 80°인 것이 바람직하다.

게이트 도전체(121a, 121b, 131) 위에는 질화규소(SiNx) 또는 산화규소(SiOx) 따위로 만들어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.

게이트 절연막(140) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 또는 다결정 규소(polysilicon) 등으로 만들어진 복수의 선형 반도체(151)가 형성되어 있다. 선형 반도체(151)는 주로 세로 방향으로 뻗어 있으며, 게이트 전극(124a, 124b)을 향하여 각각 뻗어 나온 복수 쌍의 제1 및 제2 돌출부(projection)(154a, 154b)를 포함한다. 선형 반도체(151)는 게이트선(121a, 121b) 및 유지 전극선(131) 부근에서 너비가 넓어져 이들을 폭넓게 덮고 있다.

선형 반도체(151) 위에는 복수의 선형 저항성 접촉 부재(ohmic contact)(161)와 복수의 제1 선행 저항성 접촉 부재(165a)가 형성되어 있다. 저항성 접촉 부재(161, 165a)는 인 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다. 선형 저항성 접촉 부재(161)는 복수의 제1 돌출부(163a)를 가지고 있으며, 제1 돌출부(163a)와 제1 선행 저항성 접촉 부재(165a)는 쌍을 이루어 반도체(151)의 제1 돌출부(154a) 위에 배치되어 있다. 한편 선형 저항성 접촉 부재(161)는 반도체(151)의 제2 돌출부(154b) 위에 위치한 제2 돌출부(도시하지 않음)를 포함하며, 이와 마주하는 제2 선행 저항성 접촉 부재(도시하지 않음)가 반도체(151)의 제2 돌출부(154b) 위에 형성되어 있다.

반도체(151)와 저항성 접촉 부재(161, 165a)의 측면 역시 기판(110) 면에 대하여 경사져 있으며 경사각은 30° 내지 80° 정도이다.

저항성 접촉 부재(161, 165a) 및 게이트 절연막(140) 위에는 복수의 데이터선(data line)(171)과 복수의 제1 및 제2 드레인 전극(drain electrode)(175a, 175b)을 포함하는 데이터 도전체가 형성되어 있다.

데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121a, 121b) 및 유지 전극선(131)과 교차한다. 각 데이터선(171)은 제1 및 제2 게이트 전극(124a, 124b)을 향하여 각각 뻗은 복수의 제1 및 제2 소스 전극(source electrode)(173a, 173b)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(179)을 포함한다. 데이터 신호를 생성하는 데이터 구동 회로(도시하지 않음)는 기판(110) 위에 부착되는 가요성 인쇄 회로막(도시하지 않음) 위에 장착되거나, 기판(110) 위에 직접 장착되거나, 기판(110)에 집적될 수 있다. 데이터 구동 회로가 기판(110) 위에 집적되어 있는 경우, 데이터선(171)이 연장되어 이와 직접 연결될 수 있다.

제1 및 제2 드레인 전극(175a, 175b)은 서로 분리되어 있고 데이터선(171)과도 분리되어 있다.

제1 드레인 전극(175a)은 제1 게이트 전극(124a)을 중심으로 제1 소스 전극(173a)와 마주하며, 넓은 한 쪽 끝 부분(177a)과 막대형인 다른 쪽 끝 부분을 포함한다. 넓은 끝 부분(177a)은 유지 전극(137)과 중첩하며, 막대형 끝 부분은 구부러진 제1 소스 전극(173a)으로 일부 둘러싸여 있다. 넓은 끝 부분(177a)은 앞으로 결합 전극이라 한다.

제2 드레인 전극(175b)은 제2 게이트 전극(124b)을 중심으로 제2 소스 전극(173b)과 마주하며, 넓은 한 쪽 끝 부분과 막대형인 다른 쪽 끝 부분을 포함한다.

제1/제2 게이트 전극(124a/124b), 제1/제2 소스 전극(173a/173b) 및 제1/제2 드레인 전극(175a/175b)은 반도체(151)의 제1/제2 돌출부(154a/154b)와 함께 제1/제2 박막 트랜지스터(thin film transistor, TFT)(Qa/Qb)를 이루며, 제1/제2 박막 트랜지스터(Qa/Qb)의 채널(channel)은 제1/제2 소스 전극(173a/173b)과 제1/제2 드레인 전극(175a/175b) 사이의 제1/제2 돌출부(154a/154b)에 형성된다.

데이터 도전체(171, 175a, 175b)는 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속(refractory metal) 또는 이들의 합금으로 만들어지는 것이 바람직하며, 내화성 금속막(도시하지 않음)과 저저항 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수 있다. 다중막 구조의 예로는 크롬 또는 몰리브덴 (합금) 하부막과 알루미늄 (합금) 상부막의 이중막, 몰리브덴 (합금) 하부막과 알루미늄 (합금) 중간막과 몰리브덴 (합금) 상부막의 삼중막을 들 수 있다. 그러나 데이터 도전체(171, 175a, 175b)는 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.

데이터 도전체(171, 175a, 175b) 또한 그 측면이 기판(110) 면에 대하여 30° 내지 80° 정도의 경사각으로 기울어진 것이 바람직하다.

저항성 접촉 부재(161, 165a)는 그 아래의 반도체(151)와 그 위의 데이터 도전체(171, 175a, 175b) 사이에만 존재하며 이들 사이의 접촉 저항을 낮추어 준다. 대부분의 곳에서는 선형 반도체(151)가 데이터선(171)보다 좁지만, 앞서 설명하였듯이 게이트선(121) 및 유지 전극선(131)과 만나는 부분에서 너비가 넓어져 표면의 프로파일을 부드럽게 함으로써 데이터선(171)이 단선되는 것을 방지한다. 반도체(151)에는 소스 전극(173a, 173b)과 드레인 전극(175a, 175b) 사이를 비롯하여 데이터 도전체(171, 175a, 175b)로 가리지 않고 노출된 부분이 있다.

데이터 도전체(171, 175a, 175b) 및 노출된 반도체(151) 부분 위에는 보호막(passivation layer)(180)이 형성되어 있다. 보호막(180)은 질화규소나 산화규소 따위의 무기 절연물로 만들어진 하부막(180q)과 유기 절연물로 만들어진 상부막(180q)을 포함한다. 유기 절연물은 4.0 이하의 유전 상수를 가지는 것이 바람직하고, 감광성(photosensitivity)을 가질 수도 있다. 보호막(180)은 무기 절연물 또는 유기 절연물 따위로 만들어진 단일막 구조를 가질 수도 있다.

보호막(180)에는 데이터선(171)의 끝 부분(179) 및 제2 드레인 전극(175b)을 각각 드러내는 복수의 접촉 구멍(contact hole)(182, 185b)이 형성되어 있다. 상부 보호막(180q)에는 결합 전극(177a) 위에 위치하고 하부 보호막(180q)을 드러내는 개구부(188)가 형성되어 있으며, 하부 보호막(180p)에는 개구부(188) 내에 위치하고 결합 전극(177a)을 드러내는 접촉 구멍(185a)이 형성되어 있다. 보호막(180)과 게이트 절연막(140)에는 게이트선(121a, 121b)의 끝 부분(129a, 129b)을 드러내는 복수의 접촉 구멍(181a, 181b)이 형성되어 있다.

접촉 구멍(181a, 181b, 182, 185a, 185b)과 개구부(188)는 완전한 각도를 가지는 측벽을 가지고 있는데, 특히 상부 보호막(180q)으로 이루어진 접촉 구멍(181a, 181b, 182, 185a, 185b)과 개구부(188)의 측면은 기판(110) 면에 대하여 30° 내지 80° 정도의 경사각으로 기울어진 것이 바람직하다. 또한 개구부(188)의 경계선은 결합 전극(177a)의 경계선 내에 있는 것이 바람직하다.

보호막(180) 위에는 복수의 화소 전극(pixel electrode)(191), 복수의 차폐 전극(shielding electrode)(88) 및 복수의 접촉 보조 부재(contact assistant)(81a, 81b, 82)가 형성되어 있다. 이들은 ITO 또는 IZO 등의 투명한 도전 물질이나 알루미늄, 은, 크롬 또는 그 합금 등의 반사성 금속으로 만들어질 수 있다.

각 화소 전극(191)은 왼쪽 모퉁이에서 모따기되어 있는 대략 사각형 모양이며, 모따기된 빗변은 게이트선(121a, 121b)에 대하여 약 45도의 각도를 이룬다.

각 화소 전극(191)은 간극(gap)(92)을 사이에 두고 나뉜 한 쌍의 제1 및 제2 부화소 전극(191a, 191b)을 포함한다. 간극(92)은 화소 전극(191)의 오른쪽 변에서부터 왼쪽 변으로 뻗어 있는 상부 및 하부 사선부와 이들을 연결하는 세로부를 포함한다. 간극(92)의 상부 및 하부 사선부는 게이트선(121a, 121b)과 약 45도를 이루며 서로 수직이다.

따라서 제2 부화소 전극(191b)은 대략 직각만큼 회전한 이등변 사다리꼴이 되고, 제1 부화소 전극(191a)은 제2 부화소 전극(190b)의 빗변과 마주보고 대략 직각만큼 회전한 한 쌍의 사다리꼴부와 제2 부화소 전극(190b)의 왼쪽 변과 마주보는 세로부를 포함한다.

제2 부화소 전극(191b)은 유지 전극선(131)을 따라 뻗은 절개부(cutout)(91)를 가지며, 이 절개부(91)에 의하여 상반부와 하반부로 이등분된다. 절개부(91)는 제2 부화소 전극(191b)의 오른쪽 변에 입구를 가지고 있으며 절개부(91)의 입구는 간극(92)의 상부 사선부 및 하부 사선부와 각각 실질적으로 평행한 한 쌍의 빗변을 가지고 있다. 간극(92)과 절개부(91)는 유지 전극선(131)에 대하여 대략 반전 대칭(inversion symmetry)을 이룬다.

이 때, 절개부의 수효 또는 영역의 수효는 화소 전극(191)의 크기, 화소 전극(191)의 가로변과 세로 변의 길이 비, 액정층(3)의 종류나 특성 등 설계 요소에 따라서 달라질 수 있다. 이하에서는 설명의 편의를 위하여 간극(92)도 절개부라고 표현한다.

제1 부화소 전극(191a)은 접촉 구멍(185a)을 통하여 제1 드레인 전극(175a)에 연결된 결합 전극(177a)과 연결되어 있고, 제2 부화소 전극(191b)은 접촉 구멍(185b)을 통하여 제2 드레인 전극(175b)과 연결되어 있다. 제1 및 제2 부화소 전극

(191a, 191b)과 공통 전극 표시판(200)의 공통 전극(270)은 제1 및 제2 액정 축전기(C_{LCa} , C_{LCb})를 이루어 박막 트랜지스터(Qa, Qb)가 턴 오프된 후에도 인가된 전압을 유지한다. 각 액정 축전기(C_{LCa} , C_{LCb})는 액정층(3) 부분을 유전체로서 포함한다.

제1 부화소 전극(191a) 및 이와 연결된 결합 전극(177a), 제1 드레인 전극(175a)은 게이트 절연막(140)을 사이에 두고 유지 전극(137)을 비롯한 유지 전극선(131)과 중첩하여 유지 축전기(C_{STa})를 이루며, 유지 축전기(C_{STa})는 제1 액정 축전기(C_{LCa})의 전압 유지 능력을 강화한다.

제2 부화소 전극(191b)은 개구부(188)에서 하부 보호막(180p)을 사이에 두고 결합 전극(177a)과 중첩하여 "결합 축전기"(C_{cp})를 이룬다.

이와 같이 유지 축전기와 결합 축전기가 동일한 공간을 차지하므로 두 축전기가 차지하는 면적이 상대적으로 작다. 따라서 두 축전기를 서로 다른 곳에 둘 경우에 비하여 개구율이 높다. 또한 얇은 하부 보호막(180p)만을 사이에 두고 결합 전극(177a)과 제2 부화소 전극(191b)이 중첩하므로 결합 용량 또한 충분히 확보할 수 있다.

또한, 제2 부화소 전극(191b)은 제1 게이트선(121a)과 중첩하고 제1 부화소 전극(191a)은 제1 및 제2 게이트선(121a, 121b) 모두와 중첩하여 개구율이 높아진다. 제1 게이트선(121a)은 화소 전극(191)의 상반부 중심 부근을 지난다.

차폐 전극(88)은 공통 전압을 인가 받으며, 데이터선(171)을 따라 뻗어 데이터선(171)을 완전히 덮는다. 차폐 전극(88)은 데이터선(171)과 화소 전극(191) 사이 및 데이터선(171)과 공통 전극(270) 사이의 전자기 간섭을 차단하여 화소 전극(191)의 전압 왜곡 및 데이터선(171)을 따라 흐르는 데이터 전압의 신호 지연을 줄여준다.

접촉 보조 부재(81a, 81b, 82)는 각각 접촉 구멍(181a, 181b, 182)을 통하여 게이트선(121a, 121b)의 끝 부분(129a, 129b) 및 데이터선(171)의 끝 부분(179)과 연결된다. 접촉 보조 부재(81a, 81b, 82)는 게이트선(121a, 121b)의 끝 부분(129a, 129b) 및 데이터선(171)의 끝 부분(179)과 외부 장치와의 접촉성을 보완하고 이들을 보호한다.

다음, 도 5 내지 도 7b를 참고로 하여, 공통 전극 표시판(200)에 대하여 설명한다.

투명한 유리 또는 플라스틱 등으로 만들어진 절연 기관(210) 위에 차광 부재(light blocking member)(220)가 형성되어 있다. 차광 부재(220)는 블랙 매트릭스라고도 하며 빛샘을 막아준다. 차광 부재(220)는 화소 전극(190)과 마주보며 화소 전극(190)과 거의 동일한 모양을 가지는 복수의 개구부를 가지고 있다. 그러나 차광 부재(22)는 게이트선(121) 및 데이터선(171)에 대응하는 부분과 박막 트랜지스터에 대응하는 부분으로 이루어질 수 있다.

기관(210) 위에는 또한 복수의 색필터(230)가 형성되어 있으며 차광 부재(230)로 둘러싸인 영역 내에 대부분 위치한다. 색필터(230)는 화소 전극(190)을 따라서 세로 방향으로 길게 뻗을 수 있다. 색필터(230)는 적색, 녹색 및 청색 등의 기본색(primary color) 중 하나를 표시할 수 있다.

색필터(230) 및 차광 부재(220) 위에는 덮개막(overcoat)(250)이 형성되어 있다. 덮개막(250)은 (유기) 절연물로 만들어질 수 있으며, 색필터(230)가 노출되는 것을 방지하고 평탄면을 제공한다.

덮개막(250) 위에는 공통 전극(270)이 형성되어 있다. 공통 전극(270)은 ITO, IZO 등의 투명한 도전체 따위로 만들어지며 복수의 절개부(71, 72a, 72b) 집합을 가진다.

하나의 절개부 (71, 72a, 72b) 집합은 하나의 화소 전극(191)과 마주 보며 중앙 절개부(71), 하부 절개부(72a) 및 상부 절개부(72b)를 포함한다. 절개부(71, 72a, 72b) 각각은 화소 전극(191)의 인접 절개부(91, 92) 사이 또는 절개부(91, 92)와 화소 전극(191)의 모따기된 빗변 사이에 배치되어 있다. 또한, 각 절개부(71, 72a, 72b)는 화소 전극(191)의 간극(94)의 상부 사선부 또는 하부 사선부와 평행하게 뻗은 적어도 하나의 사선부를 포함하며 유지 전극선(131)에 대하여 거의 반전 대칭을 이룬다.

하부 및 상부 절개부(72a, 72b) 각각은 사선부와 한 쌍의 가로부 및 세로부를 포함한다. 사선부는 대략 화소 전극(191)의 왼쪽 변에서 위쪽 또는 아래쪽 변을 향하여 뻗는다. 가로부 및 세로부는 사선부의 각 끝에서부터 화소 전극(191)의 변을 따라 변과 중첩하면서 뻗으며 사선부와 둔각을 이룬다.

중앙 절개부(71)는 중앙 가로부, 한 쌍의 사선부 및 한 쌍의 종단 세로부를 포함한다. 중앙 가로부는 화소 전극(191)의 왼쪽 변 부근에 위치하며 유지 전극(137)을 따라 뻗는다. 한 쌍의 사선부는 중앙 가로부의 끝에서부터 화소 전극(191)의 오른쪽 변을 향하여 뻗고 중앙 가로부와 빗각을 이룬다. 종단 세로부는 해당 사선부의 끝에서부터 화소 전극(191)의 오른쪽 변을 따라 오른쪽 변과 중첩하면서 뻗으며 사선부와 둔각을 이룬다.

절개부(71, 72a, 72b)의 수효 또한 설계 요소에 따라 달라질 수 있으며, 차광 부재(220)가 절개부(71, 72a, 72b)와 중첩하여 절개부(71, 72a, 72b) 부근의 빛샘을 차단할 수 있다.

표시판(100, 200)의 안쪽 면에는 배향막(alignment layer)(11, 21)이 도포되어 있으며 이들은 수직 배향막일 수 있다. 표시판(100, 200)의 바깥쪽 면에는 편광자(polarizer)(12, 22)가 구비되어 있는데, 두 편광자(12, 22)의 편광축은 직교하며 이중 한 편광축은 게이트선(121a, 121b)에 대하여 나란한 것이 바람직하다. 반사형 액정 표시 장치의 경우에는 두 개의 편광자(12, 22) 중 하나가 생략될 수 있다.

액정 표시 장치는 편광자(12, 22), 위상 지연막, 표시판(100, 200) 및 액정층(3)에 빛을 공급하는 조명부(backlight unit)(도시하지 않음)를 포함할 수 있다.

액정층(3)은 음의 유전율 이방성을 가지며, 액정층(3)의 액정 분자는 전기장이 없는 상태에서 그 장축이 두 표시판의 표면에 대하여 수직을 이루도록 배향되어 있다. 따라서 입사광은 직교 편광자(12, 22)를 통과하지 못하고 차단된다.

그러면 이러한 액정 표시 장치의 표시 동작에 대하여 도 1a 내지 도 2를 참고하여 상세하게 설명한다.

신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호, 예를 들면 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클럭(MCLK), 데이터 인에이블 신호(DE) 등을 제공받는다. 신호 제어부(600)의 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 영상 신호(R, G, B)를 액정 표시판 조립체(300)의 동작 조건에 맞게 적절히 처리하고 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(DAT)를 데이터 구동부(500)로 내보낸다.

게이트 제어 신호(CONT1)는 주사 시작을 지시하는 주사 시작 신호(STV)와 게이트 온 전압(Von)의 출력 시간을 제어하는 적어도 하나의 클럭 신호를 포함한다. 게이트 제어 신호(CONT1)는 또한 게이트 온 전압(Von)의 지속 시간을 한정하는 출력 인에이블 신호(OE)를 포함할 수 있다.

데이터 제어 신호(CONT2)는 한 묶음의 화소(PX)에 대한 데이터의 전송을 알리는 수평 동기 시작 신호(STH)와 데이터선(D₁-D_m)에 해당 데이터 전압을 인가하라는 로드 신호(LOAD) 및 데이터 클럭 신호(HCLK)를 포함한다. 데이터 제어 신호(CONT2)는 또한 공통 전압(Vcom)에 대한 데이터 전압의 극성(이하 공통 전압에 대한 데이터 전압의 극성을 줄여 데이터 전압의 극성이라 함)을 반전시키는 반전 신호(RVS)를 포함할 수 있다.

신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라, 데이터 구동부(500)는 한 묶음의 부화소(PXa, PXb)에 대한 영상 데이터(DAT)를 수신하고, 계조 전압 생성부(800)로부터의 두 개의 계조 전압 집합 중 한 집합을 선택하고, 선택한 계조 전압 집합 중에서 각 영상 데이터(DAT)에 대응하는 계조 전압을 선택함으로써 영상 데이터(DAT)를 해당 데이터 전압으로 변환한 후, 이를 해당 데이터선(D₁-D_m)에 인가한다.

이와는 달리 데이터 구동부(500)가 아니라 별개로 구비된 외부의 선택 회로(도시하지 않음)에서 두 개의 계조 전압 집합 중 어느 하나를 선택하여 데이터 구동부(500)로 전달하거나, 계조 전압 생성부(800)는 값이 변화하는 기준 전압을 제공하고 데이터 구동부(500)는 이를 분압하여 스스로 계조 전압을 만들어 낼 수도 있다.

게이트 구동부(400)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(Von)을 게이트선(G_{1a}-G_{nb})에 인가하여 이 게이트선(G_{1a}-G_{nb})에 연결된 스위칭 소자(Qa, Qb)를 턴온시킨다. 그러면, 데이터선(D₁-D_m)에 인가된 데이터 전압이 턴온된 스위칭 소자(Qa, Qb)를 통하여 해당 부화소(PXa, PXb)에 인가된다.

도 2에서, 유지 전극선(131)에 공통 전압(Vcom)이 인가되고 축전기(C_{LCa} , C_{STa} , C_{LCb} , C_{cp})와 그 정전 용량을 동일한 도면 부호로 나타낸다고 하고, 제1 및 제2 액정 축전기(C_{LCa} , C_{LCb})의 처음 전압을 각각 V_{a0} 및 V_{b0} 이라 하자.

먼저, 제1 게이트선(121a)에 게이트 온 전압(V_{on})이 인가되면, 제1 스위칭 소자(Q_a)가 턴온되며 제1 부화소 전극(191a)에 데이터 전압이 인가된다. 이 때 제1 액정 축전기(C_{LCa})의 전압이 V_{a1} 이 된다고 하면 제2 액정 축전기(C_{LCb})의 전압은 전압 분배 법칙에 의하여,

$$V_{b1} = V_{b0} + [V_{a1} - V_{a0}] \times [C_{cp} / (C_{cp} + C_{LCb})]$$

이 된다. 두 부화소 전극(191a, 191b)에 동일한 극성의 데이터 전압이 인가될 경우, 제2 액정 축전기(C_{LCb})는 결합 축전기(C_{cp})에 의해 사전 충전(precharging)되는 셈이 된다.

다음, 제2 게이트선(121b)에 게이트 온 전압이 인가되면 제2 스위칭 소자(Q_b)가 턴온되며 제2 부화소 전극(191b)에 데이터 전압이 인가된다. 이때 제2 액정 축전기(C_{LCb})의 전압이 V_{b2} 라고 하면 제1 액정 축전기(C_{LCa})의 전압은 결합 축전기(C_{cp})에 의해

$$V_{a2} = V_{a1} + (V_{b2} - V_{b1}) \times [C_{cp} / (C_{cp} + C_{LCa} + C_{STa})]$$

$$\Delta V_a = V_{a2} - V_{a1} = (V_{b2} - V_{b1}) \times [C_{cp} / (C_{cp} + C_{LCa} + C_{STa})]$$

가 된다. 두 부화소 전극(191a, 191b)에 동일한 극성의 데이터 전압이 인가될 경우 결국 제1 액정 축전기(C_{LCa})의 전압은 ΔV_a 만큼 올라간다(charging up). 이 관계는 유지 전극선(131)의 전압이 공통 전압(Vcom)이 아니라도 마찬가지로 성립한다. 따라서 낮은 전압으로도 효과적인 구동을 할 수 있다.

이 때, 제1 부화소 전극(191a)에 인가하는 데이터 전압과 제2 부화소 전극(191b)에 인가하는 데이터 전압의 크기를 다르게 하면 제1 액정 축전기(C_{LCa})의 전압 상승 정도 및 제1 액정 축전기(C_{LCa}) 전압(V_a)과 제2 액정 축전기(C_{LCb}) 전압(V_b)의 비율을 조정할 수 있다. 또한 결합 축전기(C_{cp})의 정전 용량(C_{cp})은 제2 부화소 전극(191b)과 결합 전극(177a)이 중첩하여 이루는 면적과 거리를 조정함으로써 바꿀 수 있다.

이렇게 제1 또는 제2 액정 축전기(C_{LCa} , C_{LCb})의 양단에 전위차가 생기면 표시판(100, 200)의 면에 거의 수직인 전기장이 액정층(3)에 생성된다. [앞으로 화소 전극(190) 및 공통 전극(270)을 아울러 "전기장 생성 전극(field generating electrode)"라 한다.] 그러면 액정층(3)의 액정 분자들은 전기장에 응답하여 그 장축이 전기장의 방향에 수직을 이루도록 기울어지며, 액정 분자가 기울어진 정도에 따라 액정층(3)에 입사된 빛의 편광의 변화 정도가 달라진다. 이러한 편광의 변화는 편광자(12, 22)에 의하여 투과율 변화로 나타나며 이를 통하여 액정 표시 장치는 영상을 표시한다.

액정 분자가 기울어지는 각도는 전기장의 세기에 따라 달라지는데, 본 발명의 실시예에서는 결합 축전기로 인해 제1 액정 축전기(C_{LCa})의 전압(V_a)이 제2 액정 축전기(C_{LCb})의 전압(V_b)보다 크므로 제1 부화소(X_a)와 제2 부화소(X_b)에서 액정 분자들이 기울어진 각도가 다르고 이에 따라 두 부화소(X_a , X_b)의 휘도가 다르다. 따라서 제1 액정 축전기(C_{LCa})의 전압(V_a)과 제2 액정 축전기(C_{LCb})의 전압(V_b)을 적절하게 맞추면 측면에서 바라보는 영상이 정면에서 바라보는 영상에 최대한 가깝게 할 수 있으며 이렇게 함으로써 측면 시인성을 향상할 수 있다.

액정 분자들이 기울어지는 방향은 전기장 생성 전극(191, 270)의 절개부(71-72b, 91, 92)와 화소 전극(191)의 빗변이 전기장을 왜곡하여 만들어내는 수평 성분에 의하여 결정되며, 이러한 전기장의 수평 성분은 절개부(71-72b, 91, 92)의 변과 화소 전극(191)의 변에 수직이다. 도 4를 참고하면, 하나의 절개부 집합(71-72b, 91, 92)은 화소 전극(191)을 각각 두 개의 경사진 주 변(major edge)을 가지는 복수의 부영역(sub-area)으로 나눈다. 각 부영역 위의 액정 분자들은 주 변에 수직인 방향으로 기울어지므로, 기울어지는 방향을 추려보면 대략 네 방향이다. 이와 같이 액정 분자가 기울어지는 방향을 다양하게 하면 액정 표시 장치의 기준 시야각이 커진다.

액정 분자들의 경사 방향을 결정하기 위한 절개부(91, 92, 71-72b)의 모양과 배치는 바뀔 수 있으며, 적어도 하나의 절개부(91, 92, 71-72b)는 돌기(protrusion)(도시하지 않음)나 함몰부(depression)(도시하지 않음)로 대체할 수 있다. 돌기는 유기물 또는 무기물로 만들어질 수 있고 전기장 생성 전극(191, 270)의 위 또는 아래에 배치될 수 있다.

1/2 수평 주기(또는 "1/2 H") [수평 동기 신호(Hsync) 및 게이트 클럭(CPV)의 한 주기]를 단위로 하여 데이터 구동부(500)와 게이트 구동부(400)는 동일한 동작을 반복한다. 이러한 방식으로, 한 프레임(frame) 동안 모든 게이트선(G1-G2n)에 대하여 차례로 게이트 온 전압(Von)을 인가하여 모든 화소에 데이터 전압을 인가한다. 한 프레임이 끝나면 다음 프레임이 시작되고 각 화소에 인가되는 데이터 전압의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다("프레임 반전").

한편, 공통 전극(270)과 차폐 전극(88)에는 동일한 공통 전압이 인가되므로 둘 사이에는 전기장이 거의 없다. 따라서 공통 전극(270)과 차폐 전극(88) 사이에 위치한 액정 분자들은 초기 수직 배향 상태를 그대로 유지하므로 이 부분에 입사된 빛은 투과되지 못하고 차단된다.

도 8 및 도 9를 참고로 하여 본 발명의 다른 실시예에 따른 액정 표시판 조립체에 대해서 상세하게 설명한다.

도 8은 본 발명의 다른 실시예에 따른 액정 표시판 조립체의 배치도이고, 도 9는 도 8의 액정 표시판 조립체를 IX-IX 선을 따라 잘라 도시한 단면도이다.

도 8 및 도 9에서 보는 바와 같이, 본 실시예에 따른 액정 표시판 조립체는 박막 트랜지스터 표시판(100), 공통 전극 표시판(200) 및 그 사이의 액정층(3)을 포함한다.

본 실시예에 따른 액정 표시판 조립체의 층상 구조는 대개 도 4 내지 도 7b에 도시한 액정 표시판 조립체의 층상 구조와 동일하다.

박막 트랜지스터 표시판(100)에 대하여 설명하자면, 절연 기판(110) 위에 제1 및 제2 게이트 전극(124a, 124b) 및 끝 부분(129a, 129b)을 포함하는 복수의 제1 및 제2 게이트선(121a, 121b)과 유지 전극(137)을 포함하는 복수의 유지 전극선(131)을 포함하는 게이트 도전체가 형성되어 있고, 그 위에는 게이트 절연막(140)이 형성되어 있다. 게이트 절연막(140) 위에는 돌출부(154a, 154b)를 포함하는 복수의 선형 반도체(151)가 형성되어 있고, 그 위에는 돌출부(163a)를 포함하는 복수의 선형 및 섬형 저항성 접촉 부재(161, 165a)가 형성되어 있다. 저항성 접촉 부재(161, 165a) 및 게이트 절연막(140) 위에는 제1 및 제2 소스 전극(173a, 173b) 및 끝 부분(179)을 포함하는 복수의 데이터선(171)과 복수의 제1 및 제2 드레인 전극(175a, 175b)을 포함하는 데이터 도전체가 형성되어 있다. 데이터 도전체(171, 175a, 175b) 및 노출된 반도체(151) 부분 위에는 하부 보호막(180p) 및 상부 보호막(180q)을 포함하는 보호막(180)이 형성되어 있고, 그 위에는 간극(92a, 92b)을 사이에 두고 나뉜 하부, 상부 및 중앙 부화소 전극(191a1, 191a2, 191b)을 포함하는 복수의 화소 전극(191), 복수의 차폐 전극(88) 및 복수의 접촉 보조 부재(81a, 81b, 82)가 형성되어 있다. 마지막으로 배향막(11)이 도포되어 있다.

공통 전극 표시판(200)에 대하여 설명하자면, 절연 기판(210) 위에 차광 부재(220), 복수의 색필터(230), 덮개막(250), 절개부(71-72b)를 가지는 공통 전극(270), 그리고 배향막(21)이 형성되어 있다.

그러나 도 4 내지 도 7b에 도시한 액정 표시판 조립체와 달리, 본 실시예에서는 유지 전극(137)이 화소 전극(191)의 왼쪽면 부근에서 아래 위로 길게 뻗어 있다. 제1 드레인 전극(175a)은 막대형 끝 부분에서 출발하여 유지 전극(137)과 중첩하는 면적이 넓은 확장부(결합 전극)(177a)를 포함하며, 제2 드레인 전극(175b)은 막대형 끝 부분에서 출발하여 위로 더 길게 뻗어 유지 전극선(131)까지 연장되며 유지 전극선(131)과 중첩하여 유지 축전기를 이루는 확장부(177b)를 포함한다.

또한 보호막(180)에는 데이터선(171)의 끝 부분(179), 결합 전극(177a)의 아래 끝 부분 및 위 끝 부분, 그리고 제2 드레인 전극(175b)의 확장부를 각각 드러내는 복수의 접촉 구멍(182, 185a1, 185a2, 185b)이 형성되어 있다. 보호막(180)과 게이트 절연막(140)에는 게이트선(121a, 121b)의 끝 부분(129a, 129b)을 드러내는 복수의 접촉 구멍(181a, 181b)이 형성되어 있다. 상부 보호막(180q)에는 하부 보호막(180p)을 드러내는 개구부(188)가 형성되어 있다. 개구부(188)는 결합 전극(177a) 위, 제1 접촉 구멍(185a1)과 제2 접촉 구멍(185a2) 사이에 위치하며 개구부(188)의 경계선은 결합 전극(177a)의 경계선 안에 존재한다.

또한 화소 전극(191)은 하부 및 상부 간극(92a, 92b)을 사이에 두고 나뉜 하부 및 상부 부화소 전극(191a1, 191a2)[통틀어 제1 부화소 전극(191a)이라 함]과 중앙 부화소 전극(191b)(제2 부화소 전극이라 함)을 포함한다. 하부 및 상부 간극(92a, 92b)은 대략 화소 전극(191)의 왼쪽 변에서부터 오른쪽 변으로 비스듬하게 뻗어 있는 사선부와 사선부의 왼쪽 끝의 짧은 가로부를 포함한다. 이에 따라 중앙 부화소 전극(191b)은 대략 직각만큼 회전한 이등변 사다리꼴이 되고, 하부 및 상부 부화소 전극(191a1, 191a2)는 대략 직각만큼 회전한 직각 삼각형으로서 직각 부분이 모따기된 형태가 된다. 하부 및 상부 간극(92a, 92b)은 게이트선(121)에 대하여 약 45도의 각도를 이루며 서로 수직하다. 그리고 중앙 부화소 전극(191b)은 오른쪽 변 중앙에 간극(92a, 92b)과 거의 평행한 짧은 사선 모양의 깔때기형 입구를 포함한다.

하부 및 상부 부화소 전극(191a1, 191a2, 191b)은 각각 접촉 구멍(185a1, 185a2)을 통하여 제1 드레인 전극(175a)과 연결되어 있고 중앙 부화소 전극(191b)은 접촉 구멍(185b)을 통하여 제2 드레인 전극(175b)과 연결되어 있다. 또한 제2 부화소 전극(191b)은 개구부(188)를 통하여 결합 전극(177a)과 중첩하여 결합 축전기를 이룬다.

유지 전극(137)과 결합 전극(177a)이 중첩하여 유지 축전기를 이루고 또 그 위에 제2 부화소 전극(191b)이 하부 보호막(181p)을 사이에 두고 결합 전극(177a)과 중첩하여 결합 축전기를 이룬다. 따라서 유지 축전기와 결합 축전기가 동일한 공간을 점유하므로 개구율을 충분히 확보할 수 있다. 또한 이러한 구조는 두 부화소 전극(191a, 191b) 사이에 사전 충전(precharging) 및 충전 전압 상승(charging up) 효과를 주므로 구동 전압을 효율적으로 사용할 수 있다.

도 4 내지 도 7b에 도시한 액정 표시판 조립체의 많은 특징들이 도 8 및 도 9에 도시한 액정 표시판 조립체에도 적용될 수 있다.

다음, 도 10 및 도 11을 참고로 하여 본 발명의 다른 실시예에 따른 액정 표시판 조립체에 대해서 상세하게 설명한다.

도 10은 본 발명의 다른 실시예에 따른 액정 표시판 조립체의 배치도이고, 도 11은 도 10의 액정 표시판 조립체를 XI-XI 선을 따라 잘라 도시한 단면도이다.

도 10 및 도 11에서 보는 바와 같이, 본 실시예에 따른 액정 표시판 조립체는 박막 트랜지스터 표시판(100), 공통 전극 표시판(200) 및 그 사이의 액정층(3)을 포함한다.

본 실시예에 따른 액정 표시판 조립체의 층상 구조는 대개 도 8 및 도 9에 도시한 액정 표시판 조립체의 층상 구조와 동일하다.

박막 트랜지스터 표시판(100)에 대하여 설명하자면, 절연 기판(110) 위에 제1 및 제2 게이트 전극(124a, 124b) 및 끝 부분(129a, 129b)을 포함하는 복수의 제1 및 제2 게이트선(121a, 121b)과 유지 전극(137)을 포함하는 복수의 유지 전극선(131)을 포함하는 게이트 도전체가 형성되어 있고, 그 위에는 게이트 절연막(140)이 형성되어 있다. 게이트 절연막(140) 위에는 돌출부(154a, 154b)를 포함하는 복수의 선형 반도체(151)가 형성되어 있고, 그 위에는 돌출부(163a)를 포함하는 복수의 선형 및 섬형 저항성 접촉 부재(161, 165a)가 형성되어 있다. 저항성 접촉 부재(161, 165a) 및 게이트 절연막(140) 위에는 제1 및 제2 소스 전극(173a, 173b) 및 끝 부분(179)을 포함하는 복수의 데이터선(171)과 결합 전극(177a)과 확장부(177b)를 포함하는 복수의 제1 및 제2 드레인 전극(175a, 175b)을 포함하는 데이터 도전체가 형성되어 있다. 데이터 도전체(171, 175a, 175b) 및 노출된 반도체(151) 부분 위에는 하부 보호막(180p)과 상부 보호막(180q)을 포함하는 보호막(180)이 형성되어 있고, 보호막(180) 및 게이트 절연막(140)에는 복수의 접촉 구멍(181a, 181b, 182, 185a1, 185a2, 185b)과 개구부(188)가 형성되어 있다. 보호막(180) 위에는 간극(92a, 92b)을 사이에 두고 나뉜 하부, 상부 및 중앙 부화소 전극(191a1, 191a2, 191b)을 포함하는 복수의 화소 전극(191), 복수의 차폐 전극(88) 및 복수의 접촉 보조 부재(81a, 81b, 82)가 형성되어 있다. 마지막으로 배향막(11)이 도포되어 있다.

그러나 도 8 및 도 9에 도시한 액정 표시판 조립체와 달리, 본 실시예에 따른 액정 표시판 조립체에서는 유지 전극(137)이 화소 전극(191)의 왼쪽 변에 인접한 세로부와 유지 전극선(131)을 따라 뻗은 가로부를 포함하여 옆으로 누운 T자 형이다. 결합 전극(177a)도 유지 전극(137)과 유사한 모양이며 제2 드레인 전극(175b)의 확장부(177b)는 가로 길이가 좀더 짧다. 상부 보호막(180q)의 개구부(188)도 유지 전극선(131)을 따라 뻗은 가로부를 더 포함하고 개구부(188)의 경계선은 제1 드레인 전극(175a)의 경계선 안에 존재한다.

따라서, 도 8 및 도 9의 액정 표시판 조립체에 비해서 유지 축전기(C_{STa})의 유지 용량과 결합 축전기(C_{cp})의 결합 용량이 좀더 커져 제1 부화소 전극(191a)의 전압 상승 효과를 높일 수 있다.

도 8 및 도 9에 도시한 액정 표시판 조립체의 많은 특징들이 도 10 및 도 11에 도시한 액정 표시판 조립체에도 적용될 수 있다.

마지막으로, 도 12 및 도 13을 참고로 하여 본 발명의 다른 실시예에 따른 액정 표시판 조립체에 대해서 상세하게 설명한다.

도 12는 본 발명의 다른 실시예에 따른 액정 표시판 조립체의 배치도이고, 도 13은 도 12의 액정 표시판 조립체를 XIII-XIII 선을 따라 잘라 도시한 단면도이다.

도 12 및 도 13에서 보는 바와 같이, 본 실시예에 따른 액정 표시판 조립체는 박막 트랜지스터 표시판(100), 공통 전극 표시판(200) 및 그 사이의 액정층(3)을 포함한다.

본 실시예에 따른 액정 표시판 조립체의 층상 구조는 대개 도 4 내지 도 7b에 도시한 액정 표시판 조립체의 층상 구조와 동일하다.

박막 트랜지스터 표시판(100)에 대하여 설명하자면, 절연 기판(110) 위에 제1 및 제2 게이트 전극(124a, 124b) 및 끝 부분(129a, 129b)을 포함하는 복수의 제1 및 제2 게이트선(121a, 121b)과 유지 전극(137)을 포함하는 복수의 유지 전극선(131)을 포함하는 게이트 도전체가 형성되어 있고, 그 위에는 게이트 절연막(140)이 형성되어 있다. 게이트 절연막(140) 위에는 돌출부(154a, 154b)를 포함하는 복수의 선형 반도체(151)가 형성되어 있고, 그 위에는 돌출부(163a)를 포함하는 복수의 선형 및 섬형 저항성 접촉 부재(161, 165a)가 형성되어 있다. 저항성 접촉 부재(161, 165a) 및 게이트 절연막(140) 위에는 제1 및 제2 소스 전극(173a, 173b) 및 끝 부분(179)을 포함하는 복수의 데이터선(171)과 결합 전극(177a)을 포함하는 복수의 제1 및 제2 드레인 전극(175a, 175b)을 포함하는 데이터 도전체가 형성되어 있다. 데이터 도전체(171, 175a, 175b) 및 노출된 반도체(151) 부분 위에는 하부 보호막(180p)과 상부 보호막(180q)을 포함하는 보호막(180)이 형성되어 있고, 보호막(180) 및 게이트 절연막(140)에는 복수의 접촉 구멍(181a, 181b, 182, 185a, 185b)과 개구부(188)가 형성되어 있다. 보호막 위에는 간극(92)을 사이에 두고 나뉜 제1 및 제2 부화소 전극(191a, 191b)을 포함하는 복수의 화소 전극(191), 복수의 차폐 전극(88) 및 복수의 접촉 보조 부재(81a, 81b, 82)가 형성되어 있다. 마지막으로 배향막(11)이 도포되어 있다.

공통 전극 표시판(200)에 대하여 설명하자면, 절연 기판(210) 위에 차광 부재(220), 복수의 색필터(230), 덮개막(250), 절개부(71-72b)를 가지는 공통 전극(270), 그리고 배향막(21)이 형성되어 있다.

그러나 도 4 내지 도 7b에 도시한 액정 표시판 조립체와 달리, 본 실시예에서는 유지 전극(137)이 화소 전극(191)의 왼쪽 변에서 중앙까지만 뻗어 있다. 제1 드레인 전극(175a)은 막대형 끝부분에서 출발하여 화소 전극(191)의 왼쪽 변까지 뻗다가 아래로 향하여 유지 전극(137)과 중첩하는 면적이 넓은 확장부(결합 전극)(177a)을 포함한다. 상부 보호막(180q)의 개구부(188) 역시 그 경계선이 결합 전극(177a)의 경계선 안에 존재한다.

따라서, 도 12 및 도 13에 도시한 액정 표시판 조립체는 도 4 내지 도 7b의 액정 표시판 조립체에 비해 개구율이 더 높다.

도 4 내지 도 7b에 도시한 액정 표시판 조립체의 많은 특징들이 도 12 및 도 13에 도시한 액정 표시판 조립체에도 적용될 수 있다.

한편, 도 4 내지 도 13에 도시한 실시예에서 결합 전극(177a)이 제1 드레인 전극(175a)과 분리되어 있을 수 있다. 이때에는 제1 드레인 전극(175a)이 다른 곳에서 제1 부화소 전극(191a)과 연결되며, 결합 전극(177a)은 제1 부화소 전극(191a)과 연결될 수 있다.

또한, 결합 전극(177a)이 제1 드레인 전극(175)의 일부가 아니고 제2 드레인 전극(175b)의 일부이거나 제2 부화소 전극(191b)과 연결될 수 있으며, 이 경우 결합 전극(177a)은 제1 부화소 전극(191a)과 중첩한다.

발명의 효과

이와 같이, 본 발명의 실시예에서는 두 부화소의 전압을 원하는 수준으로 정확히 맞출 수 있고, 두 부화소 전극 사이의 결합 축전기로 한 쪽 부화소 전극을 차징업하여 시인성을 향상하며 동시에 한 부화소의 유지 축전기와 결합 축전기를 중첩시켜 개구율을 높이며 투과율을 향상시킨다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

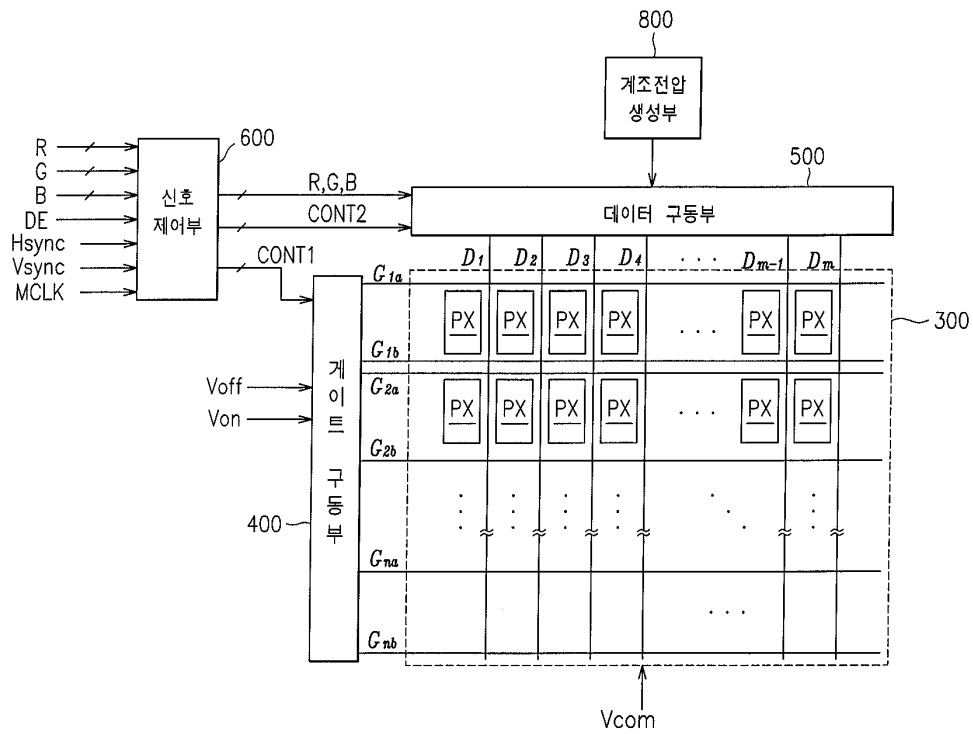
도면의 간단한 설명

도 1a 내지 도 1c는 본 발명의 실시예에 따른 액정 표시 장치의 블록도이고,
 도 2는 본 발명의 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이고,
 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 한 부화소에 대한 등가 회로도이고,
 도 4는 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고,
 도 5는 본 발명의 한 실시예에 따른 공통 전극 표시판의 배치도이고,
 도 6은 도 4 및 도 5의 두 표시판을 포함하는 액정 표시 장치의 배치도이고,
 도 7a 및 도 7b는 각각 도 6의 액정 표시 장치를 VIIa-VIIa 선 및 VIIb-VIIb'-VIIb " 선을 따라 잘라 도시한 단면도이고,
 도 8 은 본 발명의 다른 실시예에 따른 액정 표시 장치의 배치도이고,
 도 9는 도 8의 액정 표시 장치를 IX-IX 선을 따라 잘라 도시한 단면도이고,
 도 10은 본 발명의 다른 실시예에 따른 액정 표시 장치의 배치도이고,
 도 11은 도 10의 액정 표시 장치를 XI-XI 선을 따라 잘라 도시한 단면도이고,
 도 12는 본 발명의 다른 실시예에 따른 액정 표시 장치의 배치도이고,
 도 13은 도 12의 액정 표시 장치를 XIII-XIII 선을 따라 잘라 도시한 단면도이다.

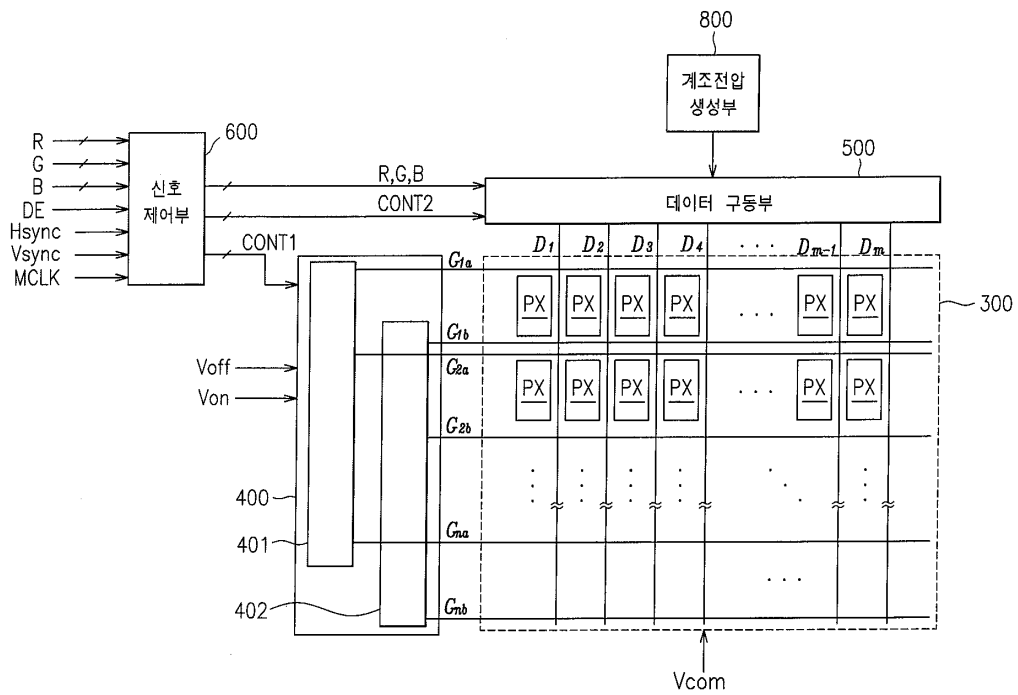
<도면부호의 설명>

12, 22: 편광판 11, 21: 배향막
 71, 72a, 72b, 91, 92: 절개부 81a, 81b, 82: 접촉 보조 부재
 110, 210: 기판 121a, 121b, 129a, 129b: 게이트선
 124a, 124b: 게이트 전극 131: 유지 전극선
 137: 유지 전극 140: 게이트 절연막
 151, 154a, 154b: 반도체 163a, 165a: 저항성 접촉 부재
 171, 179: 데이터선 173a, 173b: 소스 전극
 175a, 175b, 177a: 드레인 전극 180p, 180q, 180: 보호막
 181a, 181b, 182, 185a, 185b: 접촉 구멍

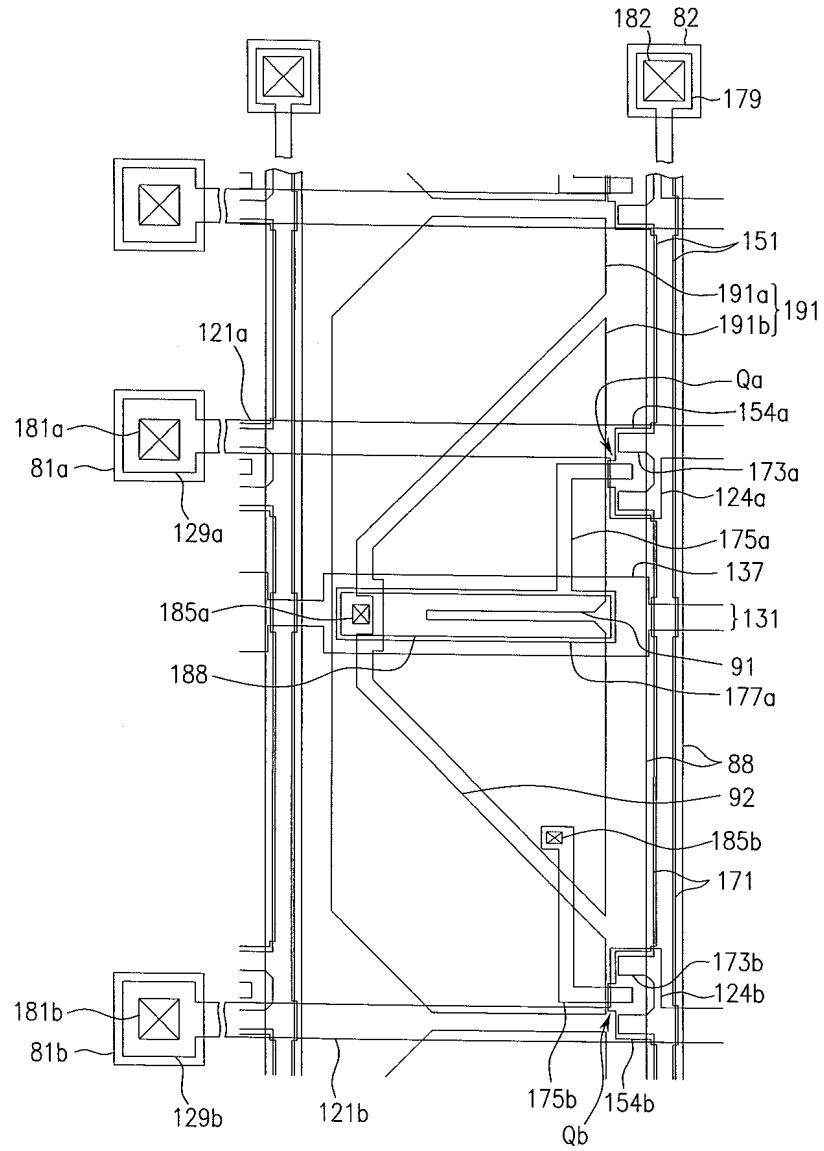
도면1b



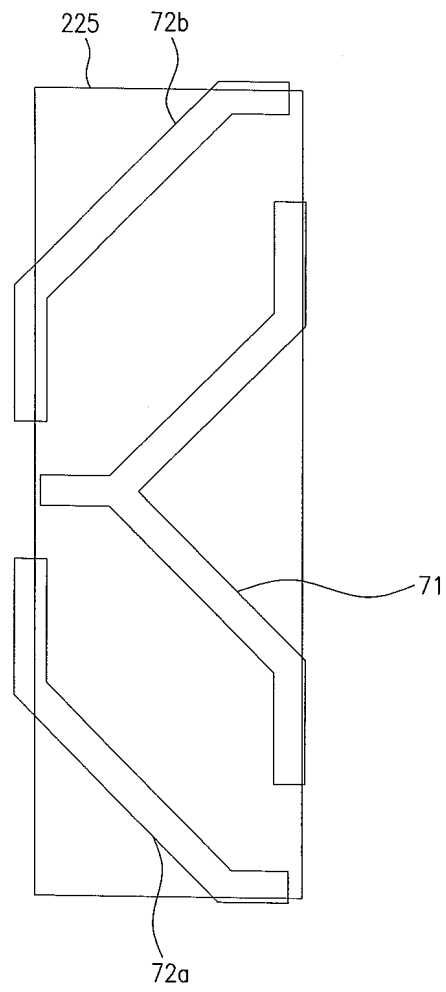
도면1c



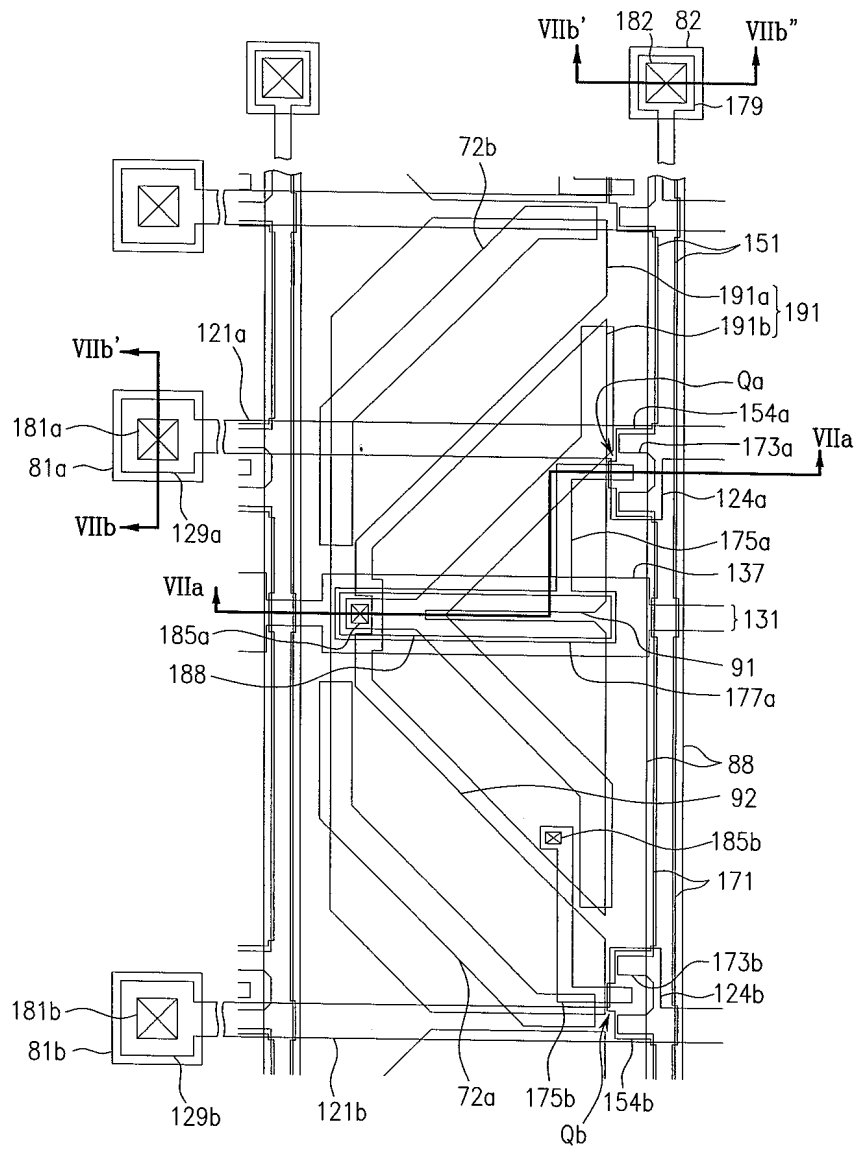
도면4



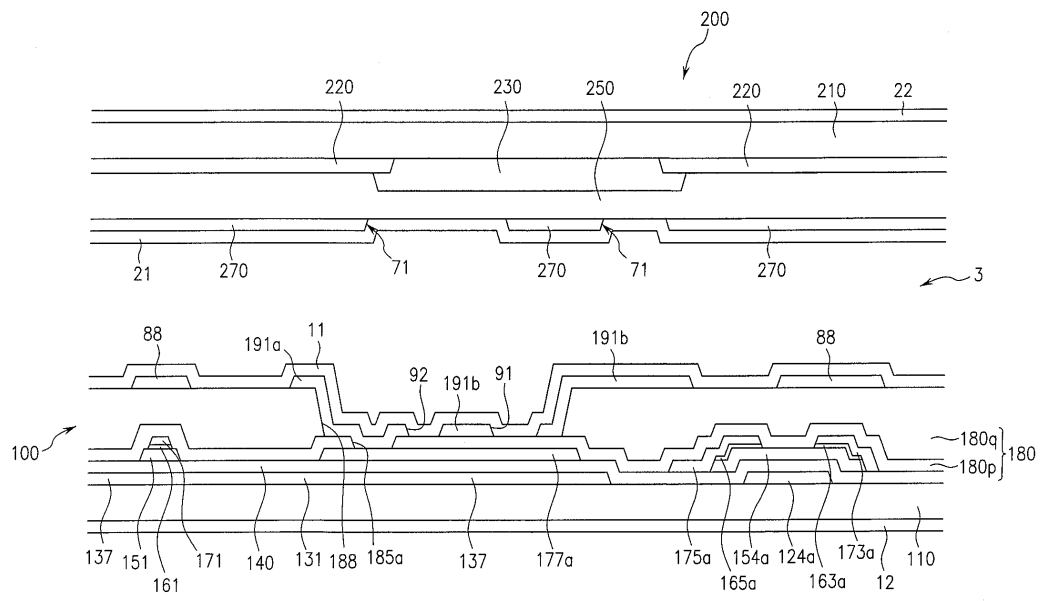
도면5



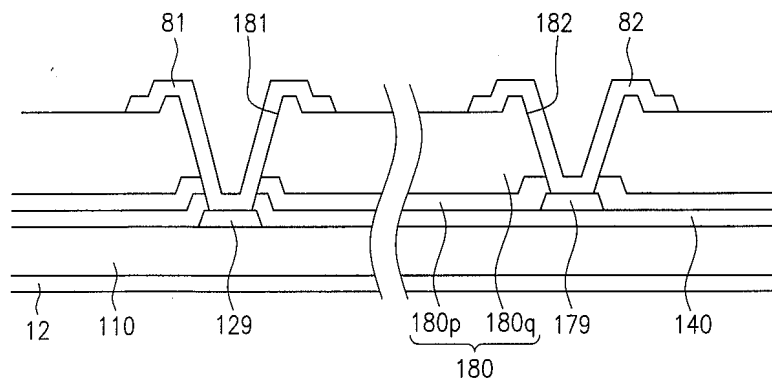
도면6



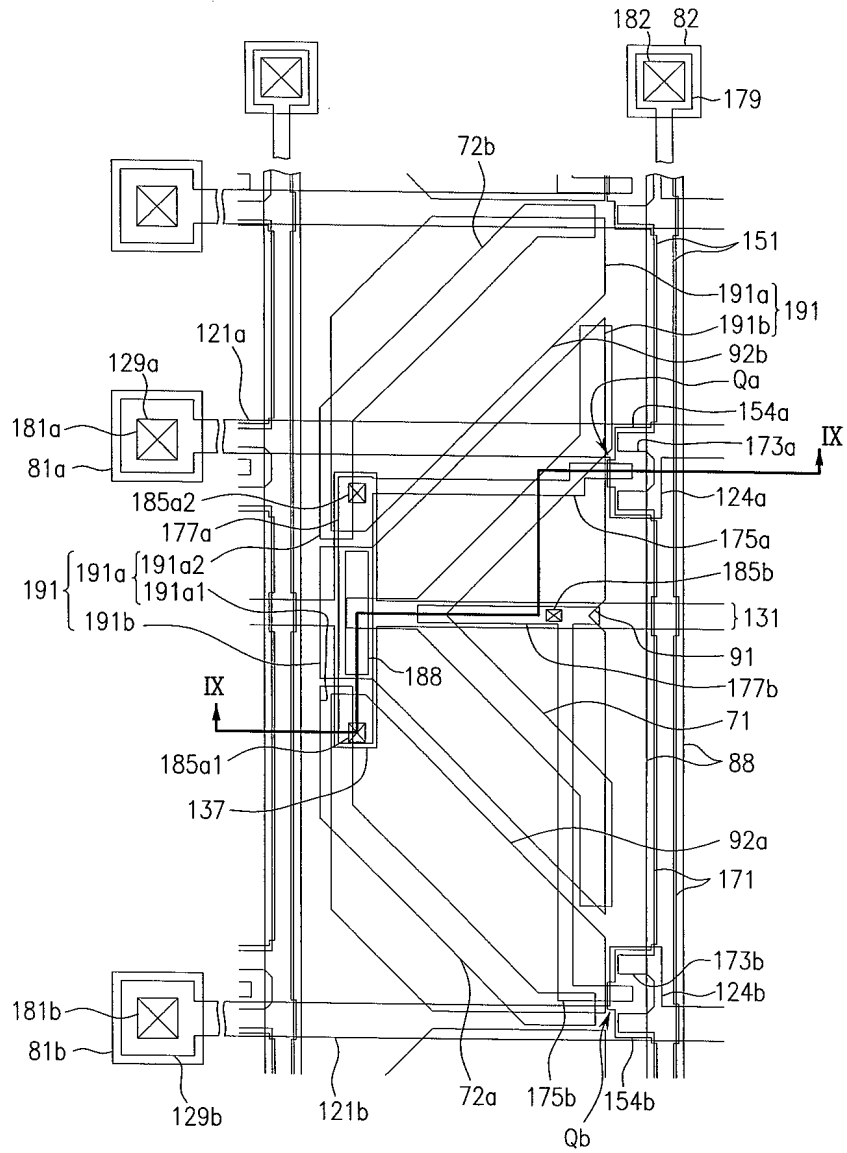
도면7a



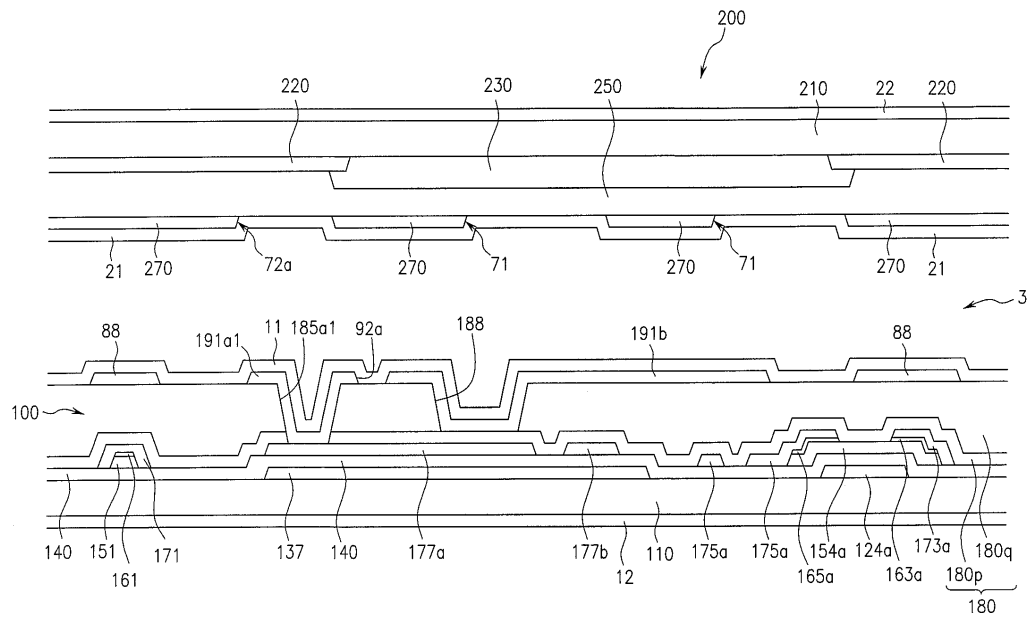
도면7b



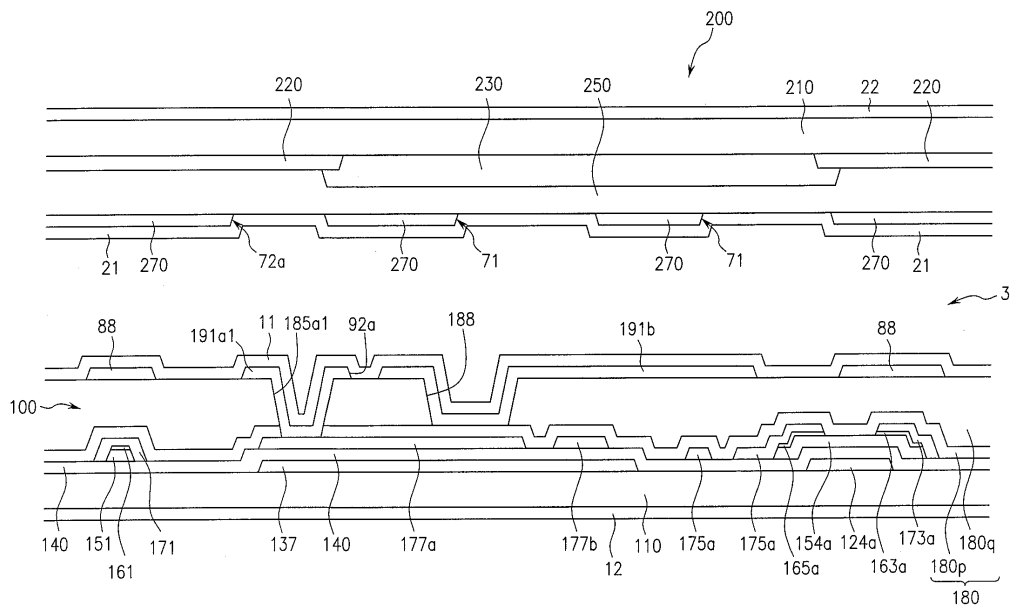
도면8



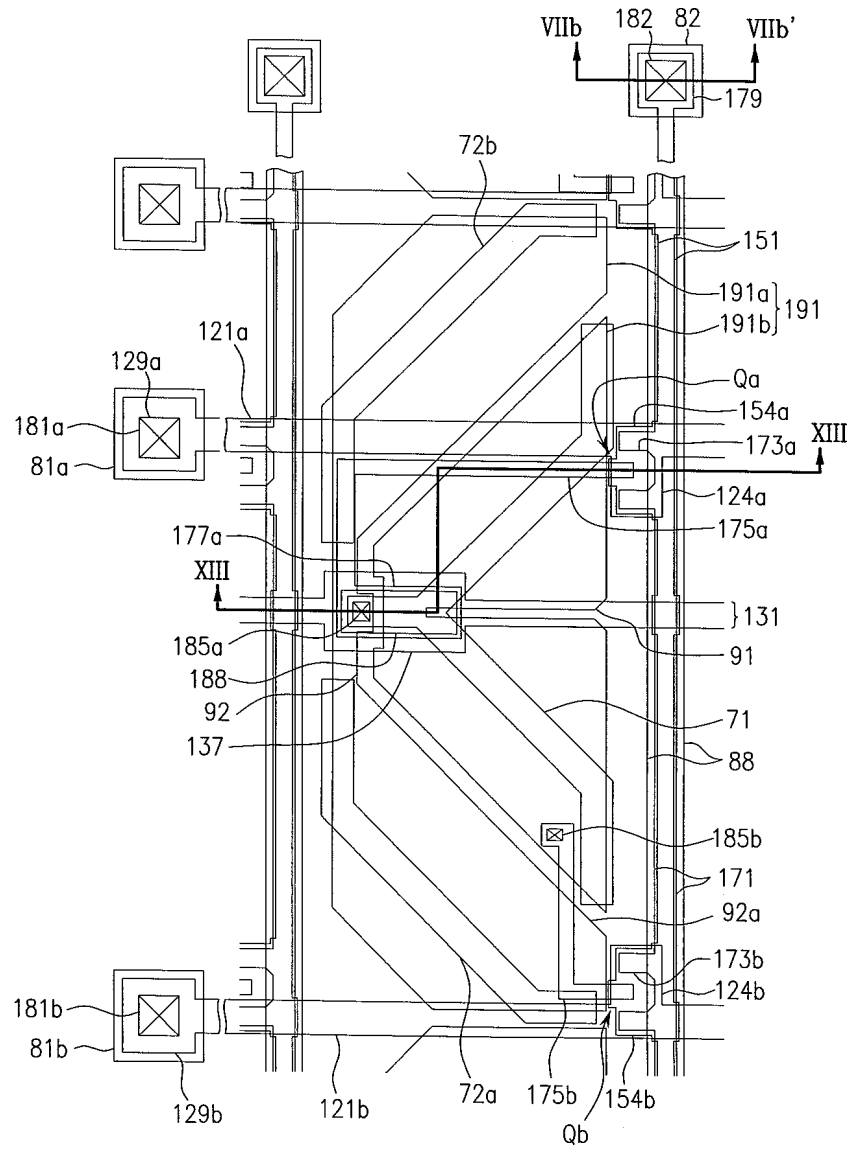
도면9



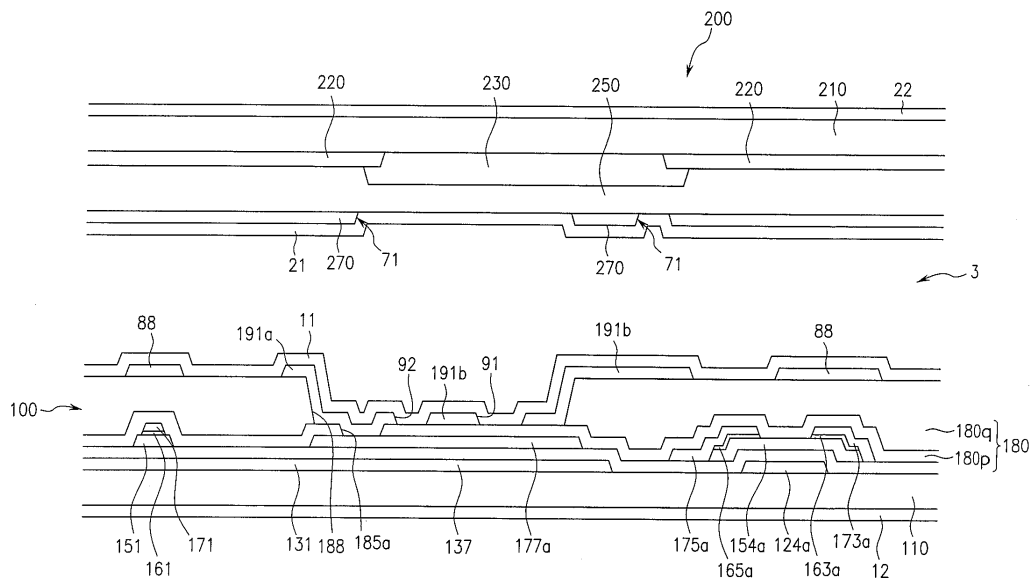
도면11



도면12



도면13



与包括基板上的第一和第二栅极线的维持电极线相交的数据线和恒定电极形成的数据线在覆盖它们的栅极绝缘层的上部与第一和第二栅极线绝缘, 并且导体是在本发明中形成连接到第一子像素电极并与恒定电极重叠的连接。覆盖它们的保护膜上部可以设置有像素电极, 该像素电极包括分别连接到第一和第二栅极线的第一和第二子像素电极。此外, 第二子像素电极重叠在与恒定电极重叠的导体上, 并且可以形成第一和第二子像素电极的耦合电容器而不损害开口率, 并且第二子像素电极可以引起充电在第一子像素电极中的极性反转中。它具有可视性, 像素分割, 2TFT, 充电, 角色。

