

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2006-0074729
G02F 1/136 (2006.01) (43) 공개일자 2006년07월03일

(21) 출원번호 10-2004-0113843

(22) 출원일자 2004년12월28일

(71) 출원인 비오이 하이디스 테크놀로지 주식회사
 경기도 이천시 부발읍 아미리 산 136-1

(72) 발명자 한규용
 경기 이천시 부발읍 신하리 거평아파트 2동 707호

(74) 대리인 강성배

심사청구 : 있음

(54) 박막트랜지스터 액정표시장치의 어레이 기판 제조방법

요약

본 발명은 수율을 향상시킬 수 있는 박막트랜지스터 액정표시장치의 어레이 기판 제조방법에 관한 것이다. 이 방법은, TFT부 및 패드부가 정의된 유리 기판 상에 제 1 금속막을 증착한 다음, 제 1 마스크 공정으로 제 1 금속막을 패터닝하여 각각의 게이트 전극을 형성하는 단계; 상기 게이트 전극을 포함한 유리 기판 상에 게이트 절연막, a-Si막 및 n+ a-Si막을 차례로 증착하는 단계; 제 2 마스크 공정으로 상기 n+ a-Si막 및 a-Si막을 패터닝하여 액티브층을 형성하는 단계; 상기 액티브층을 포함한 게이트 절연막 상에 제 2 금속막을 증착하는 단계; 제 3 마스크 공정으로 상기 제 2 금속막을 패터닝하여 상기 TFT부에 소스 및 드레인 전극을 형성하는 단계; 상기 소스 및 드레인 전극을 식각 장벽으로 이용하여 상기 TFT부의 n+ a-Si막을 식각함과 동시에, 상기 패드부의 게이트 절연막을 선택적으로 식각하여 패드부의 게이트 전극을 노출시키는 단계; 결과물의 전면에 투명 금속막을 증착한 다음, 제 4 마스크 공정으로 투명 금속막을 패터닝하여 상기 TFT부의 소스 또는 드레인 전극과 콘택되는 제 1 투명 전극, 및 상기 패드부의 게이트 전극과 콘택되는 제 2 투명 전극을 각각 형성하는 단계; 및 결과물 상에 보호막을 증착하는 단계;를 포함한다.

대표도

도 2g

명세서

도면의 간단한 설명

도 1a 내지 도 1f는 종래기술에 따른 박막트랜지스터 액정표시장치의 어레이 기판 제조방법을 설명하기 위한 공정별 단면도.

도 2a 내지 도 2g는 본 발명에 따른 박막트랜지스터 액정표시장치의 어레이 기판 제조방법을 설명하기 위한 공정별 단면도.

* 도면의 주요 부분에 대한 부호의 설명 *

40: 유리 기판 41: 게이트 전극

42: 게이트 절연막 43: a-Si막

44: n+ a-Si막 43a: 패터닝후 잔류된 a-Si막

44a: 패터닝후 잔류된 n+ a-Si막 45: 액티브층

46: 금속막 46a: 소스 전극

46b: 드레인 전극 47a: 제 1 투명 전극

47b: 제 2 투명 전극

48: 보호막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치의 제조방법에 관한 것이고, 특히, 수율을 향상시킬 수 있는 박막트랜지스터 액정표시장치의 어레이 기판 제조방법에 관한 것이다.

액정표시장치는 경박단소하고 저전압구동 및 저전력소모라는 장점을 바탕으로 CRT를 대신하여 개발되어져 왔으며, 특히, 박막트랜지스터 액정표시장치는 CRT에 필적할만한 고화질화, 대형화 및 컬러화 등을 실현하였기 때문에 최근에는 노트북 PC 및 모니터 시장은 물론 여러 분야에서 다양하게 사용되고 있다.

박막트랜지스터 액정표시장치는 박막트랜지스터 및 화소 전극이 구비된 어레이 기판과 컬러필터 및 상대 전극이 구비된 컬러필터 기판이 액정층의 개재하에 합착되어진 구조를 갖는다. 박막트랜지스터 액정표시장치에 있어서, 그 제조 공정 수, 특히, 어레이 기판의 제조 공정 수를 감소시키는 것은 매우 중요하다. 왜냐하면, 제조 공정 수를 줄일수록 박막트랜지스터 액정표시장치의 제조 비용을 감소시킬 수 있는 바, 더 저렴한 값에 보다 많은 양의 박막트랜지스터 액정표시장치를 보급할 수 있기 때문이다.

제조 공정 수의 감소는 통상 마스크 공정수의 감소에 의해 구현되며, 최근의 박막트랜지스터 액정표시장치는 5-마스크 공정을 통해 제조되고 있다. 마스크 공정은 감광막 도포, 노광 및 현상 공정을 통해 식각 마스크인 감광막 패턴을 형성하는 공정이다.

도 1a 내지 도 1f는 5-마스크 공정을 이용한 종래기술에 따른 박막트랜지스터 액정표시장치의 어레이 기판 제조방법을 설명하기 위한 공정별 단면도이다.

도 1a에 도시한 바와 같이, TFT부 및 패드부가 정의된 유리 기판(10)을 제공한다. 유리 기판(10) 상에 게이트용 제 1 금속막(도시안됨)을 증착한 후, 제 1 마스크 공정으로 제 1 금속막을 패터닝함으로써, TFT부 및 패드부 각각의 게이트 전극(11)을 형성한다. 이어서, 게이트 전극(11)을 포함한 유리 기판(10) 상에 게이트 절연막(12), 비도핑된 비정질실리콘(이하, "a-Si"라 함)(13), 및 도핑된 비정질실리콘(이하, "n+ a-Si"라 함)막(14)을 차례로 증착한다.

도 1b에 도시한 바와 같이, 제 2 마스크 공정으로 n+ a-Si막(14) 및 a-Si막(13)을 패터닝함으로써, TFT부의 게이트 전극(11)과 대응되는 게이트 절연막(12) 상에 액티브층(15)을 형성한다. 도 1b의 13a 및 14a는 패터닝후 잔류된 a-Si막 및 n+ a-Si막을 각각 나타낸다.

도 1c에 도시한 바와 같이, 액티브층(15)을 포함한 유리 기판(10) 상에 소스 및 드레인 전극용 제 2 금속막(16)을 증착한다.

도 1d에 도시한 바와 같이, 제 3 마스크 공정으로 제 2 금속막(16)을 패터닝함으로써, TFT부에 소스 및 드레인 전극(16a,16b)을 형성하고, 이를 통해 기판의 적소에 TFT를 구성한다.

도 1e에 도시한 바와 같이, 소스 및 드레인 전극(16a,16b)을 식각 장벽으로 이용하여 액티브층(15)의 n^+ a-Si막(14a)을 식각한다. 그런 다음, 소스 및 드레인 전극(16a,16b)을 포함한 기판(10)의 전 영역 상에 보호막(17)을 증착한다.

도 1f에 도시한 바와 같이, 제 4 마스크 공정을 통해 보호막(17)을 식각함으로써, TFT부의 드레인 전극(16b) 및 패드부의 게이트 전극(11)을 노출시키는 각각의 비아홀(h_1, h_2)을 형성한다. 그리고 나서, 비아홀(h_1, h_2)을 포함한 보호막(17) 상에 ITO 재질의 투명 금속막(도시안됨)을 증착한다. 그런 후에, 제 5 마스크 공정으로 투명 금속막을 패터닝함으로써, TFT부의 드레인 전극(16b) 및 패드부의 게이트 전극(12)과 콘택되는 각각의 투명 전극(18a,18b)을 형성한다.

그러나, 전술한 바와 같이, 마스크 공정은 감광막 도포, 노광 및 현상 공정을 포함하므로, 5-마스크 공정을 이용하는 한 종래의 어레이 기판 제조 공정은 그 자체로 복잡할 뿐만 아니라, 비용 측면에서 여전히 바람직하지 못하며, 그래서, 수율을 향상시키는 데에 한계가 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 선행기술에 따른 박막트랜지스터 액정표시장치의 어레이 기판 제조방법에 내재되었던 상기한 바와 같은 문제점을 해결하기 위해 창작성된 것으로서, 본 발명의 목적은, 마스크 공정 수를 감소시킴으로써, 공정 비용 및 시간을 감소시켜 수율을 향상시킬 수 있는 박막트랜지스터 액정표시장치의 어레이 기판 제조방법을 제공함에 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위해, 본 발명의 일면에 따라, 박막트랜지스터 액정표시장치의 어레이 기판 제조방법이 제공되고: 이 방법은, TFT부 및 패드부가 정의된 유리 기판 상에 제 1 금속막을 증착한 다음, 제 1 마스크 공정으로 제 1 금속막을 패터닝하여 각각의 게이트 전극을 형성하는 단계; 상기 게이트 전극을 포함한 유리 기판 상에 게이트 절연막, a-Si막 및 n^+ a-Si막을 차례로 증착하는 단계; 제 2 마스크 공정으로 상기 n^+ a-Si막 및 a-Si막을 패터닝하여 액티브층을 형성하는 단계; 상기 액티브층을 포함한 게이트 절연막 상에 제 2 금속막을 증착하는 단계; 제 3 마스크 공정으로 상기 제 2 금속막을 패터닝하여 상기 TFT부에 소스 및 드레인 전극을 형성하는 단계; 상기 소스 및 드레인 전극을 식각 장벽으로 이용하여 상기 TFT부의 n^+ a-Si막을 식각함과 동시에, 상기 패드부의 게이트 절연막을 선택적으로 식각하여 패드부의 게이트 전극을 노출시키는 단계; 결과물의 전면에 투명 금속막을 증착한 다음, 제 4 마스크 공정으로 투명 금속막을 패터닝하여 상기 TFT부의 소스 또는 드레인 전극과 콘택되는 제 1 투명 전극, 및 상기 패드부의 게이트 전극과 콘택되는 제 2 투명 전극을 각각 형성하는 단계; 및 결과물 상에 보호막을 증착하는 단계;를 포함한다.

본 발명의 다른 일면에 따라, 상기 TFT부의 n^+ a-Si막 및 상기 패드부의 게이트 절연막의 식각 공정은, CHF_3 가스를 주 식각 가스로 사용하고, He를 첨가 가스로 사용한다.

본 발명의 또 다른 일면에 따라, 상기 TFT부의 n^+ a-Si막 및 상기 패드부의 게이트 절연막의 식각 공정은, 200 mTorr의 압력 조건하에서 1100 W의 전력을 인가하며 수행한다.

(실시예)

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상술하기로 한다.

도 2a 내지 도 2g는 본 발명에 따른 박막트랜지스터 액정표시장치의 어레이 기판 제조방법을 설명하기 위한 공정별 단면도이다.

도 2a에 도시한 바와 같이, TFT부 및 패드부가 정의된 유리 기판(40)을 제공한다. 유리 기판(40) 상에 게이트용 제 1 금속막(도시안됨)을 증착한 후, 제 1 마스크 공정으로 제 1 금속막을 패터닝함으로써, TFT부 및 패드부 각각의 게이트 전극(41)을 형성한다. 이어서, 게이트 전극(41)을 포함한 유리 기판(40) 상에 게이트 절연막(42), a-Si막(43) 및 n+ a-Si막(44)을 차례로 증착한다. 게이트 절연막(42)은 SiN_x 로 이루어진다.

도 2b에 도시한 바와 같이, 제 2 마스크 공정으로 n+ a-Si막(44) 및 a-Si막(43)을 패터닝함으로써, TFT부의 게이트 전극(41)과 대응되는 게이트 절연막(42) 상에 액티브층(45)을 형성한다. 도 2b의 43a 및 44a는 패터닝후 잔류된 a-Si막 및 n+ a-Si막을 각각 나타낸다.

도 2c에 도시한 바와 같이, 액티브층(45)을 포함한 게이트 절연막(42) 상에 소스 및 드레인 전극용 제 2 금속막(46)을 증착한다.

도 2d에 도시한 바와 같이, 제 3 마스크 공정으로 제 2 금속막(46)을 패터닝함으로써, TFT부에 소스 및 드레인 전극(46a, 46b)을 형성하고, 이를 통해 기판의 적소에 TFT를 구성한다.

도 2e에 도시한 바와 같이, 소스 및 드레인 전극(46a, 46b)을 식각 장벽으로 이용하여 TFT부의 n+ a-Si막(44a)을 식각함과 동시에, 패드부의 게이트 절연막(42)을 선택적으로 식각하여 패드부의 게이트 전극(41) 표면의 일부분을 노출시킨다. 이때, TFT부의 n+ a-Si막(44a) 및 패드부의 게이트 절연막(42)의 식각 공정은, 게이트 절연막(42) 및 n+ a-Si막(44a)의 식각 선택비를 이용하되, 각각의 막 두께를 고려해서 수행한다. 예컨대, 게이트 절연막(42) 및 n+ a-Si막(44a)의 최적의 식각 선택비를 얻기 위해, 게이트 절연막(42) 및 n+ a-Si막(44a)의 식각 공정에서, C 계열 또는 F 계열을 포함하는 가스를 주식각 가스로 사용하고, 식각 균일도를 향상시키기 위해 He 가스를 첨가 가스로 사용한다. C 계열 또는 F 계열을 포함하는 가스로서, CHF_3 가스를 사용한다. 또한, 표 1 및 표 2에서와 같이, 상기 식각 공정은 압력을 200 mTorr로 하고, 인가 전력을 1100 W로 하여 수행할 때에 가장 바람직하다.

표 1은 압력에 따른 SiN_x 막 및 n+ a-Si막의 식각 특성을 나타낸다. 여기서, CHF_3 가스를 주식각 가스로 사용하고, He 가스를 첨가 가스로 사용하고, 1100 W의 전력을 인가하며, 상부 및 하부 전극의 온도는 상온으로 고정시켰다.

[표 1]

압력(mTorr)	100	200	300
식각 선택비($\text{SiN}_x/\text{n+ a-Si}$)	6.3	5.2	4.4
식각 선택비의 균일도(%)	8.5	8.2	8.7
SiN_x 의 식각률($\text{\AA}/\text{min}$)	1390	1520	1660
n+ a-Si의 식각률($\text{\AA}/\text{min}$)	220	290	380

표 1로부터 알 수 있듯이, 압력이 증가함에 따라, 게이트 절연막(42)인 SiN_x 막 및 n+ a-Si막(44)의 식각률이 증가하지만, 이에 대한 선택비($\text{SiN}_x/\text{n+ a-Si}$)는 낮아진다. 즉, 압력이 증가함에 따라 게이트 절연막(42) 대비 n+ a-Si막(44)의 식각률이 높다는 것을 알 수 있다. 식각 선택비의 균일도는 압력에 따라 큰 차이가 나지는 않지만, 200 mTorr의 압력일 때에 가장 적절하다.

표 2는 인가 전력에 따른 SiN_x 막 및 n+ a-Si막의 식각 특성을 나타낸다. 여기서, CHF_3 가스를 주식각 가스로 사용하고, He 가스를 첨가 가스로 사용하고, 200 mTorr의 압력 조건하에, 상부 및 하부 전극의 온도는 상온으로 고정시켰다.

[표 2]

인가 전력(W)	700	900	1100	1300	1500
----------	-----	-----	------	------	------

식각 선택비($\text{SiN}_x/\text{n+ a-Si}$)	12.7	8.5	5.2	4.8	3.4
식각 선택비의 균일도(%)	10.2	9.1	8.2	9.6	11.8
SiN_x 의 식각률($\text{\AA}/\text{min}$)	1140	1280	1520	1860	2150
n+ a-Si 의 식각률($\text{\AA}/\text{min}$)	90	150	290	390	630

표 2로부터 알 수 있듯이, 인가 전력이 증가함에 따라, 게이트 절연막(42)인 SiN_x 막 및 n+ a-Si 막(44)의 식각률이 증가하지만, 이에 대한 선택비($\text{SiN}_x/\text{n+ a-Si}$)는 낮아진다. 따라서, 인가 전력이 증가함에 따라 게이트 절연막(42) 대비 n+ a-Si 막(44)의 식각률이 높다는 것을 알 수 있다. 식각 선택비의 균일도는 1100 W의 전력이 인가될 때에 가장 적절하다.

도 2f에 도시한 바와 같이, 결과물의 전면에 ITO 재질의 투명 금속막(도시안됨)을 증착한다. 그런 다음, 제 4 마스크 공정을 통해 투명 금속막을 패터닝함으로써, TFT부의 소스 전극(46a) 또는 드레인 전극(46b)과 콘택되는 제 1 투명 전극(47a), 및 패드부의 게이트 전극(42)과 콘택되는 제 2 투명 전극(47b)을 각각 형성한다.

도 2g에 도시한 바와 같이, 결과물 상에 보호막(48)을 증착한다. 보호막(48)은 스퍼터링(sputtering)법, 또는 PECVD(plasma enhanced chemical vapor deposition)법으로 증착한다.

발명의 효과

본 발명의 상기한 바와 같은 구성에 따라, TFT부의 n+ a-Si 막을 식각함과 동시에, 패드부의 게이트 절연막을 식각하여 패드부의 게이트 전극을 노출시킨 후, 투명 전극 및 보호막 형성공정을 차례로 진행함으로써, 종래기술에서의 보호막 증착 공정 후에 비아홀을 형성하기 위해 수행되는 마스크 공정을 생략할 수 있다. 즉, 종래와 비교해서 1회의 마스크 공정 수를 감소시킬 수 있으므로, 공정 비용 및 시간을 감소시킬 수 있다. 결국, 본 발명은 수율을 향상시킬 수 있다.

본 발명을 특정의 바람직한 실시예에 관련하여 도시하고 설명하였지만, 본 발명이 그에 한정되는 것은 아니고 이하의 특허 청구의 범위에 의해 마련되는 본 발명의 정신이나 분야를 이탈하지 않는 한도 내에서 본 발명이 다양하게 개조 및 변화될 수 있다는 것을 당 업계에서 통상의 지식을 가진 자는 용이하게 알 수 있다.

(57) 청구의 범위

청구항 1.

박막트랜지스터 액정표시장치의 어레이 기판 제조방법에 있어서,

TFT부 및 패드부가 정의된 유리 기판 상에 제 1 금속막을 증착한 다음, 제 1 마스크 공정으로 제 1 금속막을 패터닝하여 각각의 게이트 전극을 형성하는 단계;

상기 게이트 전극을 포함한 유리 기판 상에 게이트 절연막, a-Si 막 및 n+ a-Si 막을 차례로 증착하는 단계;

제 2 마스크 공정으로 상기 n+ a-Si 막 및 a-Si 막을 패터닝하여 액티브층을 형성하는 단계;

상기 액티브층을 포함한 게이트 절연막 상에 제 2 금속막을 증착하는 단계;

제 3 마스크 공정으로 상기 제 2 금속막을 패터닝하여 상기 TFT부에 소스 및 드레인 전극을 형성하는 단계;

상기 소스 및 드레인 전극을 식각 장벽으로 이용하여 상기 TFT부의 n+ a-Si 막을 식각함과 동시에, 상기 패드부의 게이트 절연막을 선택적으로 식각하여 패드부의 게이트 전극을 노출시키는 단계;

결과물의 전면에 투명 금속막을 증착한 다음, 제 4 마스크 공정으로 투명 금속막을 패터닝하여 상기 TFT부의 소스 또는 드레인 전극과 콘택되는 제 1 투명 전극, 및 상기 패드부의 게이트 전극과 콘택되는 제 2 투명 전극을 각각 형성하는 단계; 및

결과물 상에 보호막을 증착하는 단계;를 포함하는 것을 특징으로 하는 박막트랜지스터 액정표시장치의 어레이 기판 제조 방법.

청구항 2.

제 1 항에 있어서,

상기 TFT부의 n+ a-Si막 및 상기 패드부의 게이트 절연막의 식각 공정은, CHF₃ 가스를 주식각 가스로 사용하고, He을 첨가 가스로 사용하는 것을 특징으로 하는 박막트랜지스터 액정표시장치의 어레이 기판 제조방법.

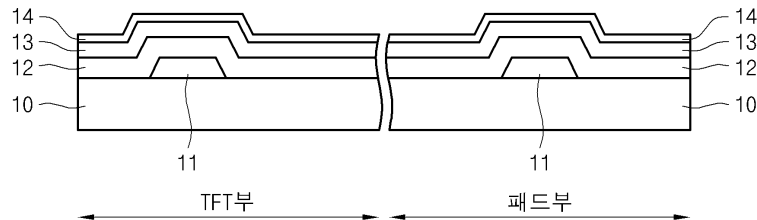
청구항 3.

제 1 항에 있어서,

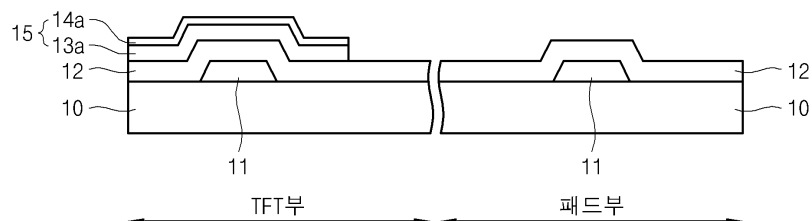
상기 TFT부의 n+ a-Si막 및 상기 패드부의 게이트 절연막의 식각 공정은, 200 mTorr의 압력 조건하에서 1100 W의 전력을 인가하며 수행하는 것을 특징으로 하는 박막트랜지스터 액정표시장치의 어레이 기판 제조방법.

도면

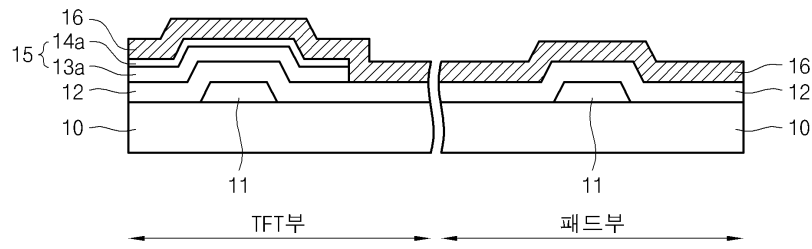
도면1a



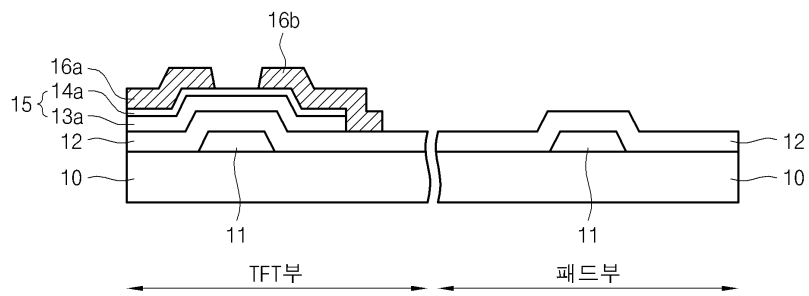
도면1b



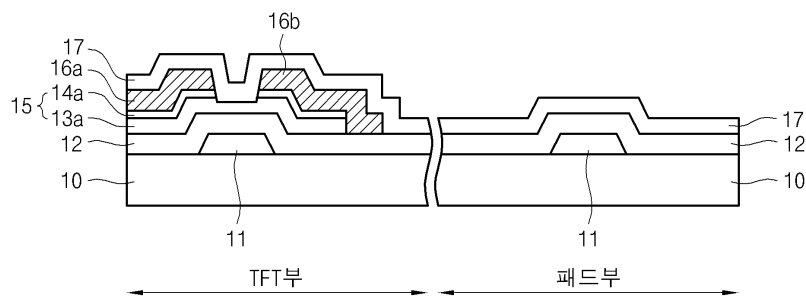
도면1c



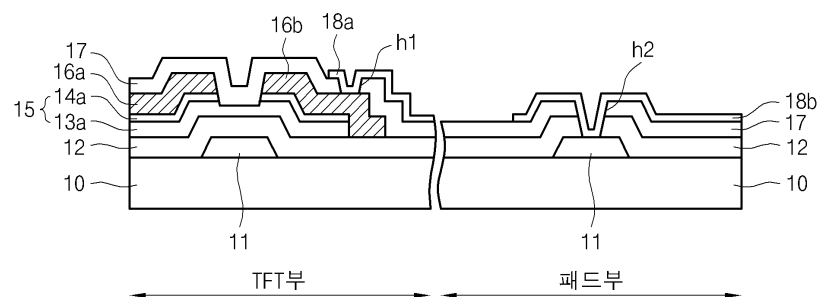
도면1d



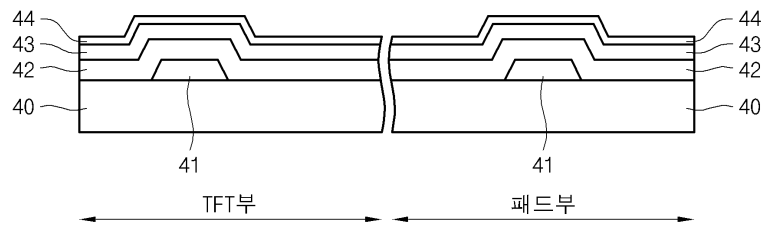
도면1e



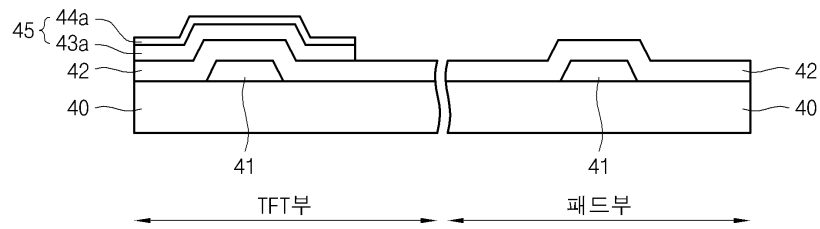
도면1f



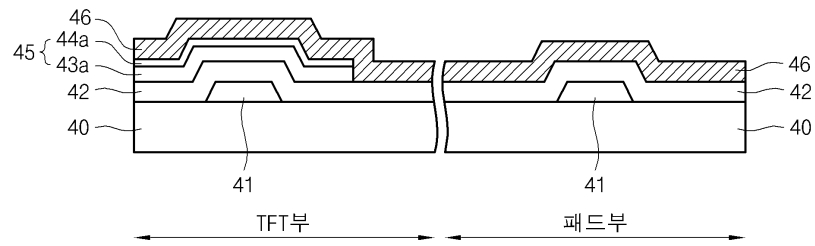
도면2a



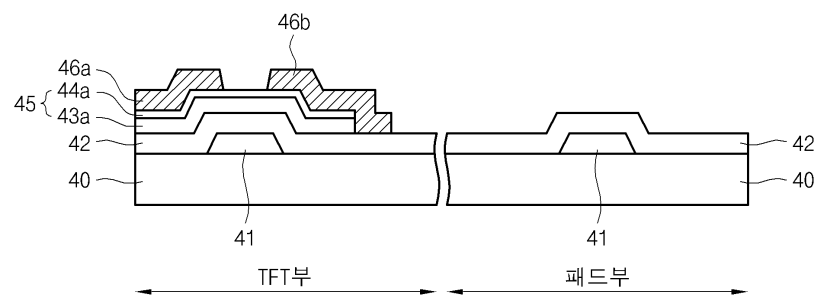
도면2b



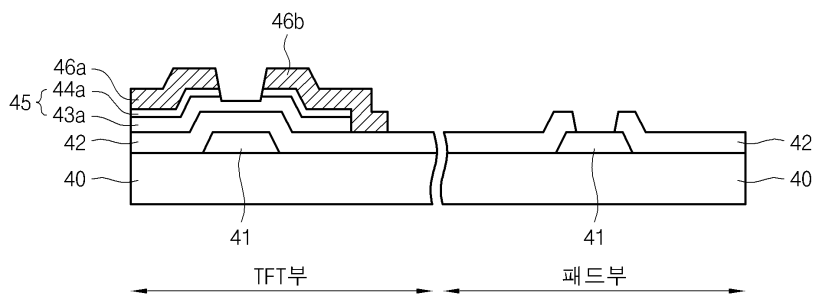
도면2c



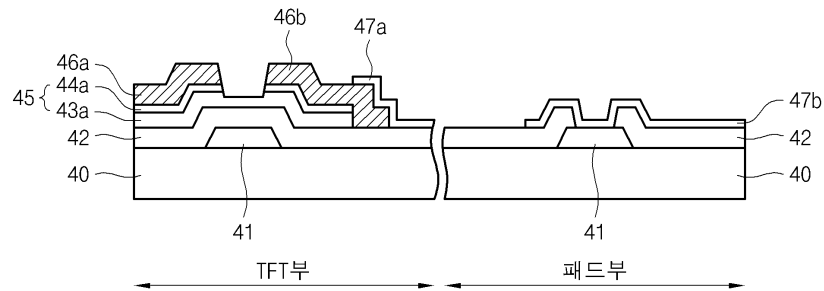
도면2d



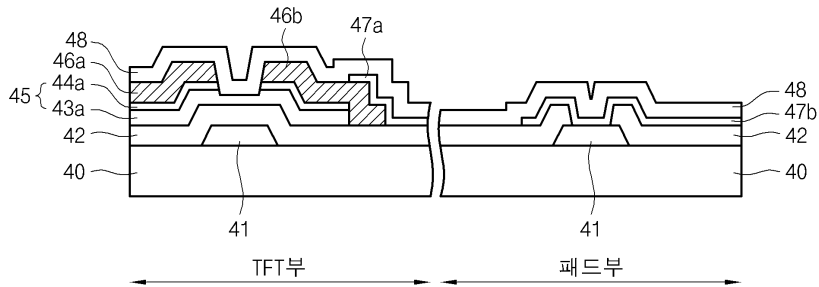
도면2e



도면2f



도면2g



专利名称(译)	薄膜晶体管液晶显示装置的阵列基板的制造方法		
公开(公告)号	KR1020060074729A	公开(公告)日	2006-07-03
申请号	KR1020040113843	申请日	2004-12-28
[标]申请(专利权)人(译)	HYDIS TECH HYDIS技术有限公司		
申请(专利权)人(译)	하이디스테크놀로지주식회사		
当前申请(专利权)人(译)	하이디스테크놀로지주식회사		
[标]发明人	HAN KYUYONG		
发明人	HAN,KYUYONG		
IPC分类号	G02F1/136		
CPC分类号	G02F1/13458 G02F1/136286 H01L27/124		
外部链接	Espacenet		

摘要(译)

本发明涉及一种薄膜晶体管液晶显示器阵列基板的制作方法，提高了产量。该方法包括形成每个栅电极的步骤，第一金属层在第一掩模工艺中被图案化，第一金属层沉积在TFT部分和玻璃基板上，其中限定了焊盘部分；在包括栅电极的玻璃基板上连续沉积栅极绝缘层，a-Si膜和n + a-Si膜的步骤；第二掩模处理n + a-Si薄膜；以及在第四透明金属薄膜上形成透明金属薄膜的第一透明电极与TFT部分的源极或漏极电极接触的结果上沉积保护膜；以及沉积透明金属的步骤在形成有源层的步骤的正面上的薄膜图案化a-Si薄膜；在包括有源层的栅极绝缘层上沉积第二金属层的步骤；在TFT部分中形成源极的步骤在第三掩模工艺中，第二金属层被图案化和漏电极：暴露焊盘部分的栅电极的步骤，其选择性地蚀刻结果，第二透明电极与焊盘部分的栅电极接触。

