

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁸ (11) 공개번호 10-2006-0010118
G02F 1/1343 (2006.01) (43) 공개일자 2006년02월02일

(21) 출원번호 10-2004-0058709
(22) 출원일자 2004년07월27일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 신경주
경기도 용인시 기흥읍 보라리 289-12번지 삼성선비마을 102동 504호
이창훈
경기도 용인시 기흥읍 서천리 705번지 예현마을 현대홈타운 104동 1205호
박철우
경기도 수원시 팔달구 매탄2동 한국1차아파트 102동 601호
채중철
서울특별시 마포구 신공덕동 삼성아파트 102동 2001호

(74) 대리인 유미특허법인

심사청구 : 없음

(54) 다중 도메인 액정 표시 장치 및 그에 사용되는 표시판

요약

절연 기판 위에 게이트선 및 유지 전극을 포함하는 유지 전극선이 형성되어 있고, 이들을 덮는 게이트 절연막 상부에는 게이트선과 절연되어 교차하고 있는 데이터선 및 드레인 전극과 유지 전극과 중첩하는 결합 전극이 형성되어 있다. 이들을 덮는 보호막 상부에는 게이트선과 데이터선이 교차하여 정의하는 각 화소 영역마다 드레인 전극 및 결합 전극과 연결되어 있는 제1 화소 전극과 결합 전극과 중첩되어 제1 화소 전극에 용량성으로 결합되어 있는 제2 화소 전극이 형성되어 있다. 이때, 제1 화소 전극은 제2 화소 전극을 중심으로 상하에 두 부분으로 분리되어 있는데, 두 부분은 박막 트랜지스터의 드레인 전극과 각각 연결되어 있다.

대표도

도 24

색인어

액정표시장치, 수직배향, 절개부, 결합전극, 결합용량, 개구율

명세서

도면의 간단한 설명

도 1은 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고,

- 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치용 대향 표시판의 배치도이고,
- 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 배치도이고,
- 도 4는 도 3의 액정 표시 장치를 IV-IV'선을 따라 잘라 도시한 단면도이고,
- 도 5는 본 발명의 한 실시예에 따른 액정 표시 장치의 회로도이고,
- 도 6은 본 발명의 다른 실시예에 따른 액정 표시 장치의 구조를 도시한 배치도이고,
- 도 7은 도 6의 액정 표시 장치를 VII-VII' 선을 따라 절단한 단면도이고,
- 도 8은 본 발명의 또 다른 실시예에 따른 액정 표시 장치의 구조를 도시한 배치도이고,
- 도 9는 본 발명의 또 다른 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고,
- 도 10은 본 발명의 또 다른 실시예에 따른 액정 표시 장치용 대향 표시판의 배치도이고,
- 도 11은 본 발명의 또 다른 실시예에 따른 액정 표시 장치의 배치도이다.
- 도 12는 본 발명의 또 다른 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고,
- 도 13은 본 발명의 또 다른 실시예에 따른 액정 표시 장치용 대향 표시판의 배치도이고,
- 도 14는 도 12 및 도 13의 두 표시판을 포함하는 또 다른 실시예에 따른 액정 표시 장치의 배치도이고,
- 도 15는 도 14의 액정 표시 장치를 XV-XV'선을 따라 잘라 도시한 단면도이고,
- 도 16a, 도 17a, 도 18a 및 도 20a는 도 12 내지 도 15에 도시한 액정 표시 장치의 박막 트랜지스터 표시판을 본 발명의 한 실시예에 따라 제조하는 방법의 중간 단계에서의 배치도로서 그 순서에 따라 나열한 도면이고,
- 도 16b는 도 16a에 도시한 박막 트랜지스터 표시판을 XVIb-XVIb' 선을 따라 절단한 단면도이고,
- 도 17b는 도 17a에 도시한 박막 트랜지스터 표시판을 XVIIb-XVIIb' 선을 따라 절단한 단면도이고,
- 도 18b는 도 18a에 도시한 박막 트랜지스터 표시판을 XVIIIb-XVIIIb' 선을 따라 절단한 단면도이고,
- 도 19는 도 18a에 도시한 박막 트랜지스터 표시판을 XVIIIb-XVIIIb' 선을 따라 절단한 단면도로서, 도 18b의 다음 단계를 도시한 도면이고,
- 도 20b는 도 20a에 도시한 박막 트랜지스터 표시판을 XXb-XXb' 선을 따라 절단한 단면도로서, 도 19의 다음 단계를 도시한 도면이고,
- 도 21은 도 20a에 도시한 박막 트랜지스터 표시판을 XXb-XXb' 선을 따라 절단한 단면도로서, 도 20의 다음 단계를 도시한 도면이고,
- 도 22는 본 발명의 다른 실시예에 따른 액정 표시 장치의 구조를 도시한 배치도이고,
- 도 23은 도 22의 액정 표시 장치를 XII-XII' 선을 따라 절단한 단면도이고,
- 도 24는 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 표시판의 구조를 도시한 배치도이고,
- 도 25는 도 24의 박막 트랜지스터 표시판을 포함하는 액정 표시 장치의 배치도이고,

도 26은 도 25에서 XXVI-XXVI' 선을 따라 절단한 단면도이고,

도 27은 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 표시판의 구조를 도시한 배치도이고,

도 28은 도 27의 박막 트랜지스터 표시판을 포함하는 액정 표시 장치의 배치도이고,

도 29는 도 28에서 XXIX-XXIX' 선을 따라 절단한 단면도이다.

121 게이트선, 124 게이트 전극,

131, 133 유지 전극, 151, 154 반도체

161, 163, 165 저항성 접촉 부재 176 결합 전극,

171 데이터선, 173 소스 전극,

175 드레인 전극, 190 화소 전극,

191, 192, 193 절개부, 270 대향 전극,

271, 272, 273 절개부, 801, 802 제1 및 제2 절연막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터 표시판에 관한 것으로, 더욱 상세하게는 다중 도메인 액정 표시 장치에 사용되는 박막 트랜지스터 표시판에 관한 것이다.

액정 표시 장치는 일반적으로 공통 전극과 색필터(color filter) 등이 형성되어 있는 상부 표시판과 박막 트랜지스터와 화소 전극 등이 형성되어 있는 하부 표시판 사이에 액정 물질을 주입해 놓고 화소 전극과 공통 전극에 서로 다른 전압을 인가함으로써 전계를 형성하여 액정 분자들의 배열을 변경시키고, 이를 통해 빛의 투과율을 조절함으로써 화상을 표현하는 장치이다.

그런데 액정 표시 장치는 시야각이 좁은 것이 중요한 단점이다. 이러한 단점을 극복하고자 시야각을 넓히기 위한 다양한 방안이 개발되고 있는데, 그 중에서도 액정 분자를 상하 표시판에 대하여 수직으로 배향하고 화소 전극과 그 대향 전극인 공통 전극에 일정한 절개 패턴을 형성하거나 돌기를 형성하는 방법이 유력시되고 있다.

절개 패턴을 형성하는 방법으로는 화소 전극과 공통 전극에 각각 절개 패턴을 형성하여 이들 절개 패턴으로 인하여 형성되는 프린지 필드(fringe field)를 이용하여 액정 분자들이 눕는 방향을 조절함으로써 시야각을 넓히는 방법이 있다.

돌기를 형성하는 방법은 상하 표시판에 형성되어 있는 화소 전극과 공통 전극 위에 각각 돌기를 형성해 둠으로써 돌기에 의하여 왜곡되는 전기장을 이용하여 액정 분자의 눕는 방향을 조절하는 방식이다.

또 다른 방법으로는, 하부 표시판 위에 형성되어 있는 화소 전극에는 절개 패턴을 형성하고 상부 표시판에 형성되어 있는 공통 전극 위에는 돌기를 형성하여 절개 패턴과 돌기에 의하여 형성되는 프린지 필드를 이용하여 액정의 눕는 방향을 조절함으로써 도메인을 형성하는 방식이 있다.

이러한 다중 도메인 액정 표시 장치는 1:10의 대비비를 기준으로 하는 대비비 기준 시야각이나 계조간의 휘도 반전의 한계 각도로 정의되는 계조 반전 기준 시야각은 전 방향 80°이상으로 매우 우수하다. 그러나 정면의 감마(gamma)곡선과 측면의 감마 곡선이 일치하지 않는 측면 감마 곡선 왜곡 현상이 발생하여 좌우측면에서 열등한 시인성을 나타낸다. 예를 들어,

도메인 분할 수단으로 절개부를 형성하는 PVA(patterned vertically aligned) 모드의 경우에는 측면으로 갈수록 전체적으로 화면이 밝게 보이고 색은 흰색 쪽으로 이동하는 경향이 있으며, 심한 경우에는 밝은 계조 사이의 간격 차이가 없어져서 그림이 뭉그러져 보이는 경우도 발생한다. 그런데 최근 액정 표시 장치가 멀티 미디어용으로 사용되면서 그림을 보거나 동영상을 보는 일이 증가하면서 시인성이 점점 더 중요시되고 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 시인성이 우수한 다중 도메인 액정 표시 장치를 구현하는 것이다.

발명의 구성 및 작용

이러한 과제를 해결하기 위하여 본 발명에서는 화소 전극을 적어도 둘 이상의 서브 화소 전극으로 나누고 서브 화소 전극에 서로 다른 전위가 인가되도록 한다.

본 발명의 실시예에 따른 박막 트랜지스터 표시판에는, 절연 기관 위에 제1 신호선 및 제1 신호선과 절연되어 교차하고 있는 제2 신호선이 형성되어 있다. 제1 신호선과 상기 제2 신호선이 교차하여 정의하는 각 화소 영역에는 제1 화소 전극과 제1 신호선, 제2 신호선 및 제1 화소 전극에 3단자가 각각 연결되어 있는 박막 트랜지스터가 형성되어 있으며, 제1 화소 전극에 용량성으로 결합되어 있는 적어도 하나 이상의 제2 화소 전극이 형성되어 있다. 또한, 각각의 화소에는 제1 화소 전극과 연결되어 있으며, 제2 화소 전극과 중첩하는 결합 전극이 형성되어 있는데, 제1 화소 전극은 적어도 하나 이상으로 분리되어 있다.

제1 화소 전극은 두 부분으로 분리되어 있으며, 제2 화소 전극을 중심으로 양쪽에 배치되어 있는 것이 바람직하다.

제2 화소 전극과 연결되어 있으며, 결합 전극 중첩하여 결합 용량을 형성하는 결합 보조 전극을 더 포함하며, 결합 전극과 결합 보조 전극은 제1 신호선과 제2 신호선 사이에 형성되어 있는 게이트 절연막을 사이에 두고 서로 중첩하는 것이 바람직하다.

제1 및 제2 신호선과 제1 및 제2 화소 전극 사이에 형성되어 있는 보호막을 더 포함하며, 보호막은 무기 절연 물질로 이루어진 제1 절연막과 유기 절연 물질로 이루어진 제2 절연막을 포함하는 것이 바람직하다.

제1 화소 전극과 제2 화소 전극은 도메인 분할 수단을 통하여 분리되어 있다.

결합 전극은 박막 트랜지스터의 3단자 중 드레인 전극으로부터 연장되어 있는 것이 바람직하다.

한편, 이러한 박막 트랜지스터 표시판은 제1 및 제2 화소 전극과 결합 전극 사이에 형성되어 있으며, 적어도 제2 화소 전극과 중첩하는 일부는 다른 부분보다 얇은 두께를 가지는 보호막을 더 포함하는 것이 바람직하다.

보호막은 무기 절연 물질로 이루어진 제1 절연막과 유기 절연 물질로 이루어진 제2 절연막을 포함하는데, 결합 전극과 제2 화소 전극이 중첩하는 부분에서 제2 절연막은 제거되어 제2 절연막은 제1 절연막을 드러내는 개구부를 가지는 것이 바람직하다.

첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

그러면 도면을 참고로 하여 본 발명의 실시예에 따른 액정 표시 장치 및 이에 사용되는 박막 트랜지스터 표시판의 구조에 대하여 설명한다.

도 1은 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관의 배치도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치용 색필터 기관의 배치도이고, 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 배치도이고, 도 4는 도 3의 액정 표시 장치를 IV-IV'선을 따라 잘라 도시한 단면도이다.

액정 표시 장치는 하층의 박막 트랜지스터 표시관(100)과 이와 마주보고 있는 상층의 대향 표시관(200) 및 이들 사이에 형성되어 있으며, 두 표시관(100, 200)에 대하여 거의 수직으로 배향되어 있는 액정 분자(310)를 포함하는 액정층(3)으로 이루어진다. 이때, 각각의 표시관(100, 200) 안쪽에는 배향막(11, 21)이 형성되어 있으며, 배향막(11, 21)은 액정층(3)의 액정 분자(310)를 표시관(100, 200)에 대하여 수직으로 배향되도록 하는 수직 배향 모드인 것이 바람직하나, 그렇지 않을 수도 있다. 또한, 상부 표시관(200)과 하부 표시관(100)의 바깥 면에는 각각 상부 및 하부 편광판(12, 22)이 부착되어 있다.

먼저, 하부의 박막 표시관인 박막 트랜지스터 표시관은 다음과 같은 구성을 가진다.

유리 등의 투명한 절연 물질로 이루어진 절연 기관(110) 위에 ITO(indium tin oxide)나 IZO(indium zinc oxide) 등의 투명한 도전 물질로 이루어져 있으며, 절개부(191, 193)를 통하여 분리되어 있는 제1 및 제2 화소 전극(190a, 190b)이 형성되어 있다. 이 중 제1 화소 전극(190a)은 박막 트랜지스터에 연결되어 화상 신호 전압을 인가 받고, 제2 화소 전극(190b)은 제1 화소 전극(190a)과 연결되어 있는 결합 전극(176)과 중첩함으로써 제1 화소 전극(190a)과 전자기적으로 결합(용량성 결합)되어 있다. 이 때, 박막 트랜지스터는 주사 신호를 전달하는 게이트선(121)과 화상 신호를 전달하는 데이터선(171)에 각각 연결되어 주사 신호에 따라 제1 화소 전극(190a)에 인가되는 화상 신호를 온(on)오프(off)한다. 제2 화소 전극(190b)은 절개부(192)를 가진다. 여기서, 제1 및 제2 화소 전극(190a, 190b)은 반사형 액정 표시 장치인 경우 투명한 물질로 이루어지지 않을 수도 있고, 이 경우에는 하부 편광판(12)도 불필요하게 된다.

다음, 상부의 대향 표시관의 구성은 다음과 같다.

역시 유리 등의 투명한 절연 물질로 이루어진 절연 기관(210)의 아래 면에 빛샘을 방지하기 위한 블랙 매트릭스(220)와 적, 녹, 청의 색필터(230) 및 ITO 또는 IZO 등의 투명한 도전 물질로 이루어져 있는 공통 전극(270)이 형성되어 있다. 여기서, 공통 전극(270)에는 절개부(271, 272, 273)가 형성되어 있다. 블랙 매트릭스(220)는 화소 영역의 둘레 부분뿐만 아니라 공통 전극(270)의 절개부(271, 272, 273)와 중첩하는 부분에도 형성할 수 있다. 이는 절개부(271, 272, 273)로 인해 발생하는 빛샘을 방지하기 위함이다.

다음은 박막 트랜지스터 표시관(100)에 대하여 좀 더 상세히 설명한다.

박막 트랜지스터 표시관(100)에는 하부 절연 기관(110) 위에 게이트 신호를 전달하는 복수의 게이트선(gate line)(121)이 형성되어 있다. 게이트선(121)은 주로 가로 방향으로 뻗어 있으며, 각 게이트선(121)의 일부는 복수의 게이트 전극(gate electrode)(124)을 이룬다. 게이트선(121)에는 게이트 전극(124)은 돌기의 형태로 형성되어 있고, 본 실시예와 같이 게이트선(121)은 외부로부터의 게이트 신호를 게이트선(121)으로 전달하기 위한 접촉부를 가질 수 있으며, 이때 게이트선(121)의 끝 부분(129)은 다른 부분보다 넓은 폭을 가지며, 게이트 구동 회로는 기관(10)의 상부에 직접 형성될 수 있으며, 게이트선(121)의 끝 부분은 게이트 구동 회로의 출력단에 연결된다.

게이트선(121)과 동일한 층에는 유지 전극선(131)이 가로 방향으로 뻗어 형성되어 있으며, 각각의 유지 전극선(131)은 다른 부분보다 넓은 폭을 가지는 유지 전극(133)을 포함한다. 이때, 유지 전극선(131)은 화소의 개구율을 확보하기 위해 화소의 가장자리에 배치하는 것이 바람직하다.

또한, 게이트선(121)과 동일한 층에는 유지 전극선(131) 및 게이트선(121)과 분리되어 있는 결합 보조 전극(136)이 형성되어 있다.

게이트선(121), 유지 전극선(131) 및 결합 보조 전극(136)은 Al, Al 합금, Ag, Ag 합금, Cr, Ti, Ta, Mo 등 또는 이들을 포함하는 합금의 금속 따위로 만들어진다. 본 실시예의 게이트선(121) 및 유지 전극선(131)은 단일층으로 이루어지지만, 물리 화학적 특성이 우수한 Cr, Mo, Ti, Ta 등을 포함하는 금속층과 비저항이 작은 Al 계열 또는 Ag 계열의 금속층을 포함하는 이중층으로 이루어질 수도 있다. 이외에도 여러 다양한 금속 또는 도전체로 게이트선(121), 유지 전극선(131) 및 결합 보조 전극(136)을 만들 수 있다.

게이트선(121), 유지 전극선(131) 및 결합 보조 전극(136)의 측면은 경사져 있으며 수평면에 대한 경사각은 30-80°인 것이 바람직하다.

게이트선(121), 유지 전극선(131) 및 결합 보조 전극(136)의 위에는 질화 규소(SiNx) 등으로 이루어진 게이트 절연막(140)이 형성되어 있다.

게이트 절연막(140) 위에는 복수의 데이터선(171)을 비롯하여 복수의 드레인 전극(drain electrode, 175)이 형성되어 있다. 각 데이터선(171)은 주로 세로 방향으로 뻗어 있으며, 각 드레인 전극(175)을 향하여 복수의 분지를 내어 데이터선(171)으로부터 확장된 소스 전극(source electrode)(173)을 가진다. 데이터선(171)의 한쪽 끝 부분에 위치한 접촉부(179)는 외부로부터의 화상 신호를 데이터선(171)에 전달한다.

또한, 데이터선(171)과 동일한 층에는 드레인 전극(175)과 연결되어 있으며, 결합 보조 전극(136)과 중첩되어 게이트 절연막(140)만을 사이에 두고 결합 축전기(Ccp)를 이루는 결합 전극(176)이 형성되어 있다. 이때, 결합 보조 전극(136)과 결합 전극(176)은 게이트 절연막(140)만을 사이에 두고 중첩되어 좁은 중첩 면적으로도 결합 용량을 충분히 확보할 수 있어, 화소의 개구율이 감소하는 것을 방지할 수 있으며, 결합 보조 전극(136)은 결합 전극(176)으로 가려지지 않는 일부를 가진다.

데이터선(171), 드레인 전극(175) 및 결합 전극(176)도 게이트선(121)과 마찬가지로 폴리브덴, 크롬과 알루미늄 등의 물질 또는 이들을 포함하는 합금으로 만들어지며, 단일층 또는 다중층으로 이루어질 수 있다.

데이터선(171), 드레인 전극(175)의 아래에는 데이터선(171)을 따라 주로 세로로 길게 뻗은 복수의 선형 반도체(151)가 형성되어 있다. 비정질 규소 따위로 이루어진 각 선형 반도체(151)는 각 게이트 전극(124), 소스 전극(173) 및 드레인 전극(175)을 향하여 확장되어 채널부(154)를 가진다.

반도체(151)와 데이터선(171) 및 드레인 전극(175) 사이에는 둘 사이의 접촉 저항을 각각 감소시키기 위한 복수의 선형 저항성 접촉 부재(ohmic contact)(161)와 섬형의 저항성 접촉 부재(165)가 형성되어 있다. 저항성 접촉 부재(161)는 실리 사이드나 n형 불순물이 고농도로 도핑된 비정질 규소 따위로 만들어지며, 분지로 뻗은 저항성 접촉 부재(163)를 가지며, 섬형의 저항성 접촉 부재(165)는 게이트 전극(124)을 중심으로 저항성 접촉 부재(163)와 마주한다.

데이터선(171) 및 드레인 전극(175) 위에는 평탄화 특성이 우수하며 감광성을 가지는 유기 물질, 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질 또는 질화 규소 따위로 이루어진 보호막(180)이 형성되어 있다. 이때, 보호막(180)은 질화 규소 또는 산화 규소로 이루어진 제1 절연막(801)과 유기 절연 물질로 이루어진 제2 절연막(802)을 포함한다. 박막 트랜지스터 표시판(100)의 상부에 적, 녹, 청의 색필터(230)를 형성하는 다른 실시예에서 제2 절연막(802)은 적, 녹, 청의 색필터(230)로 대신할 수 있다.

보호막(180)에는 드레인 전극(175)의 적어도 일부와 데이터선(171)의 끝 부분(179)을 각각 노출시키는 복수의 접촉 구멍(182, 185)이 구비되어 있으며, 게이트선(121)의 끝 부분(129) 일부를 드러내는 복수의 접촉 구멍(181)이 게이트 절연막(140)과 보호막(180)을 관통하고 있다.

또한, 보호막(180)에는 결합 전극(176)으로 가리지 않는 결합 보조 전극(136)을 드러내는 접촉 구멍(186)이 구비되어 있다.

보호막(180) 위에는 복수의 화소 전극을 비롯하여 복수의 접촉 보조 부재(contact assistant)(81, 82)가 형성되어 있다. 화소 전극 및 접촉 보조 부재(81, 82)는 ITO(indium tin oxide)나 IZO(indium zinc oxide) 등과 같은 투명 도전체나 알루미늄(Al)과 같은 광 반사 특성이 우수한 불투명 도전체 따위로 만들어진다.

복수의 화소 전극은 절개부(91, 193)를 통하여 분리된 제1 화소 전극(190a)과 제2 화소 전극(190b)을 포함하는데, 제1 화소 전극(190a)은 접촉 구멍(185)을 통하여 드레인 전극(175) 및 결합 전극(176)과 연결되어 있고, 제2 화소 전극(190b)은 접촉 구멍(186)을 통하여 결합 전극(176)과 중첩하고 있는 결합 보조 전극(136)과 연결되어 있다. 따라서, 결합 보조 전극(136)에 연결된 제2 화소 전극(190b)과 결합 전극(176) 사이에는 결합 용량(Ccp, 도 5 참조)이 형성되며, 이를 통하여 제2 화소 전극(190b)은 제1 화소 전극(190a)에 전자기적으로 결합(용량성 결합)되어 있다.

제1 화소 전극(190a)과 제2 화소 전극(190b)을 나누는 경계는 게이트선(121)에 대하여 45°를 이루는 부분(191, 193)과 수직을 이루는 부분으로 구분되고, 이중 45°를 이루는 두 부분(191, 193)이 수직을 이루는 부분에 비하여 길이가 길다. 또, 45°를 이루는 두 부분(191, 193)은 서로 수직을 이루고 있다.

제2 화소 전극(190b)은 절개부(192)를 가지며, 절개부(192)는 제2 화소 전극(190b)의 오른쪽 면에서 왼쪽 면을 향하여 파고 들어간 형태이고, 입구는 넓게 확장되어 있다.

제1 화소 전극(190a)과 제2 화소 전극(190b)은 각각 게이트선(121)과 데이터선(171)이 교차하여 정의하는 화소 영역을 상하로 이등분하는 선(게이트선과 나란한 선)에 대하여 실질적으로 거울상 대칭을 이루고 있다.

접촉 보조 부재(81, 82)는 각각 접촉 구멍(181, 182)을 통하여 게이트선의 끝부분(129)과 데이터선의 끝부분(179)에 연결되어 있다.

한편, 상부의 절연 기판(210)에는 빛이 새는 것을 방지하기 위한 블랙 매트릭스(220)가 형성되어 있다. 블랙 매트릭스(220) 위에는 적, 녹, 청색 색필터(230)가 형성되어 있다. 색필터(230)의 위에는 복수 벌의 절개부(271, 272, 273)를 가지는 공통 전극(270)이 형성되어 있다. 공통 전극(270)은 ITO 또는 IZO(indium zinc oxide) 등의 투명한 도전체로 형성한다.

공통 전극(270)의 한 벌의 절개부(271, 272, 273)는 두 화소 전극(190a, 190b)의 경계 중 게이트선(121)에 대하여 45°를 이루는 부분(191, 193)을 가운데에 끼고 있으며 이와 나란한 사선부와 화소 전극(190)의 변과 중첩되어 있는 단부를 포함하고 있다. 이 때, 단부는 세로 방향 단부와 가로 방향 단부로 분류된다.

이때, 도메인 규제 수단인 절개부(271, 272, 273)는 잘록하게 패인 노치를 포함하는데, 삼각형 또는 사각형 또는 사다리꼴 또는 반원형의 모양을 가질 수 있는데, 노치는 불록하게 또는 오목하게 이루어질 수 있다. 노치는 절개부(271, 272, 273)에 대응하는 도메인 경계에 위치하는 액정 분자(310)의 배열 방향을 결정해준다. 따라서, 도메인의 경계에 배열되어 있는 액정 분자들(310)은 노치를 통하여 안정적이고 규칙적으로 배열할 수 있어 도메인 경계에서 얼룩이나 잔상이 발생하는 것을 방지할 수 있고, 절개부(271, 272, 273)의 폭을 좁힐 수 있어 휘도를 증가시킬 수 있다. 이때, 노치는 하나의 도메인 규제 수단에 하나 또는 둘 이상으로 배치할 수 있으며, 오목한 노치와 불록한 노치를 번갈아 다수로 배치할 수도 있다. 또한, 본 실시예에서는 공통 전극(270)의 절개부(271, 272, 273)에만 노치를 배치하였지만, 화소 전극(190)의 절개부(191, 192, 193)에도 노치가 배치할 수 있으며, 박막 트랜지스터 표시판(100) 또는 대향 표시판(200) 양쪽에 모두 배치할 수도 있다.

이상과 같은 구조의 박막 트랜지스터 표시판과 색필터 표시판을 정렬하여 결합하고 그 사이에 액정 물질을 주입하여 수직 배향하면 본 발명에 한 실시예에 따른 액정 표시 장치의 기본 구조가 마련된다.

박막 트랜지스터 표시판과 색필터 표시판을 정렬했을 때 공통 전극(270)의 한 벌의 절개부(271, 272, 273)는 두 화소 전극(190a, 190b)을 각각 복수의 부영역(subarea)으로 구분하는데, 본 실시예에서는 도 3에 도시한 바와 같이 두 화소 전극(190a, 190b)을 각각 4개의 부영역으로 나눈다. 도 3에서 알 수 있는 바와 같이, 각 부영역은 길쭉하게 형성되어 있어서 폭 방향과 길이 방향이 구별된다.

화소 전극(190a, 190b)의 각 부영역과 이에 대응하는 기준 전극(270)의 각 부영역 사이에 있는 액정층(3) 부분을 앞으로는 소영역(subregion)이라고 하며, 이들 소영역은 전계 인가시 그 내부에 위치하는 액정 분자의 평균 장축 방향에 따라 4개의 종류로 분류되며 앞으로는 이를 도메인(domain)이라고 한다.

이러한 구조의 액정 표시 장치에서 제1 화소 전극(190a)은 박막 트랜지스터를 통하여 화상 신호 전압을 인가받음에 반하여 제2 화소 전극(190b)은 결합 전극(176)과의 용량성 결합에 의하여 전압이 변동하게 되므로 제2 화소 전극(190b)의 전압은 제1 화소 전극(190a)의 전압에 비하여 절대값이 항상 낮게 된다. 이와 같이, 하나의 화소 영역 내에서 전압이 다른 두 화소 전극을 배치하면 두 화소 전극을 통하여 서로 다른 감마 곡선을 만들 수 있으며, 이러한 감마 곡선은 서로 보상하여 감마 곡선이 왜곡되는 것을 줄일 수 있고, 이를 통하여 우수한 시인성을 확보할 수 있다.

그러면 제1 화소 전극(190a)의 전압이 제2 화소 전극(190b)의 전압보다 낮게 유지되는 이유를 도 5를 참고로 하여 설명한다.

도 5는 본 발명의 실시예에 따른 액정 표시 장치를 회로도로 표현한 것이다.

도 5에서 Clca는 제1 화소 전극(190a)과 공통 전극(270) 사이에서 형성되는 액정 용량을 나타내고, Cst는 제1 화소 전극(190a)과 유지 전극선(131) 사이에서 형성되는 유지 용량을 나타낸다. Clcb는 제2 화소 전극(190b)과 공통 전극(270) 사이에서 형성되는 액정 용량을 나타내고, Ccp는 제1 화소 전극(190a)에 연결된 결합 전극(176)과 제2 화소 전극(190b)에 연결되어 있는 결합 보조 전극(136) 사이에서 형성되는 결합 용량을 나타낸다.

공통 전극(270) 전압에 대한 제1 화소 전극(190a)의 전압을 Va라 하고, 제2 화소 전극(190b)의 전압을 Vb라 하면, 전압 분배 법칙에 의하여,

$$V_a = V_b \times [C_{cp} / (C_{cp} + C_{lcb})]$$

이고, $C_{cp} / (C_{cp} + C_{lcb})$ 는 항상 1보다 작으므로 Vb는 Va에 비하여 항상 작다.

한편, Ccp를 조절함으로써 Va에 대한 Vb의 비율을 조정할 수 있다. Ccp의 조절은 결합 전극(176)과 결합 보조 전극(136)의 중첩 면적과 거리를 조절함으로써 가능하다. 중첩 면적은 결합 전극(176) 및 결합 보조 전극(136)의 폭을 변화시킴으로써 용이하게 조정할 수 있고, 거리는 게이트 절연막(140)의 두께를 변화시킴으로써 조정할 수 있다.

이때, Vb는 Va에 대하여 0.6 내지 0.8배인 것이 바람직하며, 제2 화소 전극(190b)의 면적은 제1 화소 전극(190a)에 대하여 0.8 내지 1.5배인 것이 바람직하다.

한편, 본 발명의 다른 실시예에 따른 액정 표시 장치에서 박막 트랜지스터 표시판은 다른 구조를 가질 수 있으며, 이에 대하여 도면을 참조하여 구체적으로 설명하기로 한다.

도 6은 본 발명의 다른 실시예에 따른 액정 표시 장치의 구조를 도시한 배치도이고, 도 7은 도 6의 액정 표시 장치를 VII-VII' 선을 따라 절단한 단면도이다.

도 6 및 도 7에서 보는 바와 같이, 본 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 층상 구조는 대개 도 1, 도 3 및 도 4에 도시한 액정 표시 장치용 박막 트랜지스터 표시판의 층상 구조와 동일하다. 즉, 기판(110) 위에 복수의 게이트 전극(124)을 포함하는 복수의 게이트선(121), 유지 전극선(131) 및 결합 보조 전극(136)이 형성되어 있고, 그 위에 게이트 절연막(140), 복수의 돌출부(154)를 포함하는 복수의 선형 반도체(151), 복수의 돌출부(163)를 각각 포함하는 복수의 선형 저항성 접촉 부재(161) 및 복수의 섬형 저항성 접촉 부재(165)가 차례로 형성되어 있다. 저항성 접촉 부재(161, 165) 및 게이트 절연막(140) 위에는 복수의 소스 전극(173)을 포함하는 복수의 데이터선(171), 복수의 드레인 전극(175), 복수의 결합 전극(176)이 형성되어 있고 그 위에 제1 절연막(801)과 제2 절연막(802)을 포함하는 보호막(180)이 형성되어 있다. 보호막(180) 및/또는 게이트 절연막(140)에는 복수의 접촉 구멍(182, 185, 186, 181)이 형성되어 있으며, 보호막(180) 위에는 복수의 화소 전극(190a, 190b)과 복수의 접촉 보조 부재(81, 82)가 형성되어 있다.

그러나 도 1, 도 3 및 도 4에 도시한 박막 트랜지스터 표시판과 달리, 본 실시예에 따른 박막 트랜지스터 표시판에서, 반도체(151)는 박막 트랜지스터가 위치하는 돌출부(154)를 제외하면 데이터선(171), 드레인 전극(175) 및 그 하부의 저항성 접촉 부재(161, 165)와 실질적으로 동일한 평면 형태를 가지고 있다. 구체적으로는, 선형 반도체(151)는 데이터선(171) 및 드레인 전극(175)과 그 하부의 저항성 접촉 부재(161, 165)의 아래에 존재하는 부분 외에도 소스 전극(173)과 드레인 전극(175) 사이에 이들에 가리지 않고 노출된 부분을 가지고 있다.

물론, 이러한 본 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판은 결합 전극(176)을 포함하고 있으며, 결합 전극(176)의 하부에는 비정질 규소층(154, 165)이 동일한 모양으로 형성되어 있다.

이러한 박막 트랜지스터 표시판의 제조 방법에서는 보호막(190)을 패터닝할 때와 마찬가지로 부분적으로 두께가 다른 감광막 패턴을 형성한다. 이러한 감광막 패턴은 두께가 점점 작아지는 제1 내지 제3 부분으로 이루어진다. 이때, 제1 부분은 "배선 영역"에 대응하며, 제2 부분은 "채널 영역"에 대응한다. 이어, 일련의 식각 단계를 통하여 "배선 영역" 및 "채널 영역"에는 복수의 돌출부(154)를 포함하는 복수의 선형 반도체(151)를 형성한다. 이어, "배선 영역"에는 복수의 소스 전극(173)을 각각 포함하는 복수의 데이터선(171), 복수의 드레인 전극(175) 및 결합 전극(176)과 그 하부에 위치하는 복수의 돌출부(163)를 각각 포함하는 복수의 선형 저항성 접촉 부재(161) 및 복수의 섬형 저항성 접촉 부재(165)를 형성한다.

또한, 본 발명의 다른 실시예에 따른 액정 표시 장치에서 박막 트랜지스터 표시판의 결합 전극은 다른 구조를 가질 수 있으며, 이에 대하여 도면을 참조하여 구체적으로 설명하기로 한다.

도 8은 본 발명의 또 다른 실시예에 따른 액정 표시 장치의 구조를 도시한 단면도이다. 이때, 층상 구조는 앞의 실시예와 동일하여 도면으로 나타내지 않았다.

도 8에서 보는 바와 같이, 본 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치 구조는 대개 도 1, 도 3 및 도 4에 도시한 액정 표시 장치용 박막 트랜지스터 표시판의 배치 구조와 동일하다.

하지만, 서로 중첩하고 있는 결합 전극(176)과 결합 보조 전극(136)은 공통 전극(270)의 절개부(272) 모양을 따라 형성되어 있다. 이러한 구조에서 결합 전극(176)과 결합 보조 전극(136)은 절개부(272)를 통하여 누설되는 빛을 차단하는 기능을 가지며 빛이 투과되는 도메인 중앙을 거의 지나지 않아, 높은 화소의 개구율을 확보할 수 있다.

앞에서 설명한 바와 같이 게이트 절연막(140)을 사이에 두고 결합 용량을 형성하는 구조는 수직 배향 모드의 액정 표시 장치뿐 아니라 비틀린 네마틱 모드 또는 선형의 두 전극을 동일한 표시판에 구비하여 액정 분자를 구동하는 평면 구동 모드 등의 액정 표시 장치에도 동일하게 적용할 수 있다. 또한, 화소 전극, 공통 전극 및 도메인 분할 수단은 다양한 화소의 모양을 따라 변형될 수 있으며, 도메인 분할 수단을 수를 조절하여 도메인의 수를 다양하게 조절할 수 있으며, 이에 대하여 도면을 참조하여 구체적으로 설명하기로 한다.

도 9는 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 표시판의 구조를 도시한 배치도이고, 도 10은 본 발명의 또 다른 실시예에 따른 대향 표시판의 구조를 도시한 배치도이고, 도 11은 도 9 및 도 10의 두 표시판을 포함하는 액정 표시 장치의 구조를 도시한 배치도이다.

도 9 내지도 11에서 보는 바와 같이, 본 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치 구조는 대개 도 1, 도 3 및 도 4에 도시한 액정 표시 장치용 박막 트랜지스터 표시판의 배치 구조와 동일하다.

하지만, 화소 전극(190)은 도메인 규제 수단인 절개부(191, 192, 193, 194, 195, 196)를 가지며, 이에 대응하여 공통 전극(270)은 화소 전극(190)의 절개부(191, 192, 193, 194, 195, 196)와 교대로 배치되는 절개부(271, 272, 273, 274, 275, 276)를 가진다. 이때, 공통 전극(270)의 한 벌의 절개부(271, 272, 273, 274, 275, 276)는 화소 전극(190)의 절개부(191, 192, 193, 194, 195, 196) 중 게이트선(121)에 대하여 45°를 이루는 부분을 가운데에 끼고 배치되어 있으며 이들과 나란한 사선부와 화소 전극(190)의 변과 중첩되어 있는 단부를 포함하고 있다. 이때, 단부는 세로 방향 단부와 가로 방향 단부로 분류된다.

이러한 액정 표시 장치에서는, 전계 인가시 액정 분자의 평균 장축 방향이 달라지는 도메인은 8개의 종류로 분류된다.

앞의 실시예에서는 유지 용량과 결합 용량을 별도로 배치하여 형성하였지만, 결합 전극을 중심으로 상부 및 하부에 함께 형성할 수도 있으며, 이에 대하여 도면을 참조하여 구체적으로 설명하기로 한다.

도 12는 본 발명의 또 다른 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관의 배치도이고, 도 13은 본 발명의 또 다른 실시예에 따른 액정 표시 장치용 색필터 기관의 배치도이고, 도 14는 본 발명의 또 다른 실시예에 따른 액정 표시 장치의 배치도이고, 도 15는 도 14의 액정 표시 장치를 XV-XV'선을 따라 잘라 도시한 단면도이다.

대부분의 박막 트랜지스터 표시판(100)과 대향 표시판(200)의 층상 구조는 도 1 내지 도 4와 동일하다.

하지만, 게이트선(121)과 동일한 층의 유지 전극선(131)은 화소의 중앙을 가로 질러 가로 방향으로 뻗어 있으며, 다른 부분보다 넓은 폭을 가지는 유지 전극(133)을 포함한다.

또한, 데이터선(171)과 동일한 층의 결합 전극(176) 유지 전극(133)과 중첩하여 게이트 절연막(140)을 사이에 두고 유지 축전기(Cst, 도 5 참조)를 이루며, 결합 전극(176)은 드레인 전극(175)으로부터 분리되어 있지만, 이들(175, 176)은 연결될 수도 있다. 이때, 결합 전극(176)은 유지 전극(133)과 중첩되도록 배치하여, 화소의 개구율이 감소하는 것을 방지할 수 있으며, 유지 전극(133)의 경계는 결합 전극(176)의 경계 안에 위치하는 것이 바람직하다.

데이터선(171), 드레인 전극(175) 및 결합 전극(176)은 게이트선(121)과 같이 크롬(Cr), 알루미늄(Al), 몰리브덴(Mo), 티타늄(Ti), 탄탈륨(Ta) 또는 이들의 도전 물질에 소자의 합금용 금속을 첨가한(예로, Al-Nd, Mo-N, Mo-Nb) 합금을 포함하며, 이들의 단일막 또는 이들을 포함하는 다층막(예를 들면, Mo/Al-Nd/Mo, Cr/Al)으로 이루어질 수 있다.

박막 트랜지스터 표시판(100)의 상부에 적, 녹, 청의 색필터(230)를 형성하는 다른 실시예에서 제2 절연막(802)은 적, 녹, 청의 색필터(230)의 절연층을 포함하거나 이들을 색필터층으로 대신할 수 있다.

또한, 보호막(180)에는 결합 전극(176)을 드러내는 접촉 구멍(186)이 구비되어 있는데, 접촉 구멍(186)은 제1 절연막(801)에만 형성되어 있으며, 제2 절연막(802)에는 접촉 구멍(186)뿐만 아니라 결합 전극(176) 상부의 제1 절연막(801)을 드러내는 개구부(188)가 구비되어 있다. 이때, 제2 화소 전극(190b)은 개구부(188)를 통하여 드러난 제1 절연막(801)만을 사이에 두고 결합 전극(176)과 중첩하고 있어, 이들(190b, 176) 사이에서는 좁은 중첩 면적으로 충분한 결합 용량을 형성할 수 있다. 또한, 제1 또는 제2 화소 전극(190a, 190b)과 중첩하여 유지 용량을 형성할 때, 제1 화소 전극(190a)과 연결되어 있는 결합 전극(176)과 유지 전극(133)은 게이트 절연막(140)만을 사이에 두고 중첩하고 있어 이들(133, 176) 사이에서는 좁은 중첩 면적으로 충분한 유지 용량을 형성할 수 있다. 또한, 본 실시예와 같은 구조에서는 결합 용량과 유지 용량을 충분히 확보하면서 결합 전극(176)과 유지 전극(133)을 중첩하여 배치함으로써 화소의 개구율을 충분히 확보할 수 있다.

이러한 구조의 액정 표시 장치에서 화소의 회로도도 도 5와 동일하다.

그러면, 도 12, 도 14 및 도 15에 도시한 액정 표시 장치용 박막 트랜지스터 표시판을 본 발명의 한 실시예에 따라 제조하는 방법에 대하여 도 16a 내지 도 21 및 도 12, 도 14 및 도 15를 참고로 하여 상세히 설명한다.

도 16a, 도 17a, 도 18a 및 도 20a는 도 12 내지 도 15에 도시한 액정 표시 장치의 박막 트랜지스터 표시판을 본 발명의 한 실시예에 따라 제조하는 방법의 중간 단계에서의 배치도로서 그 순서에 따라 나열한 도면이고, 도 16b는 도 16a에 도시한 박막 트랜지스터 표시판을 XVIIb-XVIIb' 선을 따라 절단한 단면도이고, 도 17b는 도 17a에 도시한 박막 트랜지스터 표시판을 XVIIIb-XVIIIb' 선을 따라 절단한 단면도이고, 도 18b는 도 18a에 도시한 박막 트랜지스터 표시판을 XIXb-XIXb' 선을 따라 절단한 단면도이고, 도 19는 도 18a에 도시한 박막 트랜지스터 표시판을 XXb-XXb' 선을 따라 절단한 단면도로서, 도 18b의 다음 단계를 도시한 도면이고, 도 20b는 도 20a에 도시한 박막 트랜지스터 표시판을 XXIb-XXIb' 선을 따라 절단한 단면도로서, 도 19의 다음 단계를 도시한 도면이고, 도 21은 도 20a에 도시한 박막 트랜지스터 표시판을 XXb-XXb' 선을 따라 절단한 단면도로서, 도 20b의 다음 단계를 도시한 도면이다.

먼저, 투명한 유리 따위로 만들어진 절연 기판(110) 위에 두 층의 금속막을 스퍼터링(sputtering) 따위로 차례로 적층한다. 이때, 금속막은 IZO 또는 ITO와의 접촉 특성이 우수한 금속, 예를 들면 몰리브덴, 몰리브덴 합금 또는 크롬 등의 하부막과 알루미늄 계열 금속으로 이루어진 상부막으로 적층할 수 있다.

이어, 도 16a 및 도 16b에 도시한 바와 같이, 감광막 패턴을 이용한 사진 식각 공정으로 금속막을 패터닝하여 복수의 게이트 전극(124)을 포함하는 게이트선(121)과 복수의 유지 전극(133)을 포함하는 유지 전극선(131)을 형성한다.

도 17a 및 도 17b에 도시한 바와 같이, 게이트 절연막(140), 진성 비정질 규소층(intrinsic amorphous silicon), 불순물 비정질 규소층(extrinsic amorphous silicon)의 삼층막을 연속하여 적층한다. 이어, 불순물 비정질 규소층 및 진성 비정질 규소층을 사진 식각하여 복수의 선형 불순물 반도체(164)와 복수의 돌출부(154)를 각각 포함하는 선형 진성 반도체(151)를 형성한다. 게이트 절연막(140)의 재료로는 질화 규소가 좋으며 적층 온도는 250~500℃, 두께는 2,000~5,000Å 정도인 것이 바람직하다.

다음, 앞에서 언급한 도전 물질을 스퍼터링(sputtering) 따위로 차례로 적층하여 금속막을 형성한 다음, 도 18a 및 도 18b에 도시한 바와 같이, 금속막을 차례로 패터닝하여 복수의 결합 전극(176)과 복수의 소스 전극(173)을 각각 포함하는 복수의 데이터선(171) 및 복수의 드레인 전극(175)을 형성한다.

이어, 데이터선(171) 및 드레인 전극(175) 상부의 감광막을 제거하거나 그대로 둔 상태에서, 데이터선(171), 드레인 전극(175) 및 결합 전극(176)으로 덮이지 않고 노출된 불순물 반도체(164) 일부를 제거함으로써 복수의 돌출부(163)를 각각 포함하는 복수의 선형 저항성 접촉 부재(161)와 복수의 섬형 저항성 접촉 부재(165)를 완성하는 한편, 그 아래의 진성 반도체(151) 부분을 노출시킨다.

이어, 진성 반도체(151) 부분의 표면을 안정화시키기 위하여 산소 플라즈마를 뒤이어 실시하는 것이 바람직하다.

다음으로, 도 19에서 보는 바와 같이, 질화 규소와 같은 무기 절연막의 제1 절연막(801)과 낮은 유전율을 가지는 유기 절연막의 제2 절연막(802)을 차례로 적층하여 보호막(180)을 형성하고, 그 상부에 감광막을 스핀 코팅 방법으로 도포한 다음, 그 후, 마스크를 이용한 사진 공정으로 감광막 패턴(52, 54)을 형성한다.

이때 현상된 감광막의 두께는 위치에 따라 다른데, 감광막은 두께가 점점 작아지는 제1 내지 제3 부분으로 이루어진다. A 영역(이하 "기타 영역"이라 함)에 위치한 제1 부분과 C 영역(이하 "결합 영역"이라 함)에 위치한 제2 부분은 각각 도면 부호 52와 54로 나타내었고 B 영역(이하 "접촉 영역"이라 함)에 위치한 제3 부분에 대한 도면 부호는 부여하지 않았는데, 이는 제3 부분이 0의 두께를 가지고 있어 아래의 제2 절연막(802)이 드러나 있기 때문이다.

이와 같이, 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있는데, 노광 마스크에 투명 영역(transparent area)과 차광 영역(light blocking area)뿐 아니라 반투명 영역(translucent area)을 두는 것이 그 예이다. 반투명 영역에는 슬릿(slot) 패턴, 격자 패턴(lattice pattern) 또는 투과율이 중간이거나 두께가 중간인 박막이 구비된다.

이어, 도 20a 및 도 20b에 도시한 바와 같이, 감광막 패턴(52, 54)을 식각 마스크로 제2 절연막(802)과 제1 절연막(801)을 차례로 식각하여 드레인 전극(175) 및 결합 전극(176)을 각각 드러내는 접촉 구멍(185, 186)을 형성한다. 이때, 게이트선(121) 및 데이터선(171) 각각의 끝 부분(129, 179)을 드러내는 접촉 구멍(181, 82)도 함께 형성한다. 이어, 결합 영역(C)에 남아 있는 제2 부분(54)을 애싱(ashing)으로 제거한다.

다음, 도 21에 도시한 바와 같이 결합 영역(C)에서 드러난 제2 절연막(802) 일부를 식각하여 제2 절연막(802)에 개구부(188)를 형성한다.

이때, 제2 절연막(802)을 감광성 유기 절연 물질로 형성하는 다른 실시예에서는 제2 절연막(802)을 감광막 패턴(52, 54)과 같이 형성한 다음, 앞에서 설명한 순서에 따라 식각 공정을 진행한다.

마지막으로, 도 12, 도 14 및 도 15에 도시한 바와 같이, 500 Å 내지 1,500 Å 두께의 IZO 또는 ITO층을 스퍼터링 방법으로 증착하고 사진 식각하여 복수의 화소 전극(190a, 190b) 및 복수의 접촉 보조 부재(81, 82)를 형성한다. IZO층을 사용하는 경우의 식각은 $(\text{HNO}_3/(\text{NH}_4)_2\text{Ce}(\text{NO}_3)_6/\text{H}_2\text{O})$ 등 크롬용 식각액을 사용하는 습식 식각인 것이 바람직하는데, 이 식각액은 알루미늄을 부식시키지 않기 때문에 데이터선(171), 드레인 전극(175), 게이트선(121)에서 알루미늄 도전막이 부식되는 것을 방지할 수 있다.

한편, 본 발명의 다른 실시예에 따른 액정 표시 장치에서 박막 트랜지스터 표시판은 다른 구조를 가질 수 있으며, 이에 대하여 도면을 참조하여 구체적으로 설명하기로 한다.

도 22는 본 발명의 다른 실시예에 따른 액정 표시 장치의 구조를 도시한 배치도이고, 도 23은 도 12의 액정 표시 장치를 XII-XII' 선을 따라 절단한 단면도이다.

도 22 내지 도 23에서 보는 바와 같이, 본 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 층상 구조는 대개 도 12, 도 14 및 도 15에 도시한 액정 표시 장치용 박막 트랜지스터 표시판의 층상 구조와 동일하다.

그러나 도 12, 도 14 및 도 15에 도시한 박막 트랜지스터 표시판과 달리, 본 실시예에 따른 박막 트랜지스터 표시판에서, 반도체(151)는 박막 트랜지스터가 위치하는 돌출부(154)를 제외하면 데이터선(171), 드레인 전극(175) 및 그 하부의 저항성 접촉 부재(161, 165)와 실질적으로 동일한 평면 형태를 가지고 있다. 구체적으로는, 선형 반도체(151)는 데이터선(171) 및 드레인 전극(175)과 그 하부의 저항성 접촉 부재(161, 165)의 아래에 존재하는 부분 외에도 소스 전극(173)과 드레인 전극(175) 사이에 이들에 가리지 않고 노출된 부분을 가지고 있다.

물론, 이러한 본 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판은 결합 전극(176)을 포함하고 있으며, 결합 전극(176)의 하부에는 비정질 규소층(156, 166)이 동일한 모양으로 형성되어 있다.

이러한 박막 트랜지스터 표시판의 제조 방법에서는 보호막(190)을 패터닝할 때와 마찬가지로 부분적으로 두께가 다른 감광막 패턴을 형성한다. 이러한 감광막 패턴은 두께가 점점 작아지는 제1 내지 제3 부분으로 이루어진다. 이때, 도 19와 비교하여 설명하면 제1 부분은 "배선 영역"에 대응하며, 제2 부분은 채널 영역에 대응하며, 각각 도면 부호 52와 54에 대응

한다. 이어, 일련의 식각 단계를 통하여 복수의 돌출부(154)를 포함하는 복수의 선형 반도체(151)를 형성한 다음, 복수의 소스 전극(173)을 각각 포함하는 복수의 데이터선(171), 복수의 드레인 전극(175) 및 결합 전극(176)을 형성하고 복수의 돌출부(163)를 각각 포함하는 복수의 선형 저항성 접촉 부재(161) 및 복수의 섬형 저항성 접촉 부재(165)를 형성한다.

한편, 본 발명의 다른 실시예에서는 텍스처가 발생하거나 화소의 개구율을 감소시키는 부분을 최소화하기 위해 화소의 구조를 변형시킬 수 있으며, 이에 대하여 도면을 참조하여 구체적으로 설명하기로 한다.

우선, 유지 용량과 결합 용량을 다른 위치에서 형성하는 구조에 대하여 구체적으로 설명하기로 한다.

도 24는 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 표시판의 구조를 도시한 배치도이고, 도 25는 도 24의 박막 트랜지스터 표시판을 포함하는 액정 표시 장치의 배치도이고, 도 26은 도 25에서 XXVI-XXVI' 선을 따라 절단한 단면도이다.

도 24 내지 도 26에서 보는 바와 같이, 본 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 층상 구조는 대개 도 1, 도 3 및 도 4에 도시한 액정 표시 장치용 박막 트랜지스터 표시판의 층상 구조와 동일하다.

그러나 도 1, 도 3 및 도 4의 박막 트랜지스터 표시판과 달리, 본 실시예에 따른 박막 트랜지스터 표시판에서는 화소 전극(190)의 두 절개부(191, 193)가 연장되어 제1 화소 전극(190)은 제2 화소 전극(190b)을 중심으로 두 부분으로 분리되어 있으며, 두 절개부(191, 193)가 연결되는 부분에 결합 전극(176)이 배치되어 세로 방향으로 뺀어 있다. 또한, 드레인 전극(175)에서 결합 전극(176)으로 연결되는 부분은 공통 전극(270)의 절개부(271)와 중첩되어 있으며, 제2 화소 전극(190b)과 결합 보조 전극(136)을 연결하는 접촉 구멍(186)은 제2 화소 전극(190b)의 절개부(192)의 좌측에 배치되어 있다.

이러한 본 실시예에 따른 구조에서는 화소 전극(190)의 절개부(191, 193)를 연장시켜 제2 화소 전극(190b)을 확장시키고, 드레인 전극(175)과 결합 전극(176)의 연결 부분을 화상이 표시되지 않는 공통 전극(270)의 절개부(271)와 중첩시켜 배치함으로써 화소의 개구율을 향상시킬 수 있다. 실질적으로 이러한 구조는 도 1 내지 도 4의 구조와 비교하여 4-5% 정도 개구율이 향상되는 것으로 측정되었다.

또한, 접촉 구멍(186)을 제2 화소 전극(190b)의 연장 선상에 배치함으로써 접촉 구멍(186)으로 인하여 발생하는 텍스처를 화상이 표시되는 영역 밖으로 유도함으로써 표시 특성을 향상시킬 수 있다.

이러한 본 실시예에서는 도 1, 도 3, 및 도 4와 달리, 제1 화소 전극(190a)의 두 부분은 접촉 구멍(1851, 1852)을 통하여 각각 결합 전극(176)과 연결되어 화상 신호를 전달받는다.

다음은 결합 전극을 중심으로 상부 및 하부에 유지 용량을 형성하는 구조에 대하여 구체적으로 설명하기로 한다.

도 27은 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 표시판의 구조를 도시한 배치도이고, 도 28은 도 27의 박막 트랜지스터 표시판을 포함하는 액정 표시 장치의 배치도이고, 도 29는 도 28에서 XXIX-XXIX' 선을 따라 절단한 단면도이다.

도 27 내지 도 29에서 보는 바와 같이, 본 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 층상 구조는 대개 도 12, 도 14 및 도 15에 도시한 액정 표시 장치용 박막 트랜지스터 표시판의 층상 구조와 동일하다.

그러나 도 12, 도 14 및 도 15의 박막 트랜지스터 표시판과 달리, 본 실시예에 따른 박막 트랜지스터 표시판에서는 화소 전극(190)의 두 절개부(191, 193)가 연장되어 제1 화소 전극(190)은 제2 화소 전극(190b)을 중심으로 두 부분으로 분리되어 있으며, 두 절개부(191, 193)가 연결되는 부분에 결합 전극(176)이 배치되어 세로 방향으로 뺀어 있다. 또한, 드레인 전극(175)에서 결합 전극(176)으로 연결되는 부분은 공통 전극(270)의 절개부(271)와 중첩되어 있으며, 제1 화소 전극(190a)의 두 부분은 결합 전극(176)의 양단에 위치하는 접촉 구멍(1851, 1852)을 통하여 각각 결합 전극(176)과 연결되어 화상 신호를 전달받는다.

이러한 본 실시예에 따른 구조에서도 화소의 개구율이 향상시킬 수 있다. 실질적으로 이러한 구조는 도 12 내지 도 15의 구조와 비교하여 2-4% 정도로 개구율이 향상되는 것으로 측정되었다.

발명의 효과

이상과 같이 화소 전극을 분할하여 서로 다른 인가함으로써 액정 표시 장치의 측면 시인성을 향상시키고 이를 통하여 시야각을 확장할 수 있다.

또한, 유지 용량을 형성할 때 게이트 절연막만을 사이에 두고 유지 전극과 결합 전극을 중첩시키고, 결합 용량을 형성할 때 보호막의 일부만을 사이에 두고 서브 화소 전극과 결합 전극을 중첩시켜, 좁은 중첩 면적으로 유지 용량과 결합 용량을 충분히 확보함으로써 화소의 개구율을 확보할 수 있다.

또한, 절개부를 연장시켜 서브 화소 전극을 확장시키고, 드레인 전극과 결합 전극의 연결 부분을 화상이 표시되지 않는 절개부와 중첩시켜 배치함으로써 화소의 개구율을 향상시킬 수 있다. 접촉 구멍으로 인하여 발생하는 텍스처를 화상이 표시되는 영역 밖으로 유도함으로써 표시 특성을 향상시킬 수 있다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다. 특히, 화소 전극과 공통 전극에 형성하는 절개부의 배치는 여러 다양한 변형이 있을 수 있다.

(57) 청구의 범위

청구항 1.

절연 기판,

상기 절연 기판 위에 형성되어 있는 제1 신호선,

상기 제1 신호선과 절연되어 교차하고 있는 제2 신호선,

상기 제1 신호선과 상기 제2 신호선이 교차하여 정의하는 각 화소 영역마다 형성되어 있는 제1 화소 전극,

상기 제1 신호선, 상기 제2 신호선 및 제1 화소 전극에 3단자가 각각 연결되어 있는 박막 트랜지스터,

상기 화소 영역마다 형성되어 있으며 상기 제1 화소 전극에 용량성으로 결합되어 있는 적어도 하나 이상의 제2 화소 전극,

상기 제1 화소 전극과 연결되어 있으며, 상기 제2 화소 전극과 중첩하는 결합 전극을 포함하며,

상기 제1 화소 전극은 적어도 하나 이상으로 분리되어 있는 박막 트랜지스터 표시판.

청구항 2.

제1항에서,

상기 제1 화소 전극은 두 부분으로 분리되어 있으며, 상기 제2 화소 전극을 중심으로 양쪽에 배치되어 있는 박막 트랜지스터 표시판.

청구항 3.

제2항에서,

상기 제2 화소 전극과 연결되어 있으며, 상기 결합 전극 중첩하여 결합 용량을 형성하는 결합 보조 전극을 더 포함하는 박막 트랜지스터 표시판.

청구항 4.

제3항에서,

상기 제1 신호선과 상기 제2 신호선 사이에 형성되어 있는 게이트 절연막을 더 포함하며,

상기 결합 전극과 상기 결합 보조 전극은 상기 게이트 절연막을 사이에 두고 서로 중첩하는 박막 트랜지스터 표시판.

청구항 5.

제2항에서,

상기 제1 및 제2 신호선과 상기 제1 및 제2 화소 전극 사이에 형성되어 있는 보호막을 더 포함하는 박막 트랜지스터 표시판.

청구항 6.

제5항에서,

상기 보호막은 무기 절연 물질로 이루어진 제1 절연막과 유기 절연 물질로 이루어진 제2 절연막을 포함하는 박막 트랜지스터 표시판.

청구항 7.

제1항에서,

상기 제1 화소 전극과 상기 제2 화소 전극은 도메인 분할 수단을 통하여 분리되어 있는 박막 트랜지스터 표시판.

청구항 8.

제1항에서,

상기 결합 전극은 상기 박막 트랜지스터의 3단자 중 드레인 전극으로부터 연장되어 있는 박막 트랜지스터 표시판.

청구항 9.

제1항에서,

상기 제1 및 제2 화소 전극과 상기 결합 전극 사이에 형성되어 있으며, 적어도 상기 제2 화소 전극과 중첩하는 일부는 다른 부분보다 얇은 두께를 가지는 보호막을 더 포함하는 박막 트랜지스터 표시판.

청구항 10.

제9항에서,

상기 결합 전극과 중첩하여 유지 용량을 형성하는 유지 전극을 가지는 유지 전극선을 더 포함하는 박막 트랜지스터 표시판.

청구항 11.

제10항에서,

상기 보호막은 무기 절연 물질로 이루어진 제1 절연막과 유기 절연 물질로 이루어진 제2 절연막을 포함하는 박막 트랜지스터 표시판.

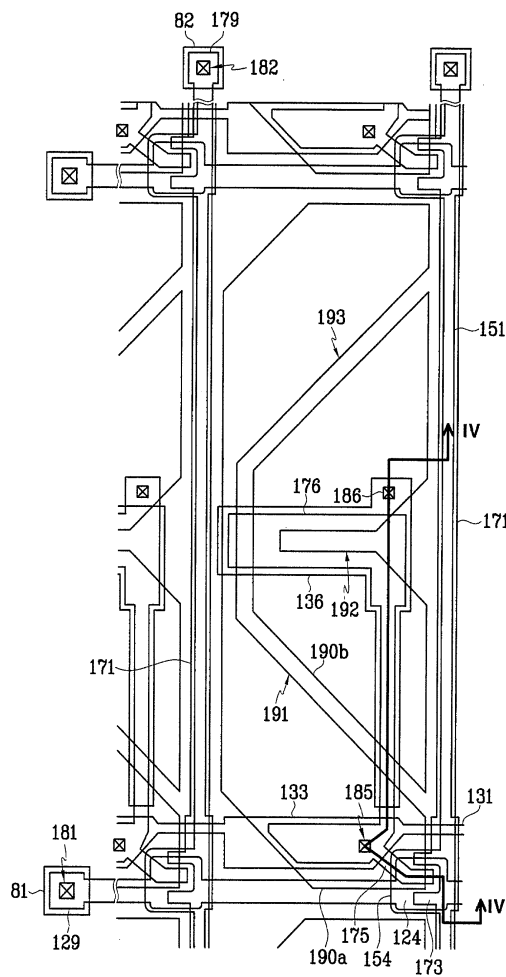
청구항 12.

제11항에서,

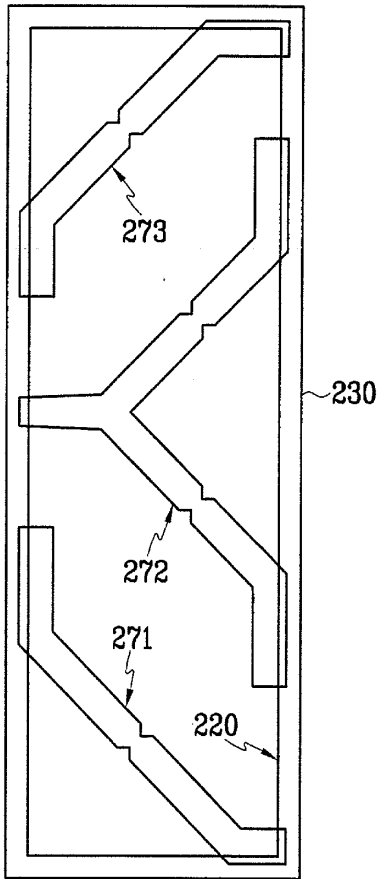
상기 결합 전극과 상기 제2 화소 전극이 중첩하는 부분에서 상기 제2 절연막은 제거되어 상기 제2 절연막은 상기 제1 절연막을 드러내는 개구부를 가지는 박막 트랜지스터 표시판.

도면

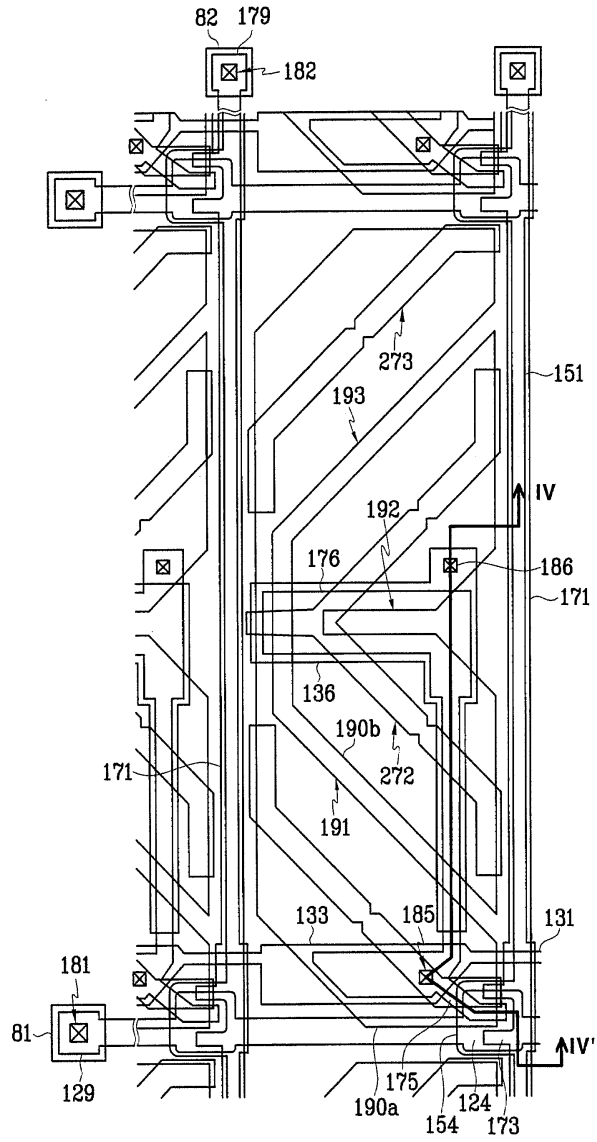
도면1



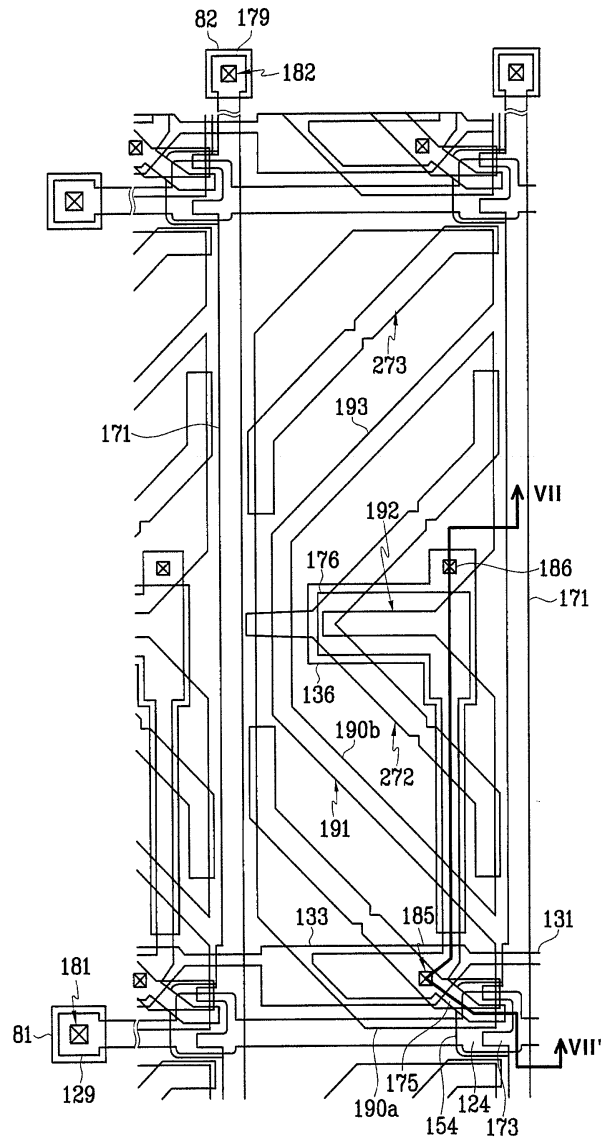
도면2



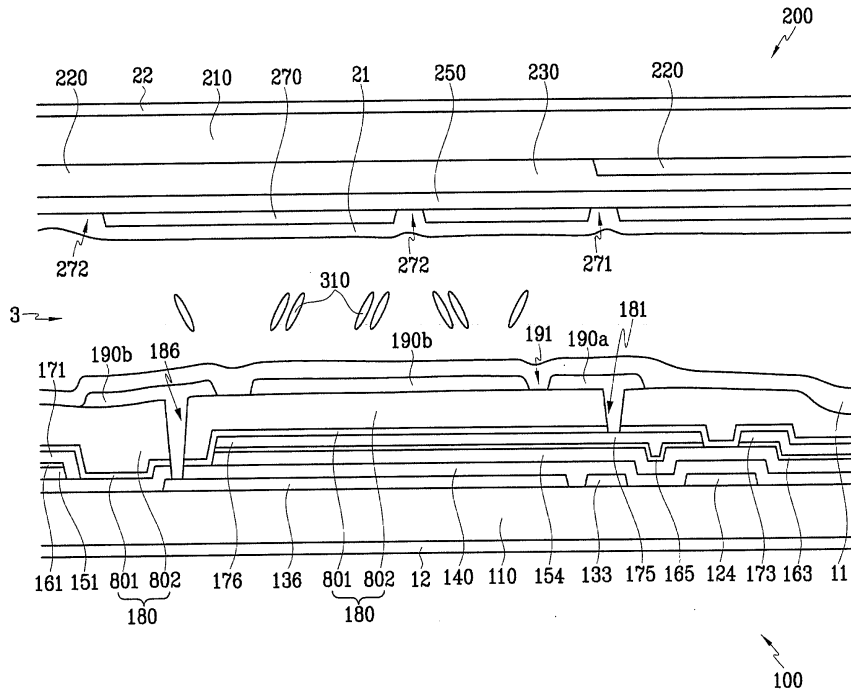
도면3



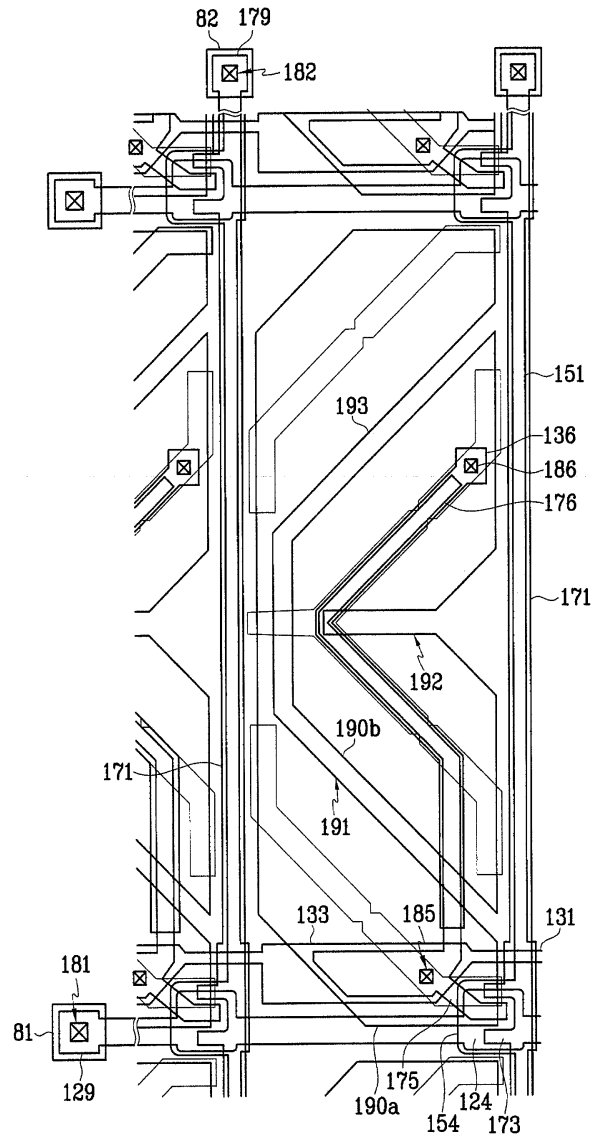
도면6



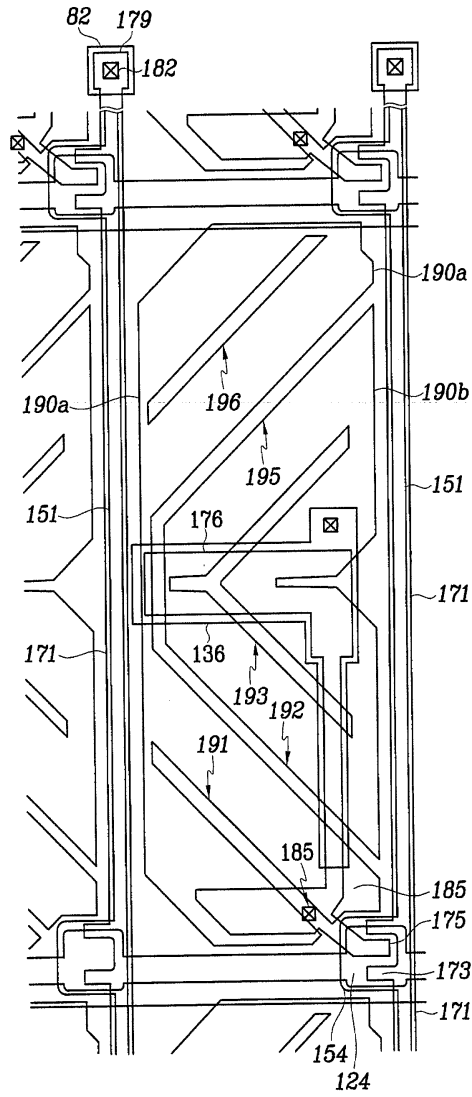
도면7



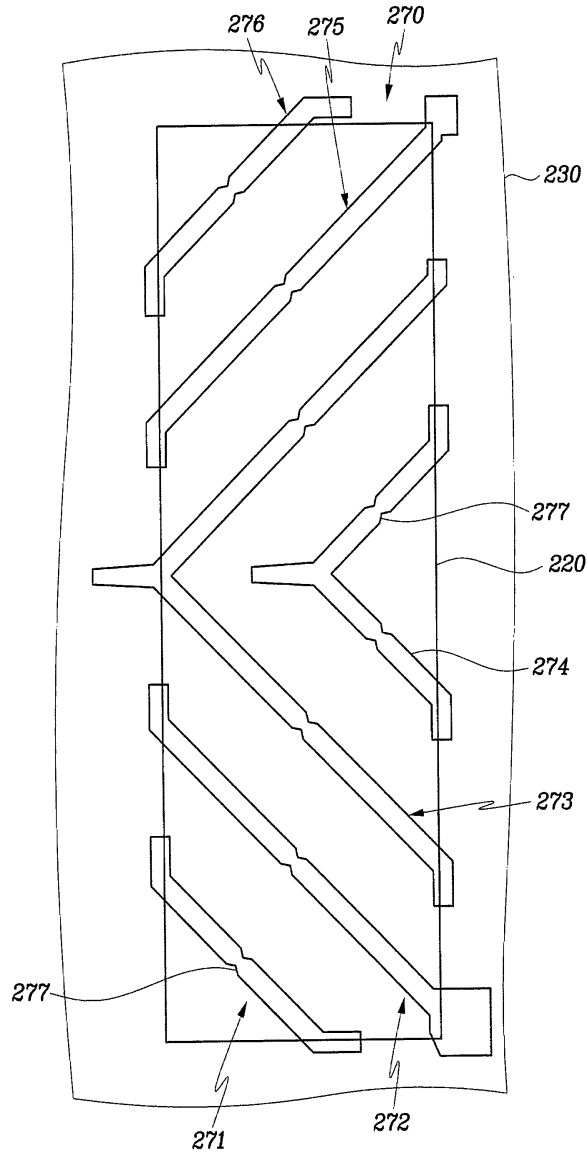
도면8



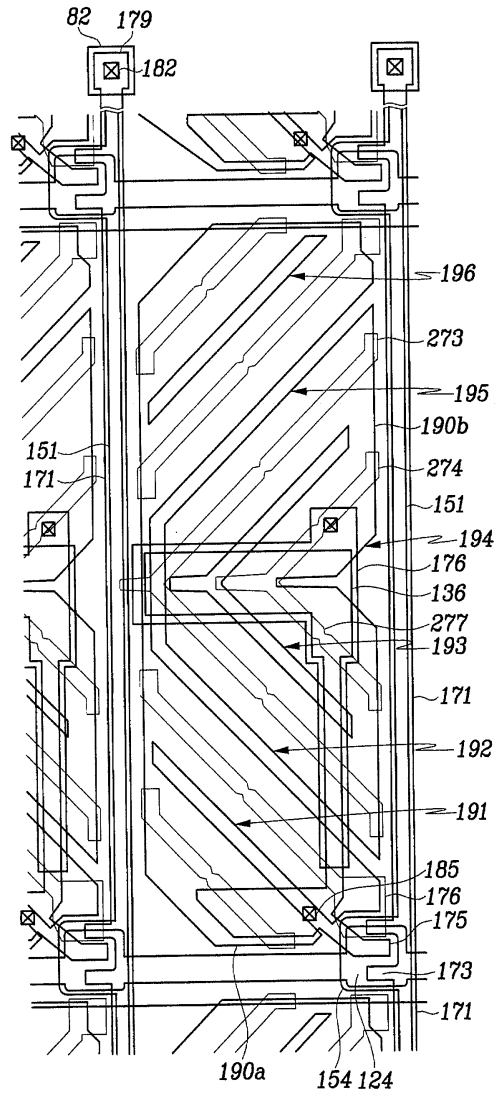
도면9



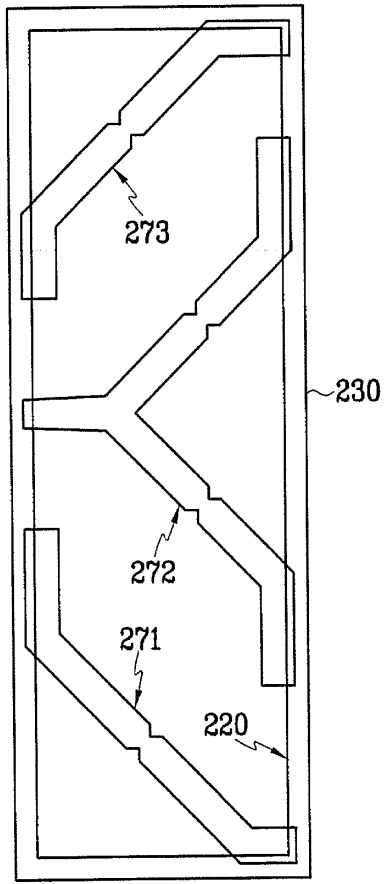
도면10



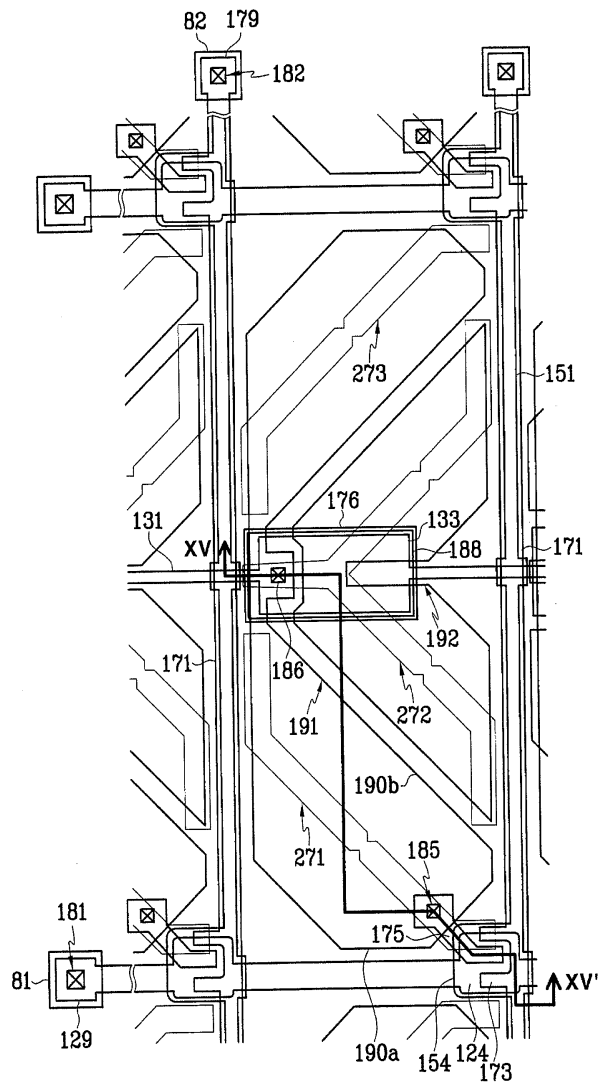
도면11



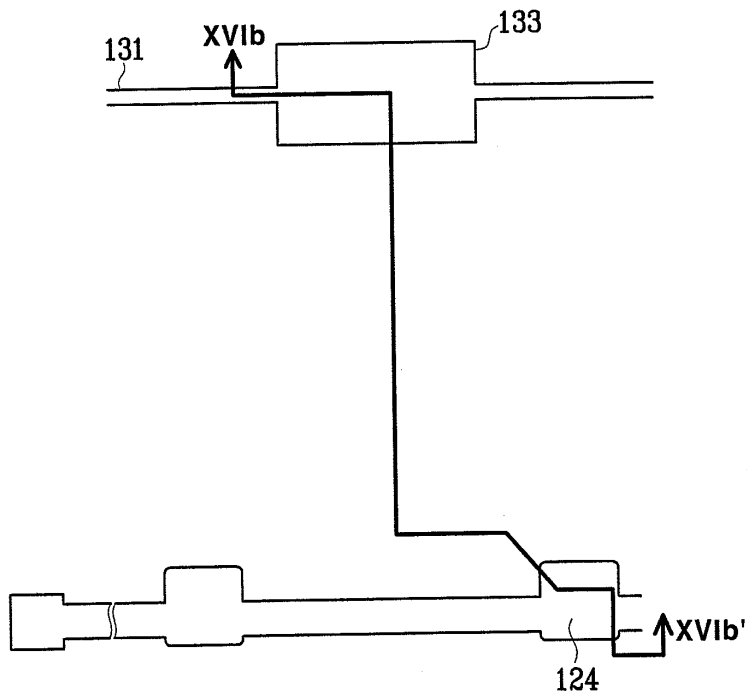
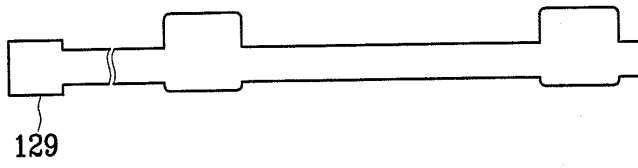
도면13



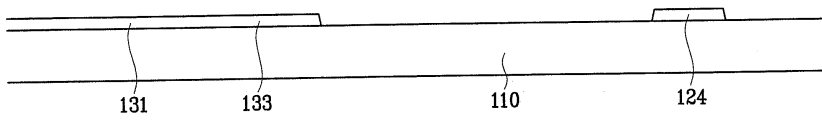
도면14



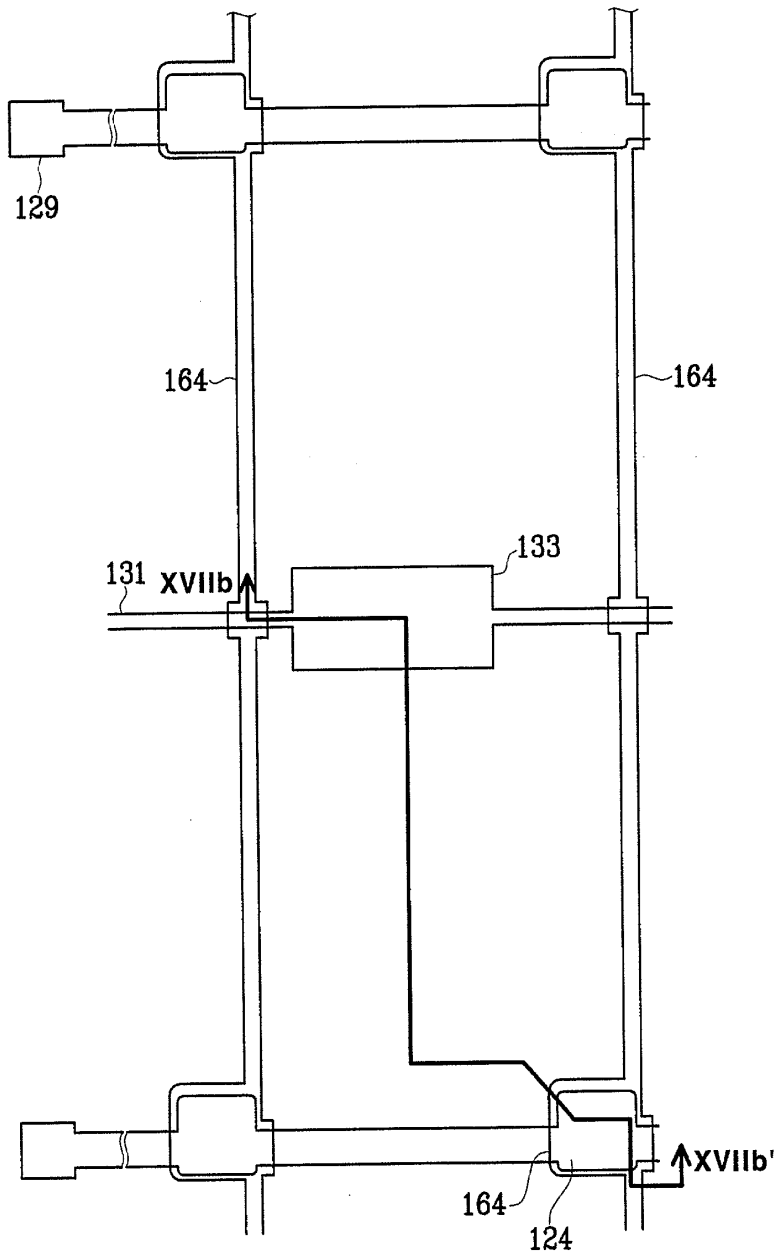
도면16a



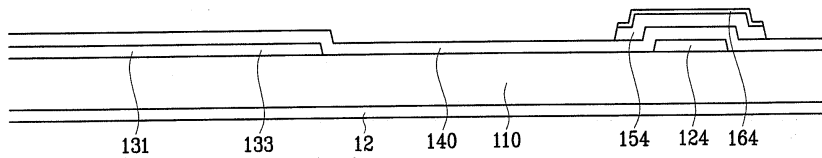
도면16b



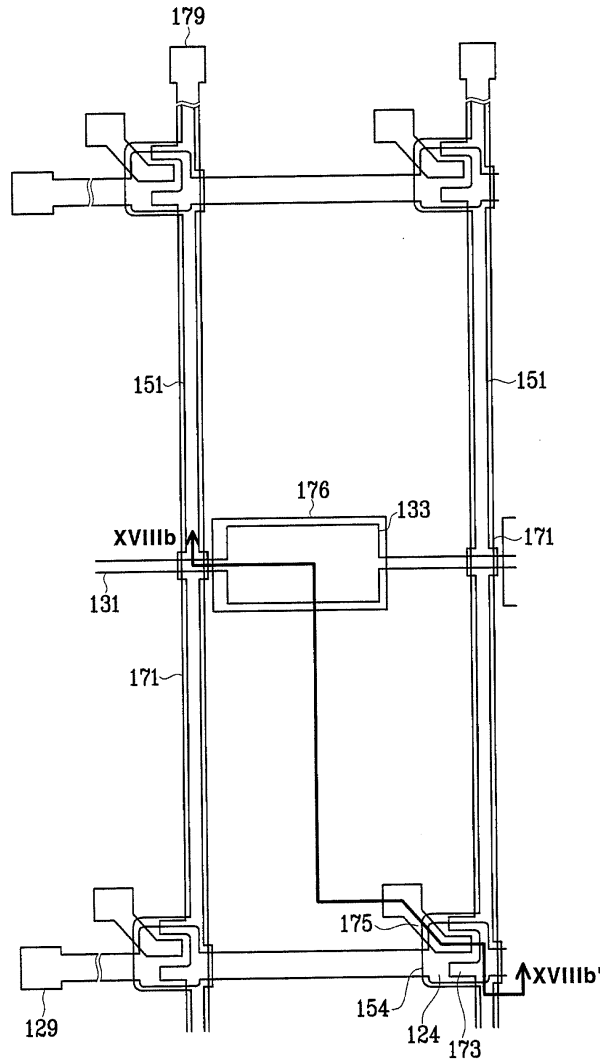
도면17a



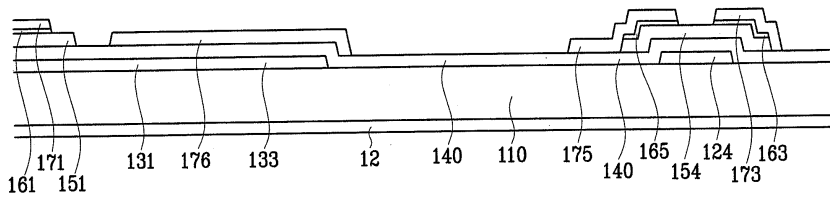
도면17b



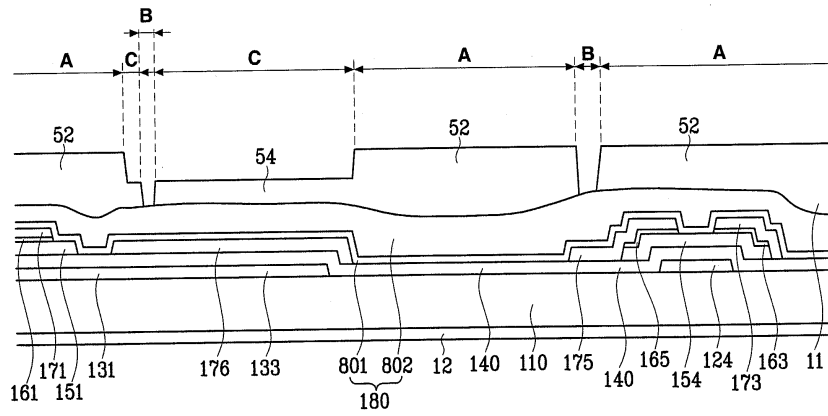
도면18a



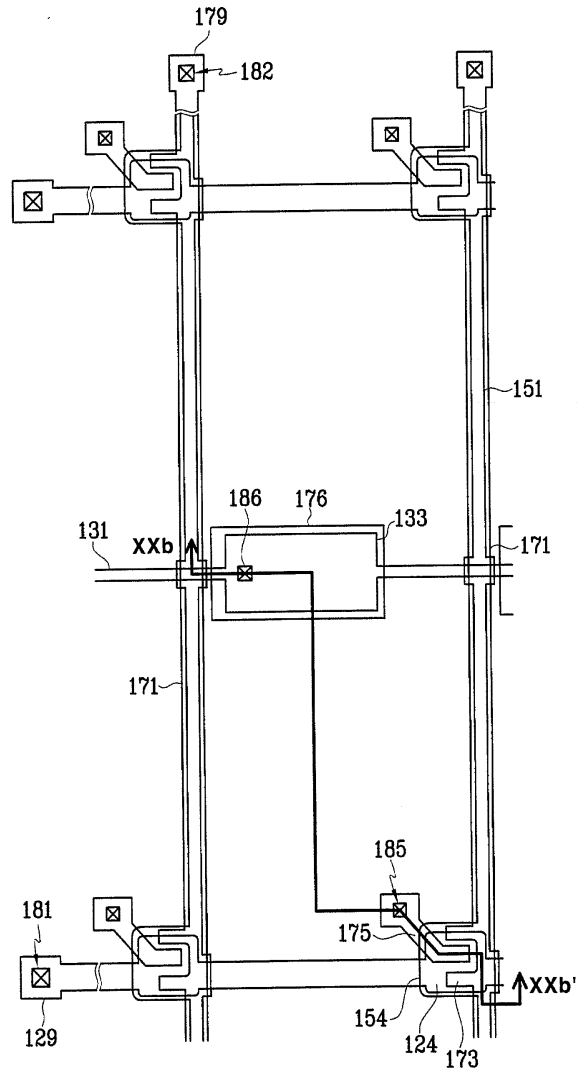
도면18b



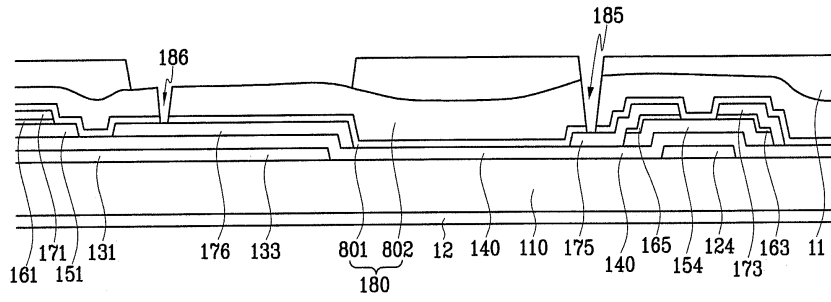
도면19



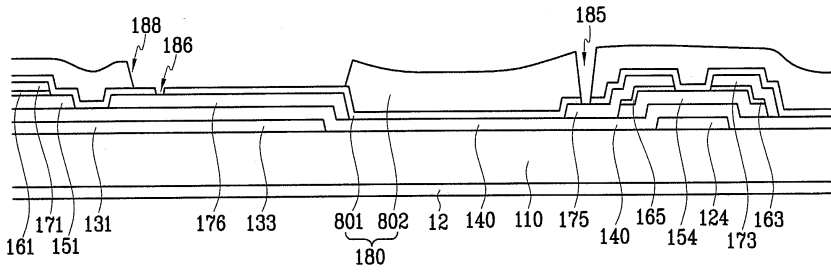
도면20a



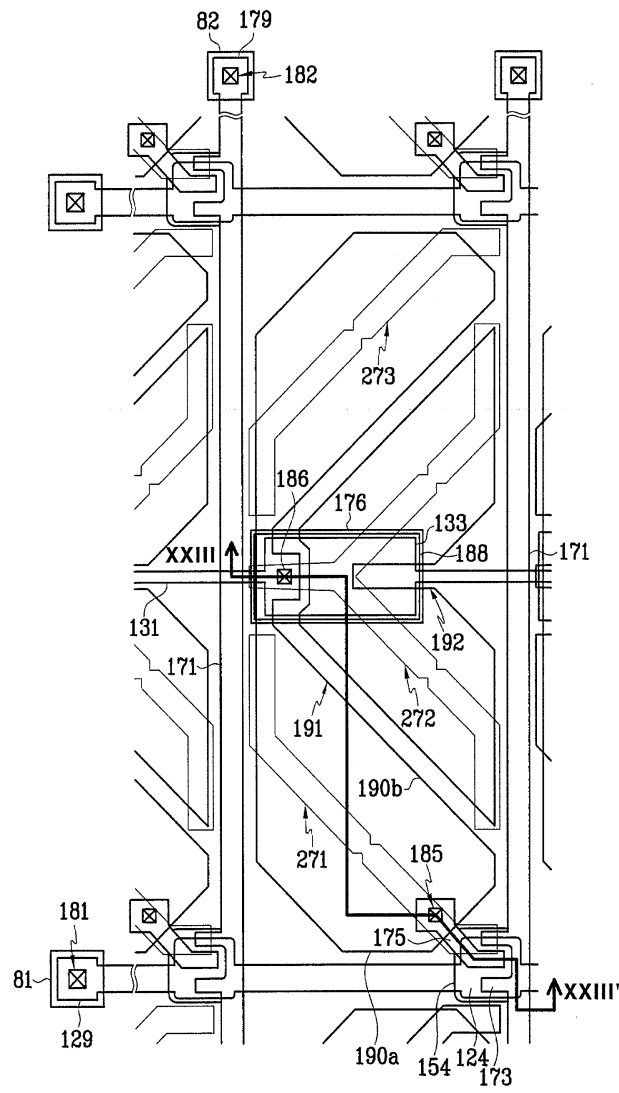
도면20b



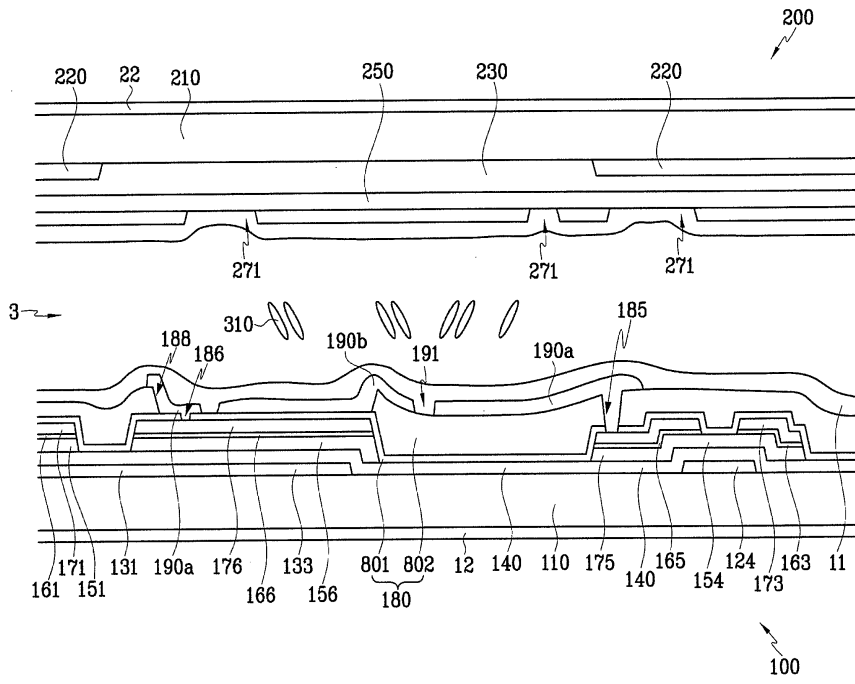
도면21



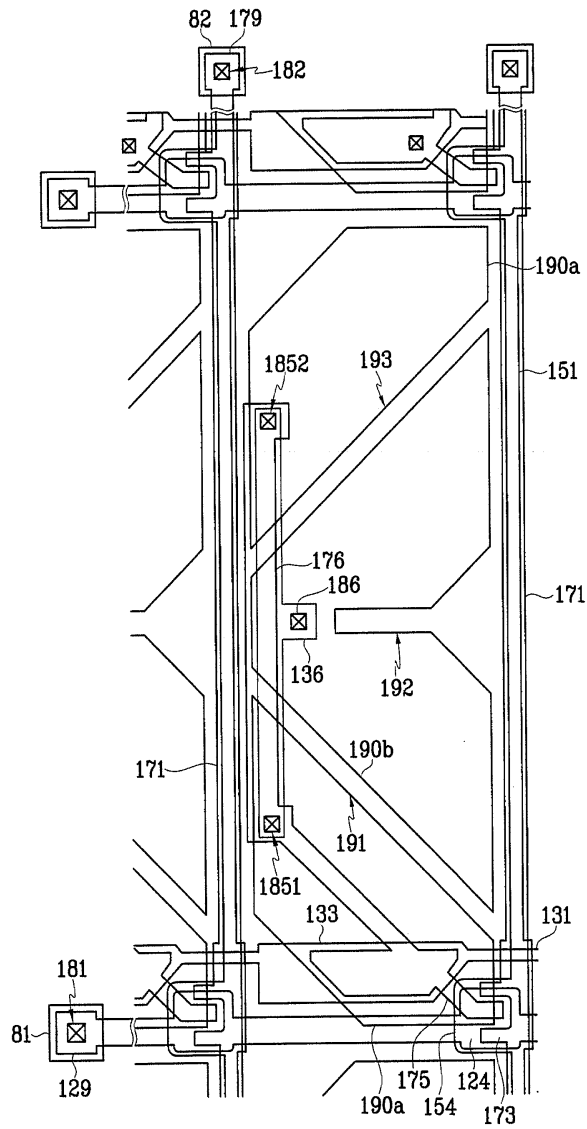
도면22



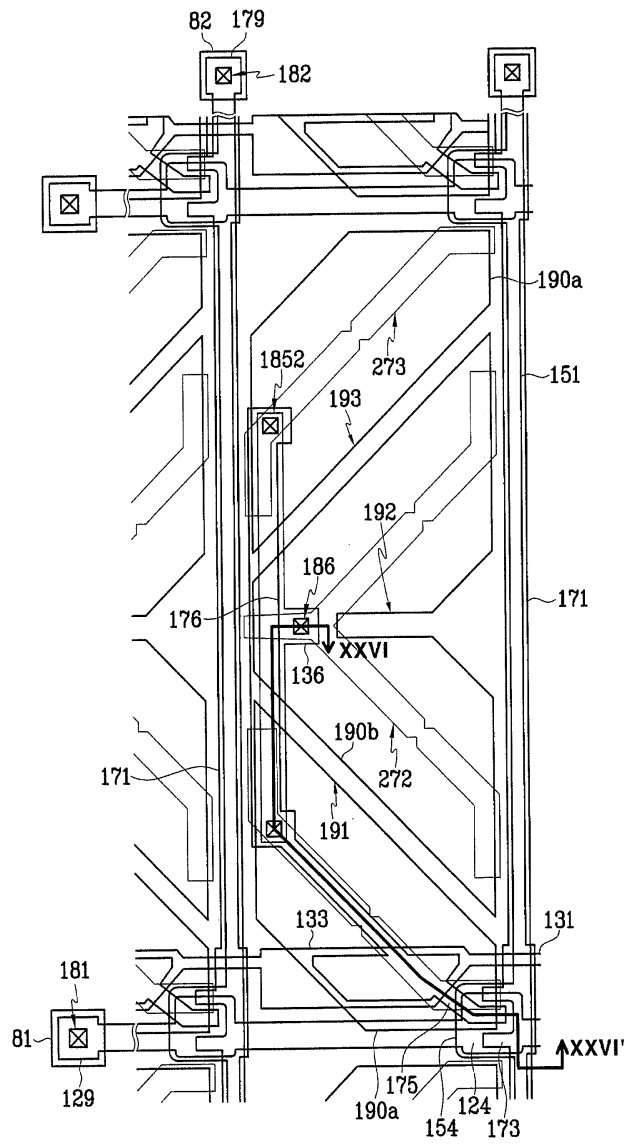
도면23



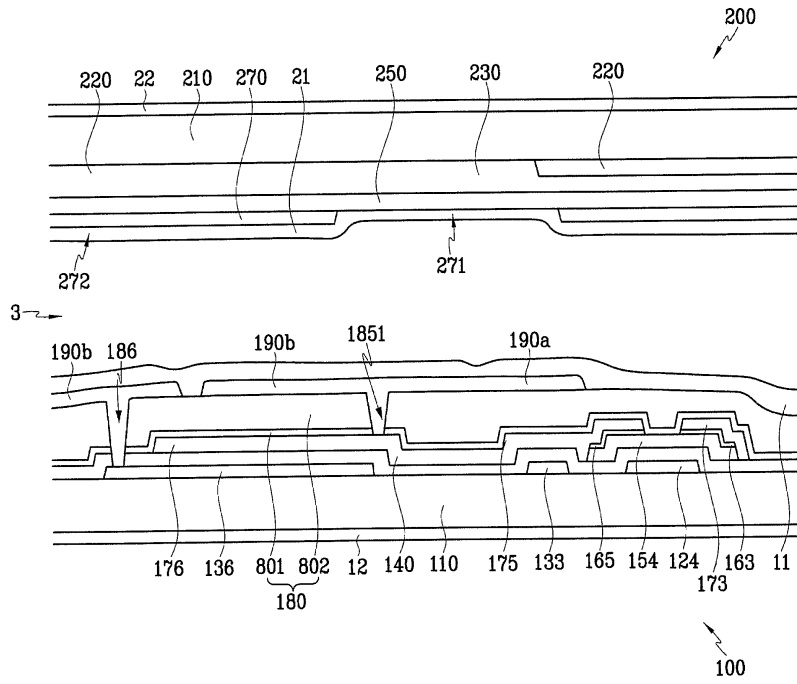
도면24



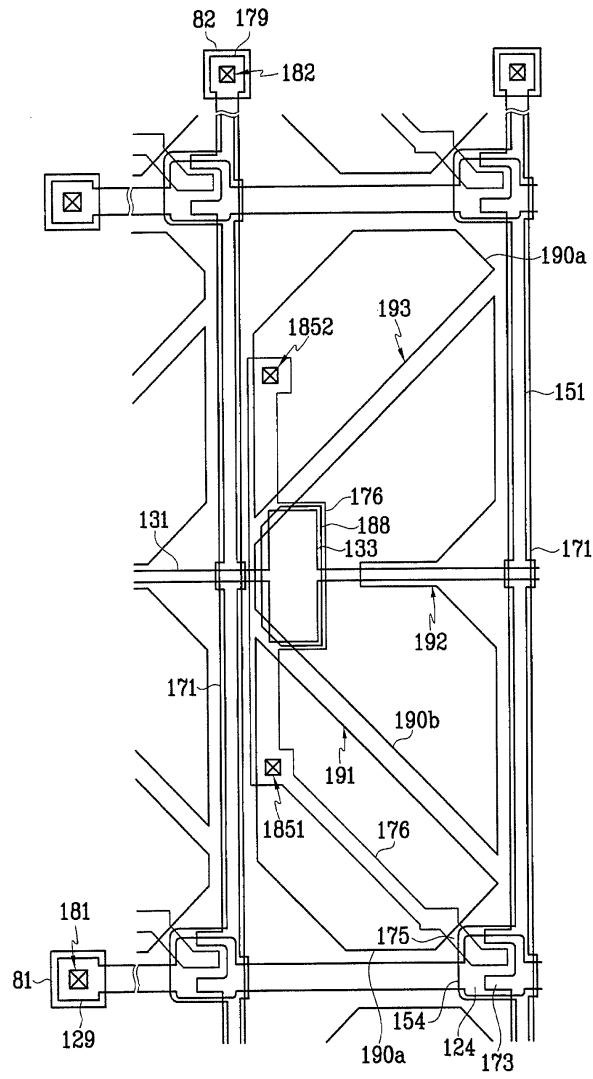
도면25



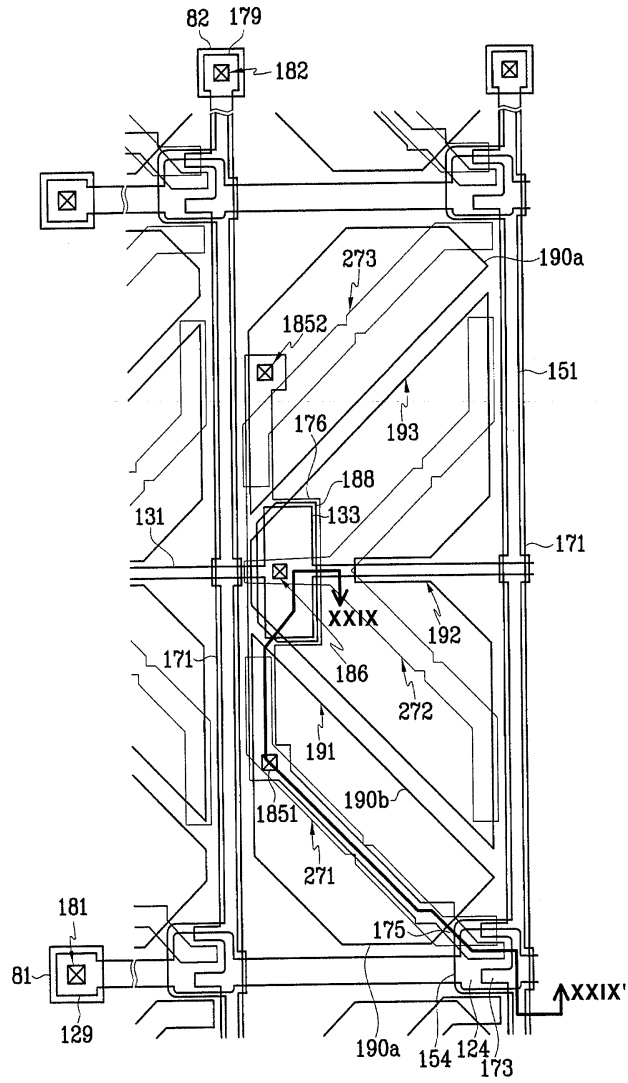
도면26



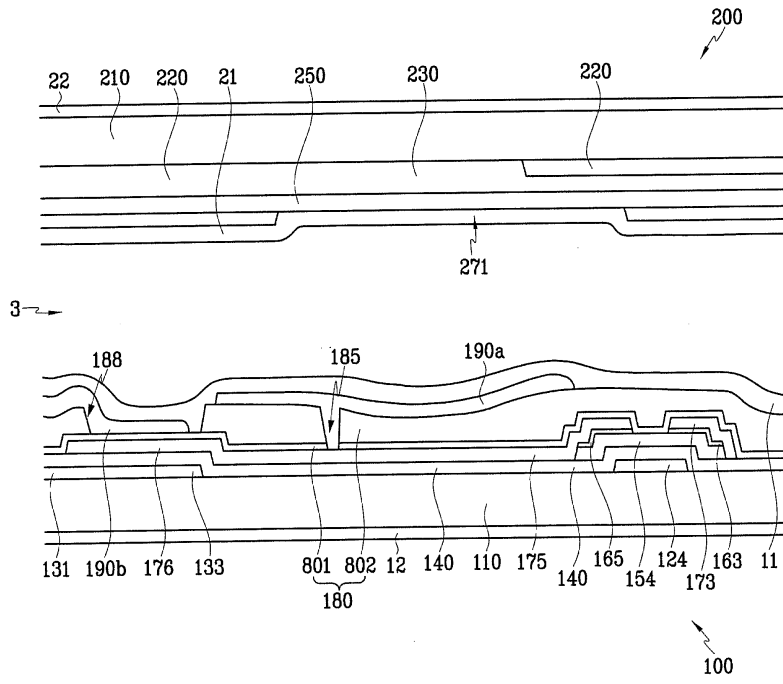
도면27



도면28



도면29



专利名称(译)	多畴液晶显示装置及其中使用的显示面板		
公开(公告)号	KR1020060010118A	公开(公告)日	2006-02-02
申请号	KR1020040058709	申请日	2004-07-27
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	SHIN KYOUNGJU 신경주 LEE CHANGHUN 이창훈 PARK CHEOLWOO 박철우 CHAI CHONGCHUL 채종철		
发明人	신경주 이창훈 박철우 채종철		
IPC分类号	G02F1/1343		
CPC分类号	G02F2001/134345 G02F1/136213 G02F1/1393 G02F1/134336 G02F1/133707		
其他公开文献	KR101112539B1		
外部链接	Espacenet		

摘要(译)

形成包括绝缘基板上的栅极线和恒定电极的维持电极线。与数据线重叠的连接电极形成与栅极绝缘层的上部的栅极线绝缘，栅极绝缘层覆盖它们并与漏电极和恒定电极交叉。覆盖它们的保护膜上部可以设置有第一像素电极，该第一像素电极在限定栅极线和数据线交叉的每个像素区域处连接到漏电极和连接电极，并且第二像素电极与连接电极重叠并且在第一像素电极中组合到电容器。此时，第一像素电极在顶部和底部被分成围绕第二像素电极的bijugum。Bijugum连接到薄膜晶体管的漏电极。液晶显示器，垂直取向，切口部分，连接电极，耦合电容，孔径比。

