

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G02F 1/136

(11) 공개번호 10-2005-0108924
(43) 공개일자 2005년11월17일

(21) 출원번호 10-2004-0034365
(22) 출원일자 2004년05월14일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지
(72) 발명자 최승찬
경상북도경산시와촌면계당리266번지
(74) 대리인 정원기

심사청구 : 있음

(54) 씨오티 구조 액정표시장치 및 그 제조방법

요약

본 발명은 액정표시장치에 관한 것으로, 어레이기판에 컬러필터가 구성된 COT구조의 액정표시장치에 관한 것이다.

특히, 리페어 기능을 동시에 갖는 금속 재질의 블랙매트릭스를 포함하는 COT구조 액정표시장치와 그 제조방법에 관한 것이다.

본 발명에 따른 액정표시장치용 어레이기판은 데이터 배선 및 게이트 배선과 박막트랜지스터에 대응하여 금속재질의 블랙매트릭스를 구성하되, 데이터 배선의 상부에 위치한 블랙매트릭스는 데이터 배선과 접촉되도록 구성하고, 상기 게이트 배선의 상부에 위치하는 블랙매트릭스는 게이트 배선과 접촉되도록 구성한다.

이와 같이 하면, 금속재질의 블랙매트릭스를 사용함으로써 발생하였던 신호 지연을 방지할 수 있고, 상기 데이터 배선 및 게이트 배선이 단선되었을 경우 리페어 배선(repair line)으로 사용할 수 있는 장점이 있다.

또한, 비용이 높은 수지재질의 블랙매트릭스를 사용하지 않아도 되므로 비용을 절감할 수 있는 장점이 있다.

대표도

도 3

명세서

도면의 간단한 설명

도 1은 일반적인 액정표시장치의 구성을 개략적으로 도시한 분해 사시도이고,

도 2는 일반적인 컬러액정표시장치의 구성을 개략적으로 도시한 단면도이고,

도 3은 본 발명에 따른 COT 구조 액정표시장치용 어레이기판의 일부를 도시한 확대 평면도이고,

도 4a와 도 4b는 각각 도 3의 IV-IV, V-V를 절단하여 이를 참조로 도시한 본 발명에 따른 COT 구조 액정표시장치의 구성을 개략적으로 도시한 단면도이고,

도 5a 내지 도 5g와 도 6a 내지 도 6g와 도 7a 내지 도 7g와 도 8a 내지 도 8g는 각각 도 3의 IV-IV, VI-VI과 VII-VII과 V-V를 따라 절단하여, 본 발명에 따른 COT구조 액정표시장치용 어레이기판의 박막트랜지스터 및 어레이 배선 공정을 공정순서에 따라 도시한 공정 단면도이고,

도 9a 내지 도 9e와 도 10a 내지 도 10e와 도 11a 내지 도 11e와 도 12a 내지 도 12e는 도 3의 IV-IV, VI-VI과 VII-VII과 V-V를 따라 절단하여, 본 발명에 따른 COT구조 액정표시장치용 어레이기판의 컬러필터 형성공정을 공정순서에 따라 도시한 공정 단면도이다.

<도면의 주요부분에 대한 간단한 설명>

100 : 기판 102 : 게이트 배선

104 : 게이트 전극 106 : 게이트 패드

108 : 스토리지 배선 124 : 액티브층

128 : 소스 전극 130 : 드레인 전극

132 : 데이터 배선 134 : 데이터 패드

140 : 블랙매트릭스 142a,b,c : 컬러필터

154 : 화소 전극 156 : 데이터 패드 단자

158 : 게이트 패드 단자

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로 특히, COT(color filter on TFT)구조의 액정표시장치 및 그 제조방법에 관한 것이다.

일반적으로, 액정표시장치는 액정분자의 광학적 이방성과 복굴절 특성을 이용하여 화상을 표현하는 것으로, 전계가 인가되면 액정의 배열이 달라지고 달라진 액정의 배열 방향에 따라 빛이 투과되는 특성 또한 달라진다.

일반적으로, 액정표시장치는 전계 생성 전극이 각각 형성되어 있는 두 기판을 두 전극이 형성되어 있는 면이 마주 대하도록 배치하고 두 기판 사이에 액정 물질을 주입한 다음, 두 전극에 전압을 인가하여 생성되는 전기장에 의해 상기 액정 분자를 움직이게 함으로써, 이에 따라 달라지는 빛의 투과율에 의해 화상을 표현하는 장치이다.

도 1은 종래에 따른 액정표시장치를 개략적으로 나타낸 도면이다.

도시한 바와 같이, 일반적인 컬러 액정표시장치(11)는 서브 컬러필터(8)와 각 서브 컬러필터(8)사이에 구성된 블랙 매트릭스(6)를 포함하는 컬러필터(7)와 상기 컬러필터(7)의 상부에 증착된 공통전극(18)이 형성된 상부기판(5)과, 화소영역(P)이 정의되고 화소영역에는 화소전극(17)과 스위칭소자(T)가 구성되며, 화소영역(P)의 주변으로 어레이배선이 형성된 하부기판(22)과, 상부기판(5)과 하부기판(22) 사이에는 액정(14)이 충전되어 있다.

상기 하부기판(22)은 어레이기판(array substrate)이라고도 하며, 스위칭 소자인 박막트랜지스터(T)가 매트릭스형태(matrix type)로 위치하고, 이러한 다수의 박막트랜지스터(T)를 교차하여 지나가는 게이트 배선(13)과 데이터 배선(15)이 형성된다.

이때, 상기 화소영역(P)은 상기 게이트 배선(13)과 데이터 배선(15)이 교차하여 정의되는 영역이며, 상기 화소영역(P)상에는 전술한 바와 같이 투명한 화소전극(17)이 형성된다.

상기 화소전극(17)은 인듐-틴-옥사이드(indium-tin-oxide : ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명 도전성금속을 사용한다.

상기 화소전극(17)과 병렬로 연결된 스토리지 캐패시터(C_{ST})가 게이트 배선(13)의 상부에 구성되며, 스토리지 캐패시터(C_{ST})의 제 1 전극으로 게이트 배선(13)의 일부를 사용하고, 제 2 전극으로 소스 및 드레인 전극과 동일층 동일물질로 형성된 아일랜드 형상의 금속패턴(30)을 사용한다.

이때, 상기 금속패턴(30)은 화소 전극(17)과 접촉되어 화소전극의 신호를 받도록 구성된다.

그런데, 전술한 바와 같이 상부 컬러필터 기판(5)과 하부 어레이기판(22)을 합착하여 액정패널을 제작하는 경우에는, 컬러필터 기판(5)과 어레이기판(22)의 합착 오차에 의한 빛샘 불량 등이 발생할 확률이 매우 높다.

이에 대해 이하, 도 2를 참조하여 설명한다.

도 2는 도 1의 액정표시장치의 단면구성을 도시한 단면도이다.

도시한 바와 같이, 제 1 기판(22)은 스위칭 영역(S)을 포함하는 화소 영역(P)과 스토리지 영역(C)으로 정의된다.

상기 스위칭 영역(S)에는 게이트 전극(32)과 액티브층(34)과 소스 전극(36)과 드레인 전극(38)으로 구성된 박막트랜지스터(T)가 구성되고, 상기 화소 영역(P)에는 투명한 화소 전극(17)이 구성된다.

상기 스토리지 영역(C)에는 게이트 배선(13)을 제 1 전극으로 하고, 상기 게이트 배선(13)의 상부에 섬형상으로 구성되고 상기 화소 전극(17)과 접촉하는 금속패턴(30)을 제 2 전극으로 하는 스토리지 캐패시터(C_{ST})가 구성된다.

이때, 상기 스토리지 캐패시터(C_{ST})는 다양한 구조 및 형태로 구성될 수 있다.

상기 제 1 기판(22)과 액정층(14)을 사이에 두고 이격된 제 2 기판(5)의 마주보는 일면에는 상기 박막트랜지스터(T)와 게이트 배선 및 데이터 배선(13, 15)에 대응하여 블랙매트릭스(6)가 구성되고, 상기 화소 영역(P)에 대응하는 면에는 컬러필터(7a, 7b, 7c)가 구성된다.

상기 컬러필터(7a, 7b, 7c)와 블랙매트릭스(6)가 구성된 기판(22)의 전면에는 투명한 공통전극(18)이 구성된다.

일반적으로, 전술한 제 1 기판(22)과 제 2 기판(5)은 별도의 제작되며 각각의 제작이 완료되면 합착하는 공정이 진행된다.

이때, 합착오차가 발생하게 되면 상기 블랙매트릭스(6)의 위치가 최초 설계된 위치에서 벗어나게 되고 이로 인해, 상기 박막트랜지스터(T)에는 빛이 들어가 누설전류가 발생하게 되고, 상기 게이트 및 데이터 배선(13, 15)에 대응하는 영역 즉, 데이터 배선(15)과 화소 전극(17)의 이격된 영역(A)과 상기 게이트 배선(13)과 상기 화소 전극(17)사이의 이격된 영역(B)에서 빛샘 현상이 발생하는 문제가 있다.

따라서, 종래에는 이를 해결하기 위해 합착공정시의 오차를 감안하여 최초 설계시 합착 마진을 더 두어 설계하게 된다.

즉, 상기 블랙매트릭스(6)의 크기를 좀더 크게 설계하는 것이다.

이와 같이 하면, 합착 오차가 발생하더라도 위의 불량들이 발생하지 않는다.

그러나, 그 만큼 개구영역을 잠식하는 문제가 있기 때문에, 휘도 및 개구율이 감소되는 문제가 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 전술한 문제를 해결하기 위한 목적으로 제안된 것으로, 상기 컬러필터 및 블랙매트릭스를 하부기판에 형성하는 것을 특징으로 한다.

특히, 블랙매트릭스를 불투명한 금속배선으로 형성하며, 이를 게이트 배선 및 데이터 배선에 대응하여 구성하는 동시에, 상기 각 배선과 접촉하도록 하는 것을 특징으로 한다.

이와 같이 구성함으로써, 상기 블랙매트릭스를 구성할 때 합착마진을 더 두어 설계할 필요가 없으므로 개구율이 크게 개선되는 장점이 있다.

이때, 블랙매트릭스를 하부기판에 구성할 경우 배선의 신호 지연을 방지하기 위해 절연성 블랙수지를 사용하지만, 전술한 바와 같이 게이트 및 데이터 배선과 직접 접촉하도록 구성하기 때문에 금속으로 형성하는 것이 가능하여 블랙수지를 이용하는 것 보다 비용을 줄일 수 있는 장점이 있고, 상기 블랙매트릭스를 상기 게이트 배선 및 데이터 배선의 수리 배선으로 사용하는 것이 가능하여, 배선 단선 시 별도의 수리 공정을 추가하지 않아도 되는 장점이 있다.

발명의 구성 및 작용

전술한 목적을 달성하기 위한 본 발명에 따른 씨.오.티(COT)구조 액정표시장치는 제 1 기판과 제 2 기판과; 상기 제 2 기판과 마주보는 제 1 기판의 일면에 서로 수직 교차하여 화소 영역을 정의하는 게이트 배선 및 데이터 배선과; 상기 게이트 배선과 데이터 배선의 교차지점에 구성된 스위칭 소자와; 상기 게이트 배선과 데이터 배선의 상부에 각각 독립적으로 위치하고, 상기 배선의 상부에 위치한 구성은 각각 그 하부의 게이트 배선 또는 데이터 배선과 접촉하는 제 1 블랙매트릭스와; 상기 화소 영역에 구성된 컬러필터와; 상기 컬러필터의 상부에 위치하고, 상기 스위칭 소자와 접촉하는 투명한 화소 전극과; 상기 제 1 기판과 마주보는 제 2 기판의 일면 중, 상기 스위칭 소자에 대응하는 부분에 구성된 제 2 블랙매트릭스와; 상기 제 2 블랙매트릭스를 포함하는 제 2 기판의 전면에 구성된 투명한 공통 전극을 포함한다.

상기 화소 영역에 대응하여 스토리지 배선을 구성하고, 상기 스토리지 배선의 상부에는 상기 드레인 전극과 접촉하면서 상기 블랙매트릭스와 동일층, 동일물질인 금속패턴을 더욱 구성한다.

상기 블랙매트릭스는 불투명한 도전성 금속으로 형성한다.

상기 제 2 기판의 블랙매트릭스는 상기 소스 및 드레인 전극 사이로 노출된 액티브층에 대응하여 구성한다.

상기 제 1 기판과 제 2 기판의 갭(gap)을 유지하기 위해, 상기 스위칭 소자에 대응하여 구성된 기둥형상의 스페이스(spacer)를 더욱 구성한다.

본 발명의 특징에 따른 씨.오.티 구조 액정표시장치의 제조방법은 제 1 기판과 제 2 기판을 준비하는 단계와; 상기 제 2 기판과 마주보는 제 1 기판의 일면에 서로 수직 교차하여 화소 영역을 정의하는 게이트 배선과 데이터 배선을 형성하는 단계와; 상기 게이트 배선과 데이터 배선의 교차지점에 스위칭 소자를 형성하는 단계와; 상기 게이트 배선과 데이터 배선의 상부에 각각 독립적으로 위치하고, 각각은 그 하부의 게이트 배선 또는 데이터 배선과 접촉하는 제 1 블랙매트릭스를 형성하는 단계와; 상기 화소 영역에 컬러필터를 형성하는 단계와; 상기 컬러필터의 상부에 위치하고, 상기 스위칭 소자와 접촉하는 투명한 화소 전극을 형성하는 단계와; 상기 제 1 기판과 마주보는 제 2 기판의 일면 중, 상기 스위칭 소자에 대응하는 부분에 제 2 블랙매트릭스를 형성하는 단계와; 상기 제 2 블랙매트릭스를 포함하는 제 2 기판의 전면에 투명한 공통 전극을 형성하는 단계를 포함한다.

본 발명의 특징에 따른 씨.오.티 구조 액정표시장치용 어레이기판의 제조방법은 기판 상에 스위칭 영역을 포함하는 화소 영역을 정의하는 단계와; 상기 스위칭 영역에 게이트 전극과, 게이트 전극과 연결되는 게이트 배선을 형성하는 제 1 마스크 공정 단계와; 상기 게이트 전극 및 게이트 배선의 전면에 게이트 절연막을 형성하는 단계와; 상기 게이트 전극에 대응하

는 게이트 절연막의 상부에 적층된 제 1 반도체 패턴과 소스 및 드레인 전극과, 상기 제 1 반도체 패턴에 연결된 제 2 반도체 패턴과 제 2 반도체 패턴의 상부에 데이터 배선을 형성하는 제 2 마스크 공정 단계와; 상기 소스 및 드레인 전극과 데이터 배선이 형성된 기판의 전면에 보호막을 형성하고, 상기 데이터 배선과 게이트 배선의 일부를 노출하는 제 3 마스크 공정 단계와; 상기 게이트 배선 및 데이터 배선의 상부에 각각 독립적으로 구성되고, 각각은 하부의 노출된 게이트 배선 및 데이터 배선과 접촉하는 블랙매트릭스를 형성하는 제 4 마스크 공정 단계와; 상기 화소 영역에 대응하여 컬러필터를 형성하는 제 5 마스크 공정 단계와; 상기 드레인 전극을 노출하는 제 6 마스크 공정 단계와;

상기 드레인 전극과 접촉하면서, 상기 화소 영역에 위치하는 투명한 화소 전극을 형성하는 제 7 마스크 공정 단계를 포함한다.

상기 제 1 마스크 공정 단계에서, 상기 화소 영역의 일부에 대응하여 스토리지 배선을 형성하는 단계를 포함하며, 상기 스토리지 배선의 상부에 상기 제 4 마스크 공정단계에서, 상기 블랙매트릭스와 동일층 동일물질로 형성되고 상기 드레인 전극과 접촉하는 금속패턴을 형성하는 단계를 더욱 포함한다.

상기 제 3 마스크 공정단계에서, 상기 화소 영역에 대응하는 보호막을 제거하는 단계를 더욱 포함한다.

상기 제 2 마스크 공정 단계는 상기 게이트 전극 및 게이트 배선이 형성된 기판의 전면에 게이트 절연막과 순수 비정질 실리콘층과 불순물이 포함된 비정질 실리콘층과 금속층을 적층하는 단계와; 상기 금속층의 상부에 감광층을 형성하고, 상기 감광층이 형성된 기판의 상부에 투과부와 반사부와 반투과부로 구성된 마스크를 위치시키는 단계와; 상기 마스크의 상부로 빛을 조사하여, 하부의 감광층을 노광하고 현상하여 상기 스위칭 영역과 상기 게이트 배선과 수직한 화소 영역의 일측에 대응하여 감광 패턴을 형성하는 단계와; 상기 감광패턴의 주변으로 노출된 상기 금속층과 불순물 비정질 실리콘층과 순수 비정질 실리콘층을 제거하는 단계와; 상기 감광패턴을 애싱하여, 상기 마스크의 반투과부에 대응하는 일부만 현상된 부분의 감광패턴을 완전히 제거하여 하부의 금속층을 노출하는 단계와; 상기 감광패턴의 주변으로 노출된 금속층을 제거하고, 그 하부의 불순물 비정질 실리콘층을 노출하는 단계와; 상기 감광패턴을 제거함으로써, 소스 및 드레인 전극과 데이터 배선과 상기 소스 및 드레인 전극 하부의 제 1 반도체 패턴과, 상기 데이터 배선 하부의 제 2 반도체 패턴을 형성하는 단계를 포함한다.

이하 첨부한 도면을 참조하여, 본 발명에 따른 바람직한 실시예를 설명한다.

-- 실시예 --

본 발명의 특징은, 게이트 배선 및 데이터 배선에 대응하여 블랙매트릭스를 형성할 때, 불투명한 금속을 이용하여 형성하고 상기 게이트 배선 및 데이터 배선과 접촉하도록 구성하는 것을 특징으로 한다.

도 3은 본 발명에 따른 COT구조 액정표시장치용 어레이기판의 일부를 확대한 확대 평면도이다.

도시한 바와 같이, 기판(100)상에 일 방향으로 연장되고 일 끝단에 게이트 패드(106)를 포함하는 게이트 배선(102)과, 상기 게이트 배선(102)과 수직하게 교차하여 화소영역(P)을 정의하고 일 끝단에 데이터 패드(134)를 포함하는 데이터 배선(132)을 구성한다.

상기 게이트 배선(102)과 데이터 배선(132)의 교차지점에는 게이트 전극(104)과 액티브층(124)과 소스 전극(128)과 드레인 전극(130)을 포함하는 박막트랜지스터(T)를 구성한다.

상기 박막트랜지스터(T)의 액티브층(124)과 동일물질인 반도체층(SL)을 상기 데이터 배선 및 데이터 패드(132,134)의 하부로 연장하여 구성한다.

이와 같은 구성은 상기 소스 및 드레인 전극과 반도체층이 동시에 하나의 마스크로 제작되는 것을 가능하도록 함으로써, 공정이 단순화 될 수 있도록 하는 장점이 있다.

상기 화소 영역(P)에는 상기 드레인 전극(130)과 접촉하는 투명한 화소 전극(154)을 구성하고, 상기 게이트 패드 및 데이터 패드(106,134)에 대응하는 상부에는 상기 게이트 패드(106)와 접촉하는 투명한 게이트 패드 단자(156)와 상기 데이터 패드(134)와 접촉하는 투명한 데이터 패드 단자(158)를 형성한다.

상기 박막트랜지스터(T)의 소스 및 드레인 전극(128,130)사이로 노출된 액티브층(124)과, 상기 게이트 배선(102)과 데이터 배선(132)에 대응하여 블랙매트릭스(202,140a)를 구성하며, 상기 게이트 배선(102)과 데이터 배선(132)에 대응하여 구성한 블랙매트릭스(140a)는 하부의 게이트 배선 및 데이터 배선(102,132)과 임의의 위치(G1,G2/H1,H2)에서 접촉하도록 한다.

이때, 소스 및 드레인 전극(128,130)사이의 상기 액티브층(124)에 대응하여 패터닝된 블랙매트릭스(202)는 상부기판에 구성된다.

상기 화소 영역(P)에는 컬러필터(142a,142b,142c)를 구성한다.

또한, 화소 영역(P)에는 스토리지 배선(108)을 형성하고, 상기 스토리지 배선(108)의 상부에는 절연막(게이트 절연막, 미도시)을 사이에 두고 상기 블랙매트릭스(140a)와 동일층 동일물질로 형성되는 동시에 상기 드레인 전극(130)과 접촉하는 금속패턴(140b)을 형성한다.

이러한 구성으로, 상기 스토리지 배선(108)을 제 1 전극으로 하고 상기 금속패턴(140b)을 제 2 전극으로 하는 스토리지 캐패시터(C_{ST})가 형성된다.

전술한 구성에서, 특징적인 것은 상기 블랙매트릭스(140a,202)를 블랙수지가 아닌 불투명한 금속으로 형성한 것이고, 상기 데이터 배선 및 게이트 배선(132,102)에 대응하여 구성한 블랙매트릭스(140a)는 그 하부의 게이트 배선(102)과 데이터 배선(132)과 접촉하도록 구성한 것을 특징으로 한다.

도 4a와 도 4b를 참조하여, 본 발명에 따른 COT 구조 액정표시장치의 구성을 개략적으로 설명한다.

도 4a는 도 3의 IV-IV를 따라 절단한 단면도이고, 도 4b는 도 3의 V-V를 따라 절단하여 이를 참조로 표현한 액정표시장치의 단면도이다.(도 4a는 박막트랜지스터를 포함하는 화소영역의 단면도이고, 도 4b는 블랙매트릭스와 데이터 배선이 구성된 부분의 단면도이다.)

도 4a와 도 4b에 도시한 바와 같이, 본 발명에 따른 COT 구조 액정표시장치는 이격하여 합착된 제 1 기판(100)과 제 2 기판(200)을 포함한다.

상기 제 1 기판(100)상에 스위칭 영역(S)을 포함하는 화소 영역(P)을 정의하고, 화소 영역(P)의 일부에 대응하여 스토리지 영역(ST)을 정의한다.

상기 스위칭 영역(S)에는 게이트 전극(104)과, 게이트 전극(104)과는 게이트 절연막(110)을 사이에 두고 적층된 액티브층(124)과 오믹 콘택층(126)과, 오믹 콘택층(126)의 상부에 이격하여 구성된 소스 전극(128)과 드레인 전극(130)을 포함하는 박막트랜지스터(T)를 구성한다.

상기 화소 영역(P)에는 컬러필터(142a,142b)를 구성하고, 컬러필터(142a,142b)의 상부에는 평탄화층(146)을 사이에 두고 투명한 화소 전극(154)을 구성한다.

상기 화소 영역(P)의 일측에 대응하는 기판(100)상에는 게이트 배선(102)을 구성하고, 이와 수직한 화소 영역(P)의 타측에는 데이터 배선(132)을 구성한다.

이때, 상기 데이터 배선(132)의 하부에는 반도체층(SL)이 위치한다.

상기 데이터 배선(132)과 게이트 배선(102)에 대응하는 상부에 불투명한 금속으로 블랙매트릭스(140a)를 형성하되, 상기 게이트 배선(102)과 데이터 배선(132)에 대응한 블랙매트릭스(140a)는 하부의 게이트 및 데이터 배선(102,132)과 접촉하도록 구성한다.

전술한 바와 같이 제 1 기판(100)을 구성할 수 있으며, 상기 제 1 기판(100)과 마주보는 제 2 기판(200)의 일면에는 상기 액티브층에 대응하여 블랙매트릭스(202)를 형성하고, 상기 블랙매트릭스(202)가 형성된 기판(200)의 전면에는 투명한 공통전극(204)을 구성한다.

이때, 상기 제 1 기판과 제 2 기판(100,200)의 사이에는 두 기판의 갭을 유지하기 위해, 상기 액티브층(124)에 대응하여 기동형상의 스페이서(300)를 형성한다.

이하, 공정도면을 참조하여 본 발명에 따른 COT 구조의 액정표시장치용 어레이기판의 제조공정을 설명한다.

도 5a내지 도 5g와 도 6a 내지 도 6g와 도 7a 내지 도 7g는 도 8a 내지 도 8g는 도 3의 IV-IV, VI-VI, VII-VII와 V-V를 따라 절단하여 박막트랜지스터 어레이배선을 형성하는 공정을 공정순서에 따라 도시한 단면도이다.

도 5a와 도 6a와 도 7a와 도 8a에 도시한 바와 같이, 기판(100)상에 스위칭 영역(S)과 스토리지 영역(ST)을 포함하는 화소 영역(P)을 정의한다.

상기 다수의 영역(S,ST,P)이 정의된 기판(100)상에 알루미늄(Al), 알루미늄합금(AlNd), 구리(Cu), 텅스텐(W), 크롬(Cr), 몰리브덴(Mo)등을 포함하는 도전성 금속 그룹 중 선택된 하나 또는 그 이상의 물질을 증착하고 패터닝하여, 상기 화소 영역(P)의 일 측을 따라 구성되고 일 끝단에 게이트 패드(106)를 포함하는 게이트 배선(102)과, 상기 게이트 배선(102)과 연결되면서 상기 스위칭 영역(S)에 위치하는 게이트 전극(104)을 형성한다.

동시에, 상기 스토리지 영역(ST)에 대응하는 스토리지 배선(108)을 형성한다.

다음으로, 상기 게이트 패드 및 게이트 배선(106,102)과 게이트 전극(104)과 스토리지 배선(108)이 형성된 기판(100)의 전면에 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질그룹 중 선택된 하나 또는 그 이상의 물질을 증착하여 게이트 절연막(110)을 형성한다.

도 5b와 도 6b와 도 7b와 도 8b에 도시한 바와 같이, 상기 게이트 절연막(110)의 상부에 제 1 반도체층(112)과 제 2 반도체층(114)을 적층하여 형성한다.

상기 제 1 반도체층(112)은 순수 비정질 실리콘(a-Si:H)을 증착하여 형성하고, 상기 제 2 반도체층(114)은 불순물이 포함된 비정질 실리콘층(n+ 또는 p+ a-Si:H)을 증착하여 형성한다.

다음으로, 상기 제 2 반도체층(114)의 상부에 앞서 언급한 도전성 금속 그룹 중 선택된 하나 또는 그 이상의 물질을 증착하여 금속층(116)을 형성한다.

상기 금속층(116)이 형성된 기판(100)의 전면에 포토레지스트(photoresist)를 도포하여 감광층(118)을 형성하고, 상기 감광층(118)이 형성된 기판(100)의 이격된 상부에는 마스크(M)를 위치시킨다.

상기 마스크(M)는 투과부(B1)와 반사부(B2)와 반투과부(B3)로 구성되고, 상기 반투과부(B3)는 도시한 바와 같이 슬릿(slit)을 구성하거나, 반투명막을 사용할 수 있다.

이때 특히, 상기 스위칭 영역(S)은 중심부에 대응하여 반투과부(B3)가 구성되고, 반투과부(B3)의 양측으로 반사부(B2)가 구성되도록 마스크(M)를 위치시킨다.

상기 마스크(M)의 상부로 빛을 조사하여 하부의 감광층(118)을 노광하게 되면, 상기 마스크(M)의 투과부(B1)에 대응하는 감광층(118)은 완전히 노광하게 되지만, 상기 반투과부(B3)에 대응하는 감광층(118)은 일부만이 노광된다.

또한, 상기 반사부(B2)에 대응하는 감광층(118)은 노광되지 않는다.

상기 부분적으로 노광된 감광층(118)을 현상하는 공정을 진행한다.

도 5c와 도 6c와 도 7c와 도 8c에 도시한 바와 같이, 상기 현상공정을 진행하게 되면 상기 스위칭 영역(S)과, 상기 게이트 배선(102)과 수직한 화소 영역(P)의 일측에 대응하여 감광패턴(120)이 형성된다.

다음으로, 상기 감광패턴(120)의 외부로 노출된 금속층을 제거하여 감광패턴의 하부에만 패터닝된 금속층(116)이 남겨지도록 한다.

도 5d와 도 6d와 도 7d와 도 8d에 도시한 바와 같이, 상기 제거된 금속층의 하부로 노출된 제 2 반도체층(114)과 제 1 반도체층(112)을 순차 제거하는 공정을 진행하여 이 또한 감광층(120)의 하부에만 패터닝된 제 1 반도체층(112)과 제 2 반도체층(114)이 남겨지도록 한다.

도 5e와 도 6e와 도 7e와 도 8e에 도시한 바와 같이, 상기 감광패턴(120)을 애싱(ashing)하는 공정을 진행하여, 스위칭 영역(S)의 중심부에 대응하여 표면으로부터 일부만 노광된 부분의 감광층이 완전히 제거되어 하부의 금속층(116)이 노출되도록 한다.

이때, 애싱 공정 중 감광패턴(120)은 표면 및 측면이 모두 깎이면서 진행되기 때문에 애싱공정이 완료되면 전체 감광패턴의 주변(F)으로 금속층(116)이 노출되는 현상이 발생하게 된다.

도 5f와 도 6f와 도 7f와 도 8f에 도시한 바와 같이, 상기 스위칭 영역(S)의 중심부에 대응하여 노출된 금속층(116)을 패터닝하는 공정을 진행한다.

연속하여, 상기 노출된 금속층 하부로 노출된 제 2 반도체층(114)을 제거하는 공정을 진행한다.

이러한 공정이 진행되는 동안 감광패턴(120)의 주변으로 동시에 동일한 공정이 진행되어 제 1 반도체층(112)이 노출되는 형상이 된다.

전술한 바와 같은 식각공정을 진행한 후, 상기 감광패턴(120)을 제거하는 공정을 진행한다.

도 5g와 도 6g와 도 7g와 도 8g에 도시한 바와 같이, 상기 스위칭 영역(S)에는 패터닝된 제 1 반도체층과 제 2 반도체층이 적층되어 구성되고, 상기 제 2 반도체층의 상부에는 노출된 제 1 반도체층을 사이에 두고 소스 전극(128)과 드레인 전극(130)이 구성되고, 상기 화소 영역(P)의 일 측에는 상기 소스 전극(128)과 연결되고 상기 게이트 배선(102)과 수직하게 교차하면서 구성되고 일 끝단에 데이터 패드(134)를 포함하는 데이터 배선(132)이 구성된다.

또한, 상기 데이터 배선(132)과 데이터 패드(134)의 하부 또한 제 1 반도체층과 제 2 반도체층이 존재하게 된다.

여기서, 그 기능에 따라 상기 스위칭 영역(S)에 구성된 제 1 반도체층을 액티브층(124)이라 하고, 그 상부의 제 2 반도체층을 오믹 콘택층(126)이라 한다.

그리고, 상기 데이터 배선(132)의 하부에 적층된 제 1 및 제 2 반도체층은 함께 반도체 패턴(SL)이라 하자.

상기 반도체 패턴(SL)은 상부의 데이터 배선(132)이 들뜨는 것을 방지하는 기능을 한다.

이상으로, 기판 상에 박막트랜지스터와 어레이배선을 형성하는 공정을 설명하였다.

이하, 도면을 참조하여 상기 박막트랜지스터 어레이부의 상부에 컬러필터를 형성하는 공정을 설명한다.

도 9a 내지 도 9e와 도 10a 내지 도 10e와 도 11a 내지 도 11e와 도 12a 내지 도 12e는 도 3의 IV-IV, VI-VI, VII-VII와 V-V를 따라 절단한 단면도이고, 박막트랜지스터 어레이배선을 형성하는 공정에 이은 컬러필터 형성공정을 공정순서에 따라 도시한 단면도이다.

도 9a와 도 10a와 도 11a와 도 12a에 도시한 바와 같이, 앞선 공정에서 상기 소스 및 드레인 전극(128,130)과 데이터 배선(132)과 데이터 패드(134)가 형성된 기판(100)의 전면에 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기절연 물질 그룹 중 선택된 하나 또는 그 이상의 물질을 증착하고 패터닝하여 보호막(136)을 형성한다.

다음으로, 상기 보호막(136)을 패터닝하여 상기 드레인 전극(124)의 일부를 노출하는 제 1 콘택홀(138)과, 임의의 위치(도 3의 G1,G2)에서 상기 데이터 배선(132)의 일부를 노출하는 제 2 콘택홀(140)과, 임의의 위치(도 3의 H1,H2)에서 상기 게이트 배선(102)의 일부를 노출하는 이격된 다수의 제 3 콘택홀(미도시)을 형성한다.

동시에, 상기 화소 영역(P)에 대응하는 보호막(136)을 제거하는 공정을 진행한다.

도 9b와 도 10b와 도 11b와 도 12b에 도시한 바와 같이, 상기 보호막(136)이 형성된 기판(100)의 전면에 전술한 도전성 금속 그룹 중 선택된 하나를 증착하고 패터하여, 상기 데이터 배선(132)과 게이트 배선(102)에 대응하여 각각 이들과 접촉하는 블랙매트릭스(140a)를 형성하고, 상기 노출된 드레인 전극(130)과 접촉하면서 상기 스토리지 배선(108)의 상부에 섬형상으로 금속패턴(140b)을 형성한다.

이때, 상기 게이트 배선(102)과 데이터 배선(132)이 교차하는 부분에서 상기 게이트 배선 및 데이터 배선(102,132)의 상부에 구성된 블랙매트릭스(140a)를 서로 이격되도록 구성해야 한다.

왜냐하면, 각각은 상기 게이트 배선(102)과 데이터 배선(132)과 접촉하도록 구성하였기 때문이다.

전술한 구성에서, 상기 스토리지 영역(ST)에는 스토리지 캐패시터(C_{ST})가 구성되는데, 상기 스토리지 배선(108)의 상부에 위치하는 금속패턴(140b)은 상기 드레인 전극(132)과 접촉하여 빛을 차단하는 역할이 아닌 스토리지 캐패시터(C_{ST})의 제 2 전극의 역할을 하게 되고, 그 하부의 스토리지 배선(108)은 제 1 전극의 역할을 하게 된다.

이와 같은 구성은 상기 제 1 전극(108)과 제 2 전극(화소 영역의 금속패턴, 140b) 사이에 반도체층이 존재하지 않고 높은 유전율을 갖는 무기절연물질만이 유전체로 존재하기 때문에 면적이 작아도 충분한 스토리지 용량을 얻을 수 있는 장점이 있다.

또한, 상기 게이트 배선(102)과 데이터 배선(132)의 상부에 구성한 블랙매트릭스(140a)는 각각 그 하부의 배선과 접촉하면서 구성되었기 때문에 빛을 차단하거나 화소 영역간의 서로 다른 빛이 혼합되는 것을 방지하는 역할을 하는 동시에, 상기 게이트 배선 또는 데이터 배선(102,132)이 절단되었을 때 이를 수리할 수 있는 수리배선(repair line)의 역할을 하게 된다.

도 9c와 도 10c와 도 11c와 도 12c에 도시한 바와 같이, 상기 블랙매트릭스(140a)와 금속패턴(140b)이 형성된 기판(100)의 화소 영역(P)에 대응하여 적색과 녹색과 청색 컬러필터(142a,142b,미도시)를 소정의 순서로 순차 형성하는 공정을 진행한다.

도 9d와 도 10d와 도 11d와 도 12d에 도시한 바와 같이, 상기 컬러필터(142a,142b)가 형성된 기판(100)의 전면에 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질 그룹 중 선택된 하나 또는 그 이상의 물질을 도포하여, 평탄화층(146)을 형성한다.

이때, 상기 평탄화층(146)은 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하여 형성할 수 있다.

다음으로, 상기 평탄화층(146)을 식각하여 상기 드레인 전극(130)과 접촉하는 부분의 금속패턴(140b)을 노출하는 드레인 콘택홀(148)과, 상기 게이트 패드(106)를 노출하는 게이트 패드 콘택홀(150)과, 상기 데이터 패드(134)를 노출하는 데이터 패드 콘택홀(152)을 형성한다.

도 9e와 도 10e와 도 11e와 도 12e에 도시한 바와 같이, 상기 평탄화층(146)이 형성된 기판(100)의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나를 증착하고 패터하여, 상기 드레인 전극(130)과 접촉하는 노출된 금속패턴(140b)과 접촉하는 화소 전극(154)과, 상기 노출된 게이트 패드(106)와 접촉하는 게이트 패드 단자(156)와, 상기 데이터 패드(134)와 접촉하는 데이터 패드 단자(158)를 형성한다.

전술한 바와 같은 공정을 통해 본 발명에 따른 COT 구조 액정표시장치용 어레이기판을 제작할 수 있다.

발명의 효과

따라서, 본 발명에 따라 제작된 COT 구조의 액정표시장치는 불투명한 도전성 금속으로 블랙매트릭스를 형성하는 동시에 이를 게이트 및 데이터 배선에 연결하는 구조를 도입하여, 상기 게이트 배선 및 데이터 배선의 신호 지연을 방지하는 효과가 있다.

따라서, 게이트 배선 및 데이터 배선의 폭을 작게 설계하는 것이 가능하여 대면적 및 고개구율 화소 설계가 용이한 효과가 있다.

또한, 상기 게이트 배선과 데이터 배선이 단선되었을 경우 상기 블랙매트릭스를 리페어배선으로 사용할 수 있기 때문에, 배선이 단선되었을 경우 이를 수리하기 위한 추가적인 공정이 필요치 않는 효과가 있다.

또한, 상기 블랙매트릭스를 상기 스토리지 캐패시터의 제 2 전극으로 사용함으로써, 상기 제 2 전극의 하부에 반도체층이 존재하지 않고 게이트 절연막 만이 존재할 수 있으므로, 스토리지 캐패시터의 면적을 크게하지 않고도 충분한 보조 용량을 확보할 수 있는 효과가 있다.

따라서, 화소 영역에 스토리지 영역이 구성된 구조에 있어서, 개구율을 개선할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

제 1 기판과 제 2 기판과;

상기 제 2 기판과 마주보는 제 1 기판의 일면에 서로 수직 교차하여 화소 영역을 정의하는 게이트 배선 및 데이터 배선과;

상기 게이트 배선과 데이터 배선의 교차지점에 구성된 스위칭 소자와;

상기 게이트 배선과 데이터 배선의 상부에 각각 독립적으로 위치하고, 상기 배선의 상부에 위치한 구성은 각각 그 하부의 게이트 배선 또는 데이터 배선과 접촉하는 제 1 블랙매트릭스와;

상기 화소 영역에 구성된 컬러필터와;

상기 컬러필터의 상부에 위치하고, 상기 스위칭 소자와 접촉하는 투명한 화소 전극과;

상기 제 1 기판과 마주보는 제 2 기판의 일면 중, 상기 스위칭 소자에 대응하는 부분에 구성된 제 2 블랙매트릭스와;

상기 제 2 블랙매트릭스를 포함하는 제 2 기판의 전면에 구성된 투명한 공통 전극을 포함하는 씨.오.티(COT)구조 액정표시장치.

청구항 2.

제 1 항에 있어서,

상기 화소 영역에 대응하여 스토리지 배선이 더욱 구성된 씨.오.티(COT)구조 액정표시장치.

청구항 3.

제 2 항에 있어서,

상기 스토리지 배선의 상부에 위치하고, 상기 드레인 전극과 접촉하면서 상기 블랙매트릭스와 동일층, 동일물질인 금속 패턴이 더욱 구성된 씨.오.티(COT)구조 액정표시장치.

청구항 4.

제 1 항에 있어서,

상기 블랙매트릭스는 불투명한 도전성 금속인 것을 특징으로 하는 씨.오.티(COT)구조 액정표시장치.

청구항 5.

제 1 항에 있어서,

상기 컬러필터는 화소 영역에 순차 대응되어 구성된 적색과 녹색과 청색의 컬러필터인 씨.오.티(COT)구조 액정표시장치.

청구항 6.

제 1 항에 있어서,

상기 스위칭 소자는 게이트 전극과, 게이트 전극 상부에 절연막을 사이에 두고 위치한 액티브층과, 상기 액티브층의 상부에 이격된 소스 및 드레인 전극을 포함하는 씨.오.티(COT)구조 액정표시장치.

청구항 7.

제 6 항에 있어서,

상기 제 2 기관의 블랙매트릭스는 상기 소스 및 드레인 전극 사이로 노출된 액티브층에 대응하여 구성된 것을 특징으로 하는 씨.오.티(COT)구조 액정표시장치.

청구항 8.

제 1 항에 있어서,

상기 제 1 기관과 제 2 기관의 갭(gap)을 유지하기 위해, 상기 스위칭 소자에 대응하여 구성된 기둥형상의 스페이스(spacer)가 구성된 씨.오.티(COT)구조 액정표시장치.

청구항 9.

제 1 항에 있어서,

상기 화소 전극과 컬러필터 사이에 평탄화층이 더욱 구성된 씨.오.티(COT)구조 액정표시장치.

청구항 10.

제 1 기관과 제 2 기관을 준비하는 단계와;

상기 제 2 기관과 마주보는 제 1 기관의 일면에 서로 수직 교차하여 화소 영역을 정의하는 게이트 배선 및 데이터 배선을 형성하는 단계와;

상기 게이트 배선과 데이터 배선의 교차지점에 스위칭 소자를 형성하는 단계와;

상기 게이트 배선과 데이터 배선의 상부에 각각 독립적으로 위치하고, 각각은 그 하부의 게이트 배선 또는 데이터 배선과 접촉하는 제 1 블랙매트릭스를 형성하는 단계와;

상기 화소 영역에 컬러필터를 형성하는 단계와;

상기 컬러필터의 상부에 위치하고, 상기 스위칭 소자와 접촉하는 투명한 화소 전극을 형성하는 단계와;

상기 제 1 기관과 마주보는 제 2 기관의 일면 중, 상기 스위칭 소자에 대응하는 부분에 제 2 블랙매트릭스를 형성하는 단계와;

상기 제 2 블랙매트릭스를 포함하는 제 2 기관의 전면에 투명한 공통 전극을 형성하는 단계

를 포함하는 씨.오.티(COT)구조 액정표시장치 제조방법.

청구항 11.

제 10 항에 있어서,

상기 화소 영역에 대응하여 스토리지 배선이 더욱 형성된 씨.오.티(COT)구조 액정표시장치 제조방법.

청구항 12.

제 11 항에 있어서,

상기 스토리지 배선의 상부에 위치하고, 상기 드레인 전극과 접촉하면서 상기 제 1 블랙매트릭스와 동일층, 동일물질로 금속패턴을 형성하는 단계를 포함하는 씨.오.티(COT)구조 액정표시장치 제조방법.

청구항 13.

제 12 항에 있어서,

상기 스토리지 배선과 상기 금속패턴 사이에는 무기 절연막이 개재되어 있는 씨.오.티(COT)구조 액정표시장치 제조방법.

청구항 14.

제 10 항에 있어서,

상기 블랙매트릭스는 불투명한 도전성 금속으로 형성된 것을 특징으로 하는 씨.오.티(COT)구조 액정표시장치 제조방법.

청구항 15.

제 10 항에 있어서,

상기 컬러필터는 화소 영역에 순차 대응되어 형성된 적색과 녹색과 청색의 컬러필터인 씨.오.티(COT)구조 액정표시장치 제조방법.

청구항 16.

제 10 항에 있어서,

상기 스위칭 소자는 게이트 전극과, 게이트 전극 상부에 절연막을 사이에 두고 위치한 액티브층과, 상기 액티브층의 상부에 이격된 소스 및 드레인 전극을 포함하는 씨.오.티(COT)구조 액정표시장치 제조방법.

청구항 17.

제 16 항에 있어서,

상기 제 2 기관의 블랙매트릭스는 상기 소스 및 드레인 전극 사이로 노출된 액티브층에 대응하여 형성된 것을 특징으로 하는 씨.오.티(COT)구조 액정표시장치 제조방법.

청구항 18.

제 10 항에 있어서,

상기 컬러필터와 상기 화소 전극 사이에 평탄화층을 형성하는 단계를 더욱 포함하는 씨.오.티(COT)구조 액정표시장치 제조방법.

청구항 19.

제 18 항에 있어서,

상기 평탄화층은 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질 그룹 또는 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기 절연물질 그룹 중 선택된 하나로 형성된 씨.오.티(COT)구조 액정표시장치 제조방법.

청구항 20.

기관 상에 스위칭 영역을 포함하는 화소 영역을 정의하는 단계와;

상기 스위칭 영역에 게이트 전극과, 게이트 전극과 연결되는 게이트 배선을 형성하는 제 1 마스크 공정 단계와;

상기 게이트 전극 및 게이트 배선의 전면에 게이트 절연막을 형성하는 단계와;

상기 게이트 전극에 대응하는 게이트 절연막의 상부에 적층된 제 1 반도체 패턴과 소스 및 드레인 전극과, 상기 제 1 반도체 패턴에 연결된 제 2 반도체 패턴과 제 2 반도체 패턴의 상부에 데이터 배선을 형성하는 제 2 마스크 공정 단계와;

상기 소스 및 드레인 전극과 데이터 배선이 형성된 기관의 전면에 보호막을 형성하고, 상기 데이터 배선과 게이트 배선의 일부를 노출하는 제 3 마스크 공정 단계와;

상기 게이트 배선 및 데이터 배선의 상부에 각각 독립적으로 구성되고, 각각은 하부의 노출된 게이트 배선 및 데이터 배선과 접촉하는 블랙매트릭스를 형성하는 제 4 마스크 공정 단계와;

상기 화소 영역에 대응하여 컬러필터를 형성하는 제 5 마스크 공정 단계와;

상기 드레인 전극을 노출하는 제 6 마스크 공정 단계와;

상기 드레인 전극과 접촉하면서, 상기 화소 영역에 위치하는 투명한 화소 전극을 형성하는 제 7 마스크 공정 단계를 포함하는 씨.오.티 구조 액정표시장치용 어레이기판 제조방법.

청구항 21.

제 20 항에 있어서,

상기 제 1 마스크 공정 단계에서, 상기 화소 영역의 일부에 대응하여 스토리지 배선을 형성하는 단계를 포함하는 씨.오.티 구조 액정표시장치용 어레이기판 제조방법.

청구항 22.

제 21 항에 있어서,

상기 스토리지 배선의 상부에 상기 제 4 마스크 공정단계에서, 상기 블랙매트릭스와 동일층 동일물질로 형성되고 상기 드레인 전극과 접촉하는 금속패턴을 형성하는 단계를 더욱 포함하는 씨.오.티 구조 액정표시장치용 어레이기판 제조방법.

청구항 23.

제 22 항에 있어서,

상기 제 3 마스크 공정단계에서, 상기 화소 영역에 대응하는 보호막을 제거하는 단계를 더욱 포함하는 씨.오.티 구조 액정표시장치용 어레이기판 제조방법.

청구항 24.

제 23 항에 있어서,

상기 게이트 절연막은 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기 절연물질 그룹 중 선택된 하나를 증착하여 형성한 씨.오.티 구조 액정표시장치용 어레이기판 제조방법.

청구항 25.

제 20 항에 있어서,

상기 제 2 마스크 공정 단계는

상기 게이트 전극 및 게이트 배선이 형성된 기판의 전면에 게이트 절연막과 순수 비정질 실리콘층과 불순물이 포함된 비정질 실리콘층과 금속층을 적층하는 단계와;

상기 금속층의 상부에 감광층을 형성하고, 상기 감광층이 형성된 기판의 상부에 투과부와 반사부와 반투과부로 구성된 마스크를 위치시키는 단계와;

상기 마스크의 상부로 빛을 조사하여, 하부의 감광층을 노광하고 현상하여 상기 스위칭 영역과 상기 게이트 배선과 수직 한 화소 영역의 일측에 대응하여 감광 패턴을 형성하는 단계와;

상기 감광패턴의 주변으로 노출된 상기 금속층과 불순물 비정질 실리콘층과 순수 비정질 실리콘층을 제거하는 단계와;

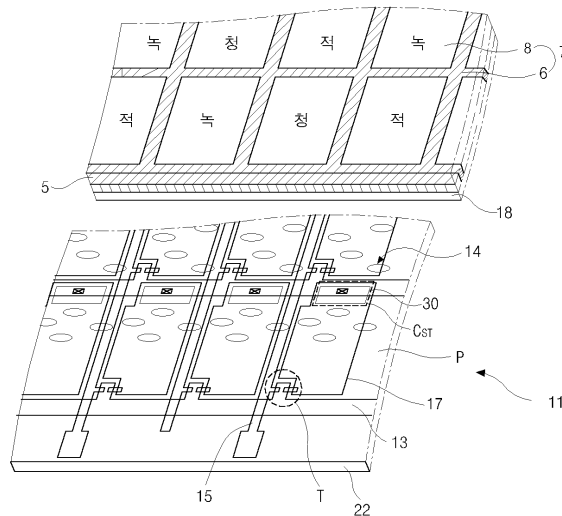
상기 감광패턴을 애싱하여, 상기 마스크의 반투과부에 대응하는 일부만 현상된 부분의 감광패턴을 완전히 제거하여 하부의 금속층을 노출하는 단계와;

상기 감광패턴의 주변으로 노출된 금속층을 제거하고, 그 하부의 불순물 비정질 실리콘층을 노출하는 단계와;

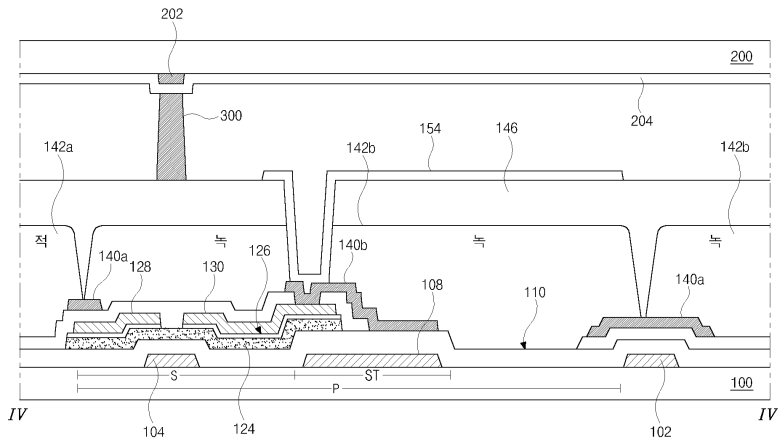
상기 감광패턴을 제거함으로써, 소스 및 드레인 전극과 데이터 배선과 상기 소스 및 드레인 전극 하부의 제 1 반도체 패턴과, 상기 데이터 배선 하부의 제 2 반도체 패턴을 형성하는 단계를 포함하는 씨.오.티 구조 액정표시장치용 어레이기판 제조방법.

도면

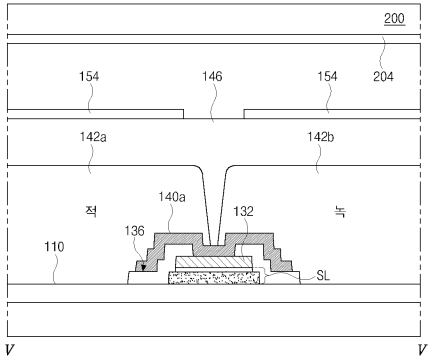
도면1



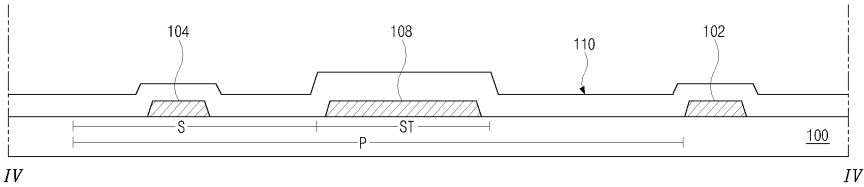
도면4a



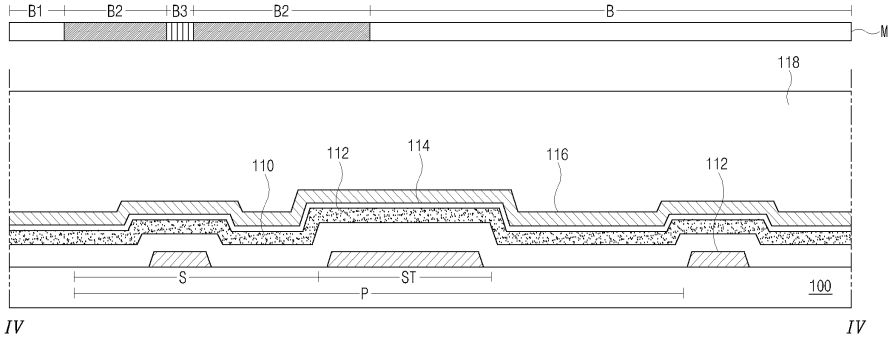
도면4b



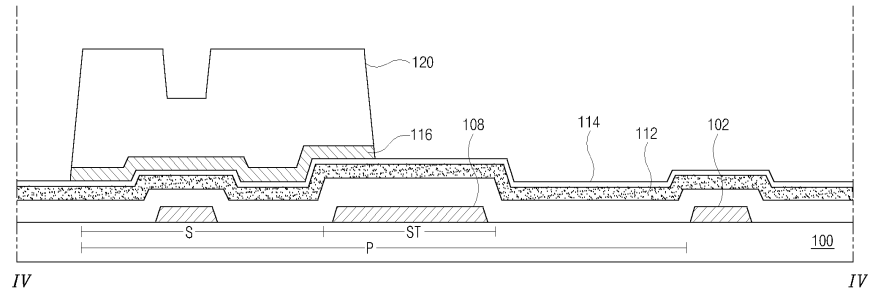
도면5a



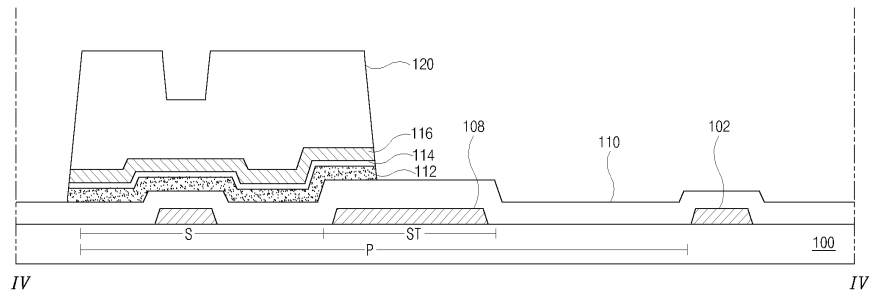
도면5b



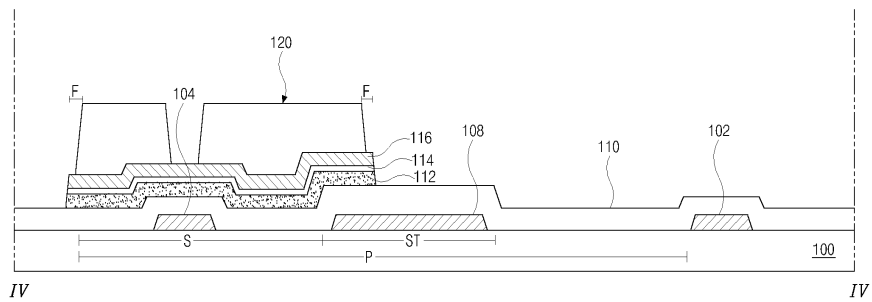
도면5c



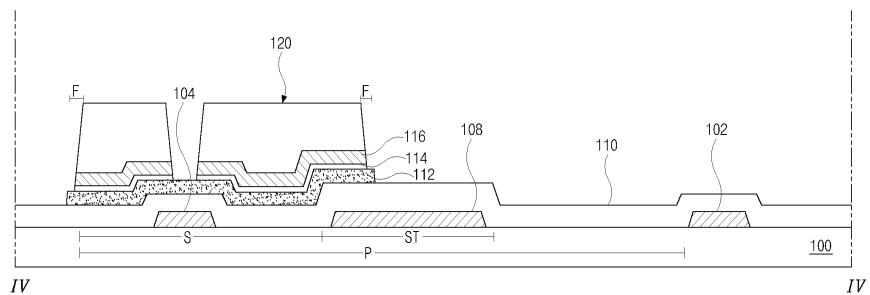
도면5d



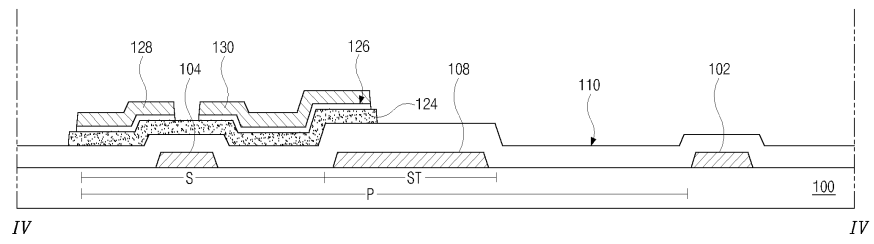
도면5e



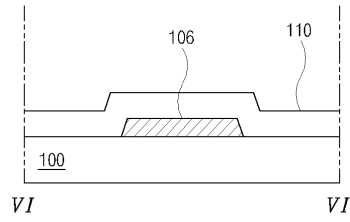
도면5f



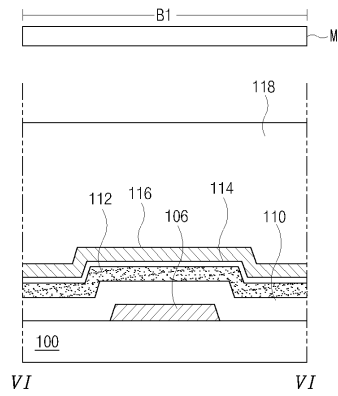
도면5g



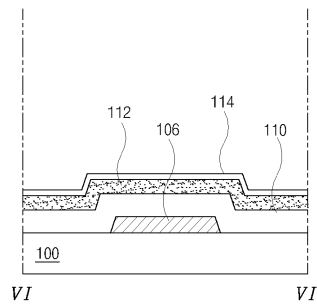
도면6a



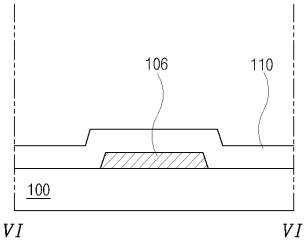
도면6b



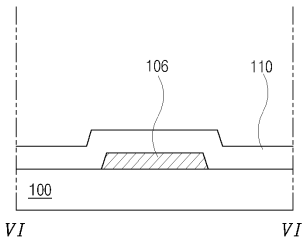
도면6c



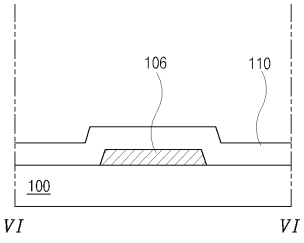
도면6d



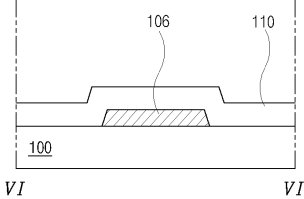
도면6e



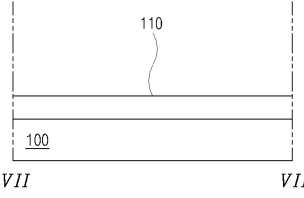
도면6f



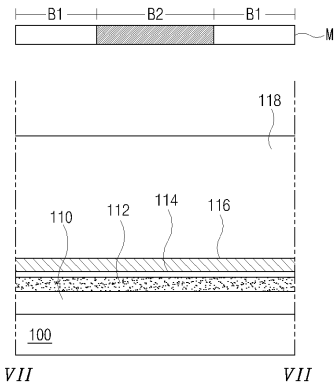
도면6g



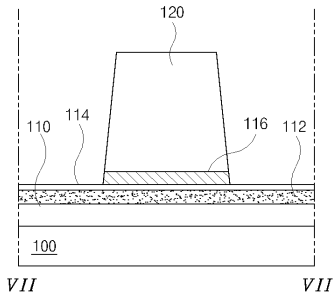
도면7a



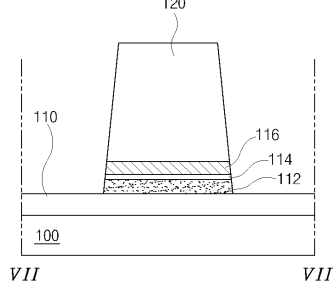
도면7b



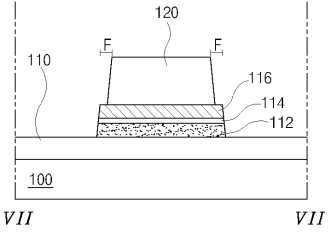
도면7c



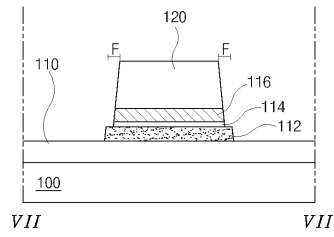
도면7d



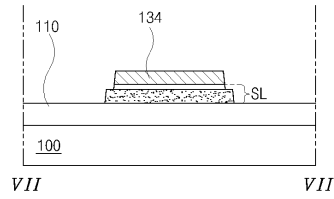
도면7e



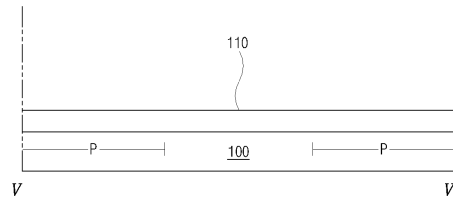
도면7f



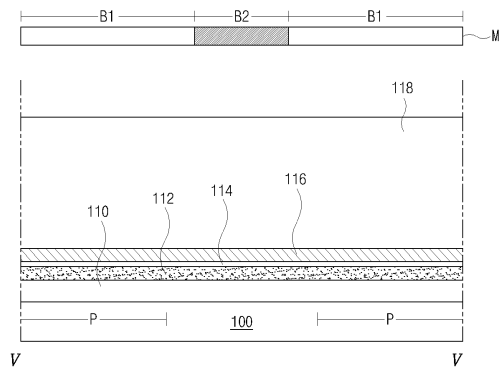
도면7g



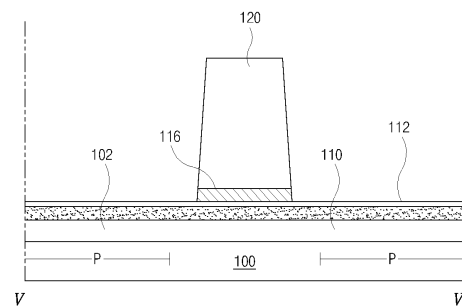
도면8a



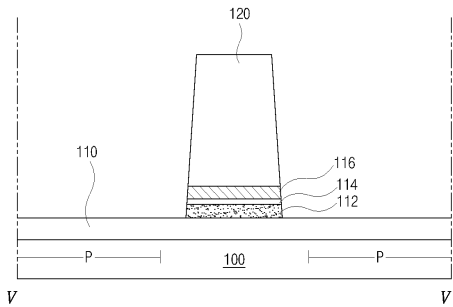
도면8b



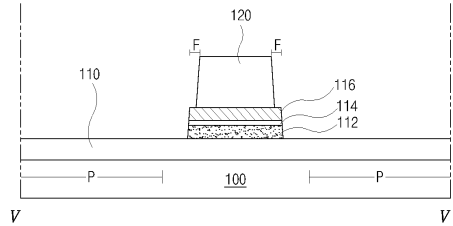
도면8c



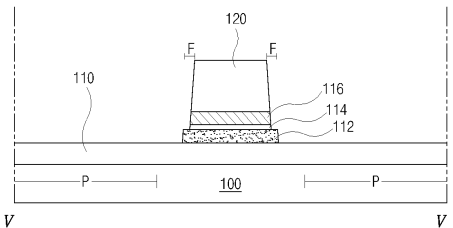
도면8d



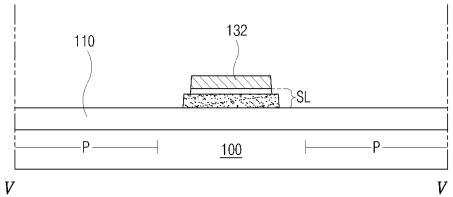
도면8e



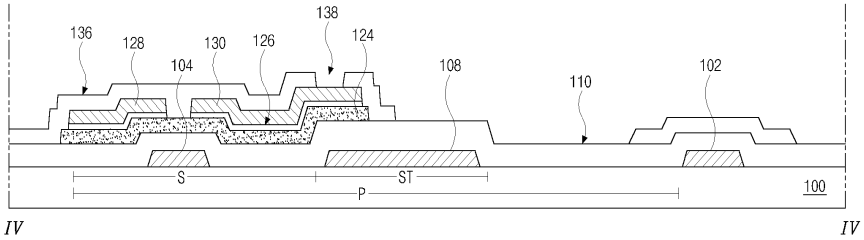
도면8f



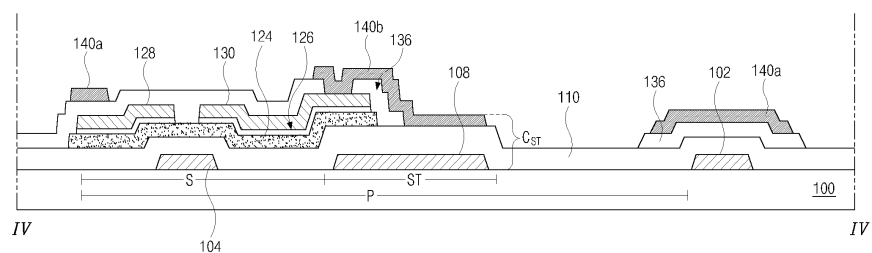
도면8g



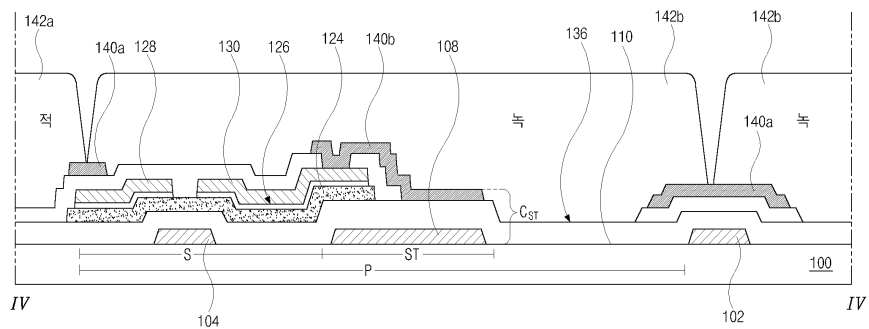
도면9a



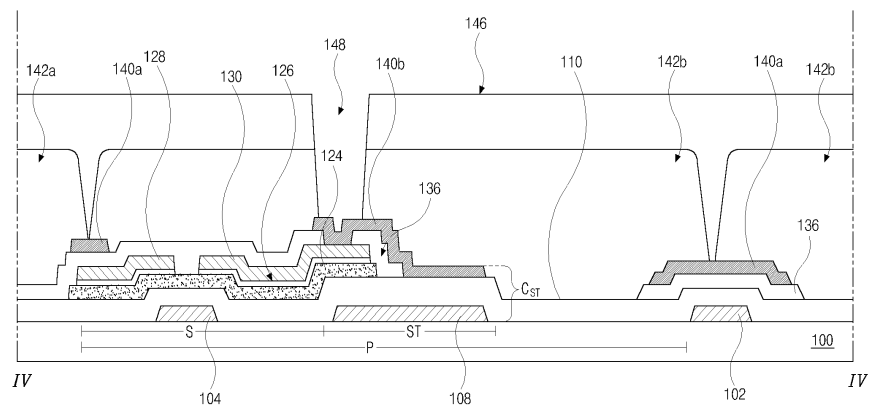
도면9b



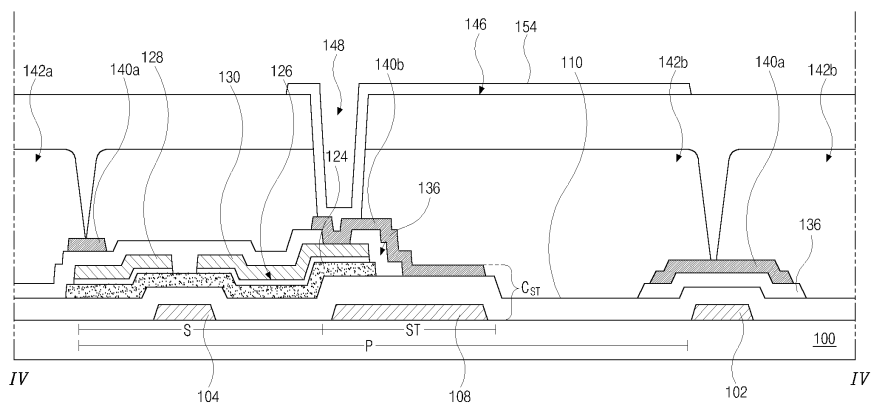
도면9c



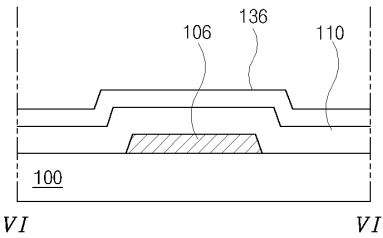
도면9d



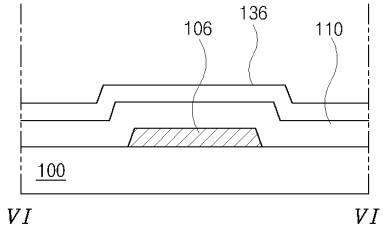
도면9e



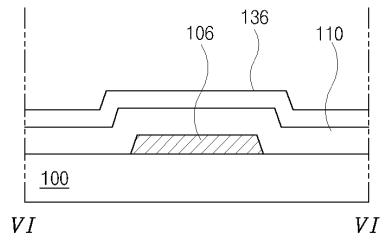
도면10a



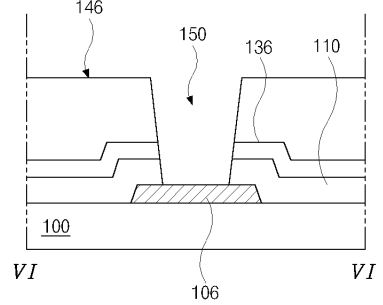
도면10b



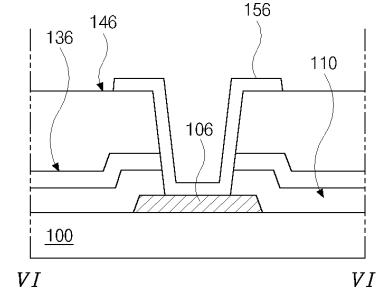
도면10c



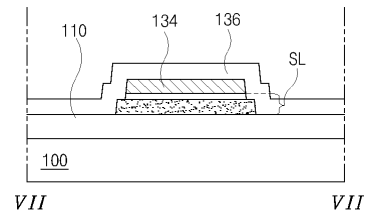
도면10d



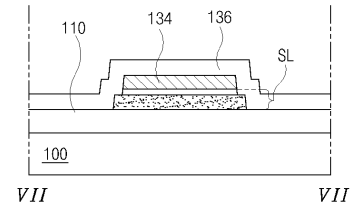
도면10e



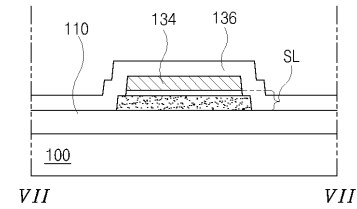
도면11a



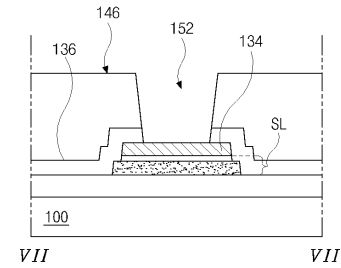
도면11b



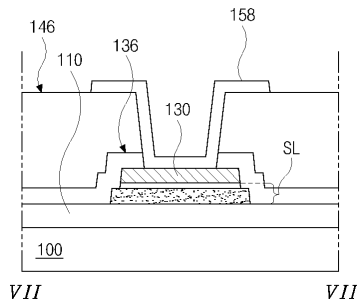
도면11c



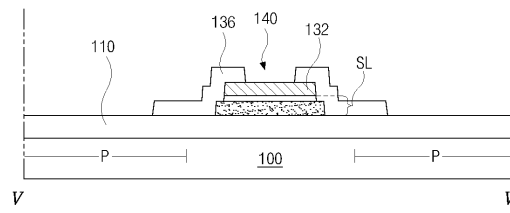
도면11d



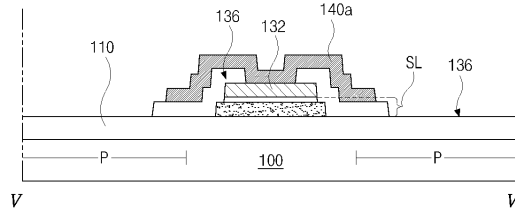
도면11e



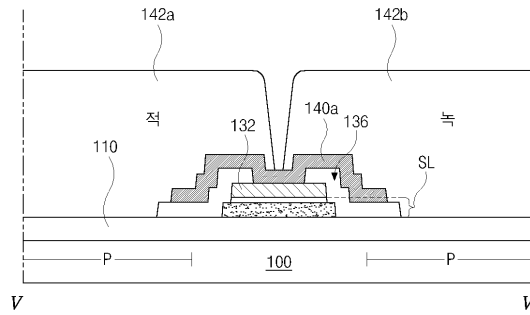
도면12a



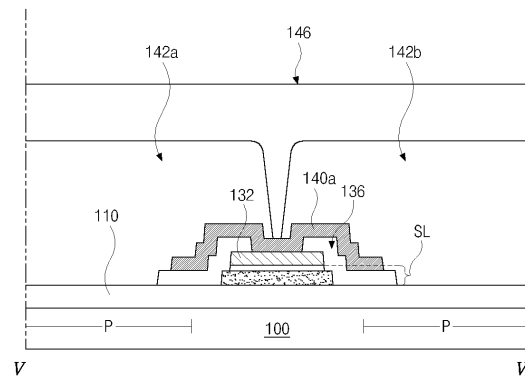
도면12b



도면12c



도면12d



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020050108924A	公开(公告)日	2005-11-17
申请号	KR1020040034365	申请日	2004-05-14
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI SEUNGCHAN		
发明人	CHOI,SEUNGCHAN		
IPC分类号	G02F1/136		
CPC分类号	G02F1/136259 G02F1/136213 G02F1/136209 G02F2001/136222		
其他公开文献	KR100603834B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶显示器，其中滤色器构成为COT结构的阵列面板中的液晶显示器。特别是，具有修复功能的COT结构液晶显示设备，包括金属材料的黑色矩阵，及其制造方法。根据本发明的用于液晶显示器的阵列基板对应于数据线，栅极布线和薄膜晶体管以及金属材料的黑色矩阵被组织。为了与数据线接触，位于数据线上部的黑矩阵包括。为了与栅极布线接触，位于栅极布线的上部的黑色矩阵包括。以这种方式，可以具有使用下侧使用的信号延迟作为数据线和修复线的优点，并且可以防止金属材料的黑矩阵。而且，由于不需要以高成本使用树脂材料的黑色矩阵，因此具有降低成本的优点。

