(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G02F 1/1343

(11) 공개번호 10-2004-0050624
(43) 공개일자 2004년06월16일

(21) 출원번호 10-2002-0078485
(22) 출원일자 2002년12월10일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 이정일
서울특별시광진구자양1동229-68

김민주
서울특별시영등포구당산동4가유원아파트4동706호

(74) 대리인 박장원

심사청구 : 없음

(54) 개구율이 향상된 횡전계모드 액정표시소자

요약

본 발명의 횡전계모드 액정표시소자에서는 축적용량전극을 화소내에 배열되는 화소전극과 오버랩되도록 배열하여 축적용량을 생성한다. 상기 축적용량전극은 화소전극과 동일하거나 작은 폭으로 형성되므로, 상기 화소전극에 의해 완전히 덮히게 된다. 따라서, 상기 축적용량전극에 의해 개구율이 저하되는 것을 방지할 수 있으며, 동시에 원하는 양의 축적용량을 생성할 수 있게 된다.

대표도

도 3a

색인어

횡전계모드, 축적용량, 개구율, 화소전극, 축적용량전극, 오버랩

명세서

도면의 간단한 설명

도 1은 종래 횡전계모드 액정표시소자의 구조를 나타내는 평면도.

도 2a는 도 1의 I-I'선 단면도.

도 2b는 도 1의 II-II'선 단면도.

도 3a는 본 발명의 일시예에 따른 횡전계모드 액정표시소자의 구조를 나타내는 평면도.

도 3b는 도 3a의 III-III'선 단면도.

도 4는 본 발명의 다른 실시예에 따른 횡전계모드 액정표시소자의 구조를 나타내는 단면도.

도 5는 본 발명의 또 다른 실시예에 따른 횡전계모드 액정표시소자의 구조를 나타내는 단면도.

* 도면의 주요부분에 대한 부호의 설명 *

105,205 : 공통전극 106,206 : 축적용량전극

107,207 : 화소전극 112,212 : 게이트전극

113,213 : 반도체층 115,215 : 소스/드레인전극

130,140,230,240 : 기판 132,232 : 게이트절연층

134,234 : 보호층 142,242 : 블랙매트릭스

150,250 : 액정층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 횡전계모드 액정표시소자에 관한 것으로, 특히 축적용량을 생성하기 위한 축적용량용 전극을 화소전극과 오버랩시킴으로써 원하는 양의 축적용량을 생성함과 동시에 개구율을 향상시킬 수 있는 횡전계모드 액정표시소자에 관한 것이다.

근래, 핸드폰(Mobile Phone), PDA, 노트북컴퓨터와 같은 각종 휴대용 전자기기가 발전함에 따라 이에 적용할 수 있는 경박단소용의 평판표시장치(Flat Panel Display Device)에 대한 요구가 점차 증대되고 있다. 이러한 평판표시장치로는 LCD(Liquid Crystal Display), PDP(Plasma Display Panel), FED(Field Emission Display), VFD(Vacuum Fluorescent Display) 등이 활발히 연구되고 있지만, 양산화 기술, 구동수단의 용이성, 고화질의 구현이라는 이유로 인해 현재에는 액정표시소자(LCD)가 각광을 받고 있다.

이러한 액정표시소자는 액정분자의 배열에 따라 다양한 표시모드가 존재하지만, 현재에는 흑백표시가 용이하고 응답속도가 빠르며 구동전압이 낮다는 장점때문에 주로 TN모드의 액정표시소자가 사용되고 있다. 이러한 TN모드 액정표시소자에서는 기판과 수평하게 배향된 액정분자가 전압이 인가될 때 기판과 거의 수직으로 배 향된다. 따라서, 액정분자의 굴절율 이방성(refractive anisotropy)에 의해 전압의 인가시 시야각이 좁아진다는 문제가 있었다.

이러한 시야각문제를 해결하기 위해, 근래 광시야각특성(wide viewing angle characteristic)을 갖는 각종 모드의 액정표시소자가 제안되고 있지만, 그중에서도 횡전계모드(In Plane Switching Mode)의 액정표시소자가 실제 양산에 적용되어 생산되고 있다.

도 1은 종래 IPS모드 액정패널의 구조를 나타내는 평면도이며, 도 2(a)는 도 1의 I-I'선 단면도이고 도 2(b)는 도 1의 II-II'선 단면도이다.

도 1에 도시된 바와 같이, 액정패널(1)의 화소는 종횡으로 배치된 게이트라인(3a,3b) 및 데이터라인(4a,4b)에 의해 정의된다. 도면에는 비록 이러한 IPS모드 액정표시패널의 (n,m)번째 화소만을 도시하고 있지만, 실제의 액정패널(1)에는 상기한 게이트라인(3a,3b)과 데이터라인(4a,4b)이 각각 N(>n) 및 M(>m)개 배치되어 액정패널(1) 전체에 걸쳐서 복수의 화소를 형성한다. 상기 화소내의 게이트라인(3a)과 데이터라인(4a)의 교차영역에는 박막트랜지스터(10)가 형성되어 있다. 상기 박막트랜지스터(10)는 게이트라인(3a)으로부터 주사신호가 인가되는 게이트전극(12)과, 상기 게이트전극(12) 위에 형성되어 주사신호가 인가됨에 따라 활성화되어 채널층을 형성하는 반도체층(13)과, 상기 반도체층(13) 위에 형성되어 데이터라인(4a)을 통해 화상신호와 같은 신호가 인가되는 소스전극(14) 및 드레인전극(15

)으로 구성되어 외부로부터 입력되는 신호를 액정층(50)에 인가한다.

화소내에는 데이터라인(4a,4b)과 실질적으로 평행하게 배열된 공통전극(5)과 화소전극(7)이 배치되어 있다. 또한, 화소의 상부에는 상기 공통전극(5)과 전기적으로 접속되는 공통라인(20)이 게이트라인(3a,3b)과 실질적으로 평행하게 배열되어 있다. 한편, 상기 화소전극(7)은 화소전극라인(22)에 전기적으로 접속된다. 상기 화소전극라인(22)은 도면에 도시된 바와 같이, 그 일부가 n+1번째 화소의 게이트라인(3b) 및 공통라인(20)과 오버랩되어 있다. 상기 화소전극라인(22)과 게이트라인(3b) 및 공통라인(20)의 오버랩에 의해 횡전계모드 액정표시소자에는 축적용량(storage capacitance)이 형성된다.

상기와 같이 구성된 IPS모드 액정표시소자에서 액정분자는 공통전극(5) 및 화소전극(7)과 실질적으로 평행하게 배향되어 있다. 박막트랜지스터(10)가 작동하여 화소전극(7)에 신호가 인가되면, 공통전극(5)과 화소전극(7) 사이에는 액정패널(1)과 실질적으로 평행한 횡전계가 발생하게 된다. 액정분자는 상기 횡전계를 따라 동일 평면상에서 회전하게 되므로, 액정분자의 굴절율 이방성에 의한 계조반전을 방지할 수 있게 된다.

도 2(a)에 도시된 바와 같이 공통전극(5)은 투명한 유리 등으로 이루어진 제1기판(30) 위에 형성되어 있으며, 화소전극(7)은 게이트절연층(32) 위에 형성된다. 한편, 공통전극(5)과 화소전극(7)은 각각 공통라인(20)과 화소전극라인(22)에 접속되기 때문에, 상기 공통라인(20)과 화소전극라인(22)은 역시 제1기판(30) 및 게이트절연층(32) 위에 형성되는 것이 바람직하다.

도면에는 도시하지 않았지만, 박막트랜지스터의 게이트전극(12)은 제1기판(30) 위에 형성되어 있으며, 반도체층(13)은 게이트절연층(32) 위에 형성되 어 있다. 또한, 소스전극(14) 및 드레인전극(15)은 상기 반도체층(13) 위에 형성되어 있으며, 상기 제1기판(30) 전체에 걸쳐 보호층(34)이 적층되어 있다.

상기와 같이 구성된 액정패널(1)에서 게이트라인(3a)을 통해 박막트랜지스터(10)로 주사신호가 인가되면 상기 박막트랜지스터(10)가 온되어 데이터라인(4)을 통해 화상신호가 화소전극(7)으로 입력되어 상기 공통전극(5)과 화소전극(7) 사이에는 제1기판(30)과 실질적으로 수평한 횡방향의 전계가 발생하게 되며, 상기 전계방향을 따라 액정분자가 회전하게 된다.

한편, 제2기판기판(40)상에는 화소내의 박막트랜지스터 영역 및 화소와 화소 사이에 광이 누설되는 것을 방지하기 위한 블랙매트릭스(black matrix;42) 및 실제 컬러를 구현하기 위한 컬러필터층(44)이 형성되어 있으며, 상기 제1기판(30)과 제2기판(40) 사이에 액정층(50)이 형성되어 IPS모드의 액정패널이 완성된다.

상기와 같이 구성된 IPS모드 액정표시소자에서는 액정에 인가되는 전압의 유지특성을 향상시키고 계조표시의 안정성을 향상시키며, 플리커(flicker)현상 및 잔상을 감소시키기 위해 축적용량(storage capacitor)이 필요하게 된다. 이러한 축적용량을 형성하기 위해, 일반적으로 SOG(storage on gate)방식 및 SOC(storage on common)방식의 액정표시소자가 일반적으로 사용되고 있다. SOG방식의 액정표시소자에서는 화소전극라인을 게이트라인과 오버랩되도록 배열하여 상기 화소전극라인과 게이트라인에 의해 축적용량을 형성하며 SOC방식에서는 화소내에 공통라인을 형성하여 화소전극라인을 상기 공통라인과 오버랩되도록 배열하여 상기 화소전극라인과 공통라인에 의해 축적용량을 형성한다.

그러나, 상기와 같은 SOG방식 및 SOC방식의 액정표시소자는 다음과 같은 문제가 있었다. 첫째, SOG방식의 액정표시소자에서는 게이트라인이 설정된 폭으로 형성되기 때문에, 게이트라인과 화소전극라인의 오버랩영역은 한정될 수밖에 없게 되며, 그 결과 충분한 양의 축적용량을 형성할 수 없게 된다. 둘째, SOC방식의 액정표시소자에서는 공통라인과 화소전극라인의 폭을 크게 하여 충분한 양의 축적용량이 생성되도록 상기 공통라인과 화소전극라인의 오버랩영역을 제어할 수 있지만, 이 경우 넓은 폭의 공통라인과 화소전극라인에 의해 액정표시소자의 개구율이 저하되는 문제가 있었다.

상기와 같은 문제를 해결하기 위해, 근래 제안되고 있는 것이 하이브리드(hybrid)방식의 액정표시소자이다. 상기 하이브리드방식은 SOG방식과 SOC방식의 장점을 결합한 것으로, 화소전극라인을 공통라인 및 게이트라인과 오버랩시킴으로써 충분한 양의 축적용량을 확보하는 것이다.

도 1 및 도2에 도시된 종래 IPS모드 액정표시소자는 이러한 하이브리드 방식의 액정표시소자이다. 도 2b에 도시된 바와 같이, 공통라인(20)이 n+1번째 화소의 게이트라인(3b) 근방에 배열되어 있으며, 화소전극라인(22)은 n+1번째 화소의 게이트라인(3b) 및 공통라인(20)의 일부와 오버랩되어 있다.

그러나, 상기와 같은 하이브리드 방식 IPS모드 액정표시소자에서도 충분한 축적용량을 확보하기 위해서는 공통라인(20)과 화소전극라인(22)의 폭(t1,t2)을 각각 설정 폭 이상으로 형성해야만 하기 때문에, 개구율 저하를 방지하는데에는 한계가 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 점을 감안하여 이루어진 것으로, 화소전극과 축적용량전극을 오버랩시켜 원하는 양의 축적용량을 얻음과 동시에 개구율을 향상시킬 수 있는 횡전계모드 액정표시소자를 제공하는 것을 목적으로 한다.

상기한 목적을 달성하기 위해, 본 발명에 따른 횡전계모드 액정표시소자는 복수의 화소를 정의하는 복수의 게이트라인 및 데이터라인과, 각 화소내에 배치된 박막트랜지스터와, 상기 화소내에 배열되어 횡전계를 생성하는 적어도 하나의 제1전극 및 제2전극과, 적어도 하나의 제2전극과 오버랩되어 축적용량을 형성하는 적어도 하나의 제3전극으로 구성된다.

상기 제3전극은 제2전극과 동일한 폭으로 형성되거나 제2전극 보다 작은 폭을 형성되어 제3전극에 의해 개구율이 저하되는 것을 방지한다.

상기 제3전극은 기판 위에 형성되며, 제1전극은 보호층 위에 형성되고 제2전극은 게이트절연층 또는 보호층 위에 형성된다. 상기 제2전극이 보호층 위에 형성되는 경우 게이트절연층 위에는 보호층에 형성된 컨택홀을 통해 제2전극과 접속되는 제4전극이 형성되어 제3전극과 축적용량을 생성한다.

발명의 구성 및 작용

일반적으로 IPS모드 액정표시소자에서는 공통전극이 접속되는 공통라인과 화소전극이 접속되는 화소전극라인을 이용하여 축적용량을 생성한다. 즉, SOG방식에서는 화소전극라인을 게이트라인과 오버랩시켜 축적용량을 생성하며, SOC방식에서는 공통라인과 화소전극라인을 오버랩시켜 축적용량을 생성한다. 또한, 하이브리드 방식에서는 화소전극라인을 공통라인과 게이트라인에 오버랩시켜 축적용량을 생성한다.

반면에, 본 발명의 IPS모드 액정표시소자에서는 상기와 같은 공통라인이나 화소전극라인을 이용하여 축적용량을 생성하는 것이 아니라, 전혀 새로운 방식으로 축적용량을 생성한다. 즉, 본 발명의 IPS모드 액정표시소자에서는 화소내에 배치되어 횡전계를 생성하는 화소전극 하부에 축적용량전극을 형성하여, 상기 화소전극과 축적용량전극 사이에서 축적용량을 생성한다. 화소전극은 화소내에 횡전계를 생성하는 필수불가결한 구성요소이며, 통상적으로 불투명한 금속으로 이루어져 있다. 따라서, 축적용량전극을 화소전극에 배치함으로써, 추가적인 패턴배치(예를 들면, 공통라인과 화소전극라인 등)에 의해 개구율이 저하되는 것을 방지할 수 있게 된다.

일반적으로 IPS모드의 액정표시소자에서는 공통전극과 화소전극 사이의 영역으로 광이 투과한다. 이러한 투과영역은 공통전극과 화소전극의 형성 갯수에 따라 달라지는데, 통상적으로 이 투과영역은 블럭으로 표현된다. 예를 들어, 도 1에 도시된 종래 IPS모드 액정표시소자에는 각각 3개의 공통전극과 2개의 화소전극 형성되어 있으며, 광이 투과되는 광투과영역은 4개로 이루어져 있다. 이와 같이, 투과영역이 4개 형성된 IPS모드 액정표시소자를 통상적으로 4블럭 액정표시소자라 칭한다. 그러나, 이러한 명칭은 단지 설명의 편의를 위해 사용하는 것으로, 액정표시소자의 특정 구조를 한정하기 위한 것은 아니다.

본 발명의 IPS모드 액정표시소자는 4블럭이나 6블럭 혹은 8블럭 IPS모드 액 정표시소자 뿐만 아니라 모든 블럭의 액정표시소자에 적용될 수 있을 것이다. 다시 말해서, 본 발명의 IPS모드 액정표시소자에서는 화소전극과 오버랩되어 축적용량을 형성하는 축적용량전극을 다양한 갯수(액정표시소자의 구조에 따라)로 형성할 수 있을 것이다.

이하, 첨부한 도면을 참조하여 본 발명에 따른 IPS모드 액정표시소자에 대해 더욱 상세히 설명한다.

도 3a는 본 발명의 일실시예에 따른 IPS모드 액정표시소자의 구조를 나타내는 평면도이고 도 3b는 도 3a의 III-III'선 단면도이다.

도 3a에 도시된 바와 같이, 게이트라인(103)과 데이터라인(104)의 교차점에는 박막트랜지스터(110)가 형성되어 있다. 박막트랜지스터(110)는 게이트라인(103)으로부터 연장된 게이트전극(112)과, 상기 게이트전극(112) 위에 형성된 반도체층(113)과, 상기 데이터라인(104)으로부터 연장되어 반도체층(113) 위에 배치되는 소스전극(114) 및 드레인전극(115)으로 구성된다.

한편, 화소내에는 공통전극(105)과 화소전극(107)이 실질적으로 평행하게 배치되어 있다. 상기 공통전극(105)은 게이트라인(103)과 오버랩되어 배열된 공통라인(120)과 접속되어 있다. 한편, 화소내에는 상기 화소전극(107)과 중첩되는 축적용량전극(106)이 배치되어 있다. 상기 축적용량전극(106)은 화소전극(107)과 절연층을 사이에 두고 배치되어 축적용량을 생성한다.

상기 축적용량전극(106)의 폭(t3)은 화소전극(107)의 폭보다는 작은 것이 바람직하다. 그 이유는 축적용량전극(106)의 폭(t3)이 화소전극(107)의 폭 보다 크게 되면, 상기 축적용량전극(106)이 투과되는 양을 차단하여 개구율이 저하되기 때문이다.

상기 게이트라인(103)과 공통라인(120)의 오버랩에 의해 제1축적용량(Cst1)이 생성되며, 화소전극(107)과 축적용량전극(106)의 오버랩에 의해 제2축적용량(Cst1)이 생성된다. 상기 제1축적용량(Cst1)과 제2축적용량(Cst2)이 합이 액정표시소자에서 필요로하는 총 축적용량(Cst)이 된다.

상기 축적용량(Cst)은 축적용량전극(106)과 화소전극(107)의 오버랩영역 크기에 따라 달라진다. 물론, 상기 축적용량(Cst)은 게이트라인(103)과 공통라인(120)의 오버랩영역에 따라 달라질 수도 있지만, 상기 게이트라인(103)은 일정 폭으로 설정되어 있으며, 공통라인(120)의 길이 역시 설정 길이 이상이어야만 하기 때문에, 상기 게이트라인(103)과 공통라인(120)의 오버랩 영역을 제어하는데에는 한계가 있었다.

반면에, 축적용량전극(106)은 그 폭이 화소전극(107)의 폭 보다도 크지만 않다면 어떠한 폭으로 설정할 수도 있으며, 길이도 자유롭게 변경할 수 있으므로, 상기 축적용량전극(106)의 폭(t3)과 길이(l)를 조정함으로써 축적용량(Cst)의 크기를 제어할 수 있게 된다.

도 3b에 도시된 바와 같이, 박막트랜지스터(110)의 게이트전극(112)은 제1기판(130) 위에 형성되어 있으며, 반도체층(113)은 제1기판(130) 전체에 걸쳐 적층된 게이트절연층(132) 위에 형성되어 있다. 또한, 상기 박막트랜지스터(110)의 소스전극(114) 및 드레인전극(115)은 반도체층(113) 위에 형성되어 있으며, 상기 제1기판(130) 전체에 걸쳐 보호층(134)이 적층되어 있다.

축적용량전극(106)은 제1기판(130) 위에 형성되어 있다. 상기 축적용량전극(106)은 Cu, Mo, Ta,, Ti, Al 또는 Al합금 등의 금속을 증착(evaporation) 또는 스퍼터링(sputtering)방법에 의해 적층하고 에천트(stchant)에 의해 에칭한 단일층 또는 복수의 층으로서, 박막트랜지스터(110)의 게이트전극(112)과는 다른 공정에 의해 형성될 수도 있지만, 공정의 단순화를 위해서는 동일한 공정(즉, 동일한 포토마스크를 이용하여)에 의해 동일한 금속으로 형성되는 것이 바람직하다.

화소전극(107)은 게이트절연층(132) 위에 형성된다. 상기 화소전극(107)은 Cr, Mo, Cu, Ta, Ti, Al 또는 Al합금 등의 금속을 스퍼터링이나 증착방법에 의해 적층하고 에천트에 의해 에칭한 단일층 또는 복수의 층으로 이루어진 것으로, 박막트랜지스터(110)의 소스전극(114) 및 드레인전극(115)과는 다른 공정에 의해 형성될 수도 있지만 ,공정의 단순화를 위해서는 동일한 공정에 의해 동일한 금속으로 형성되는 것이 바람직할 것이다.

한편, 상기 화소전극(107)과 축적용량전극(106)은 서로 정렬되어 오버랩된다. 이때, 상기 화소전극(107)과 축적용량전극(106) 사이에는 게이트절연층(132)이 위치하기 때문에, 상기 화소전극(107)과 축적용량전극(106) 사이에는 축적용량이 생성된다. 상기 축적용량전극(106)의 폭(t3)은 화소전극(107)의 폭 보다 작기 때문에, 상기 축적용량전극(106)은 화소전극(107)에 의해 완전히 덮히게 된다. 이것은 상기 축적용량전극(106)에 의해 투과되는 광이 차단되지 않는다는 것을 의미하는 것으로, 결국 상기와 같은 축적용량전극(106)에 의해 원하는 양의 축적용량을 생성하면서도 개구율이 저하되는 것을 방지할 수 있다는 것을 의미한다.

공통전극(105)은 보호층(134) 위에 형성되어, 화소전극(107)과 횡전계를 생성한다. 이때, 상기 공통전극(105)은 Cu, Mo, Ta,, Ti, Al 또는 Al합금 등과 같은 게이트금속이나 Cr, Mo, Cu, Ta, Ti, Al 또는 Al합금과 같은 소스금속으로 형성된다. 또한, 상기 공통전극(105)은 개구율향상을 위해 ITO(Indium Tin Oxide)나 IZO(Indium Zinc Oxide)와 같은 투명한 물질로 형성할 수도 있을 것이다.

한편, 제2기판(140)에는 화상비표시 영역으로 광이 누설되는 것을 방지하는 블랙매트릭스(142)와 실제 화면상에 화상을 구현하기 위한 컬러필터층(144)이 형성되어 있다. 도면에는 도시하지 않았지만, 상기 컬러필터층(144)위에는 제2기판(140)의 평탄성을 향상시키기 위한 오버코트층(overcoat layer)이 형성될 수도 있다. 또한, 상기 제1기판(130) 및 제2기판(140)에는 액정분자를 배향하기 위한 배향막(도면표시하지 않음)이 형성되어 있다.

상기와 같이 구성된 제1기판(130)과 제2기판(140) 사이에 액정층(150)이 형성되어 IPS모드 액정표시소자가 완성된다. 액정층(150)의 형성은 진공상태에서 합착된 제1기판(130)과 제2기판(140) 사이에 액정을 주입하는 진공액정주입법에 의해 형성될 수 있으며 근래 각광받고 있는 액정적하방식(liquid crystal dispensing method), 즉 제1기판(130) 또는 제2기판(140) 상에 직접 액정을 적하한 후 상기 제1기판(130) 및 제2기판(140)의 합착에 의해 액정을 기판(130,140) 전체에 걸쳐서 균일하게 퍼지게 하는 방식에 의해 형성될 수도 있다.

상기한 구성으로 이루어진 본 발명의 IPS모드 액정표시소자를 도 1에 도시된 종래 하이브리드방식 IPS모드 액정표시소자와 비교해보면, 종래 하이브리드방식 IPS모드 액정표시소자에서는 화소전극라인이 공통라인 및 게이트라인과 오

버랩되는 반면에 본 발명의 IPS모드 액정표시소자에서는 공통라인과 게이트라인이 완전히 오버랩되고 공통라인과 화소전극라인은 오버랩되지 않는다. 이때, 상기 공통라인과 화소전극라인의 오버랩에 해당하는 축적용량은 화소전극과 축적용량전극을 오버랩시킴으로써 확보하므로, 공통라인과 화소전극라인의 넓이 만큼 개구율을 향상시킬 수 있게 된다.

도 4는 본 발명의 다른 실시예에 따른 IPS모드 액정표시소자의 구조를 나타내는 단면도이다. 이 실시예의 구조는 도 3b에 도시된 실시예의 구조와는 화소전극의 형성위치를 제외하고는 동일한 구조로 이루어져 있다. 따라서, 동일한 구조에 대해서는 그 설명을 생략하고 차이점만을 설명한다.

도면에 도시된 바와 같이, 제1기판(230)에는 제1축적용량전극(206)이 형성되어 있으며, 게이트절연층(232) 위에는 제2축적용량전극(208)이 형성되어 있다. 또한, 보호층(234) 위에는 공통전극(205)과 화소전극(207)이 실질적으로 평행하게 형성되어 액정층(250)에 횡전계를 인가한다.

상기 화소전극(207)은 제2축적용량전극(208)과 보호층(234)에 형성된 컨택홀을 통해 전기적으로 접속되며, 상기 축적용량은 제1축적용량전극(206) 및 제2축적용량전극(208) 사이에서 생성된다. 이때, 상기 제1축적용량전극(206) 및 제2축적용량전극(208)은 화소전극(207)과는 동일하거나 작은 폭으로 형성되어, 상기 화소전 극(207)에 의해 완전히 덮히게 된다. 따라서, 상기 제1축적용량전극(206) 및 제2축적용량전극(208)에 의해 개구율이 저하되지 않는다.

상기한 구조의 IPS모드 액정표시소자에서 상기 제2축적용량전극(208)을 제거할 수도 있다. 이 경우, 제1축적용량전극(206)은 게이트절연층(232)과 보호층(234)에 형성된 컨택홀을 통해 화소전극(207)에 직접 접속될 것이다. 그러나, 이 경우 제1축적용량전극(206)과 화소전극(207) 사이의 축적용량이 너무 작기 때문에, 도면에 도시된 바와 같이, 제2축적용량전극(208)을 구비하는 것이 바람직할 것이다.

한편, 상기 축적용량전극은 하나만 형성되는 것은 아니다. 도 5에 도시된 바와 같이, 축적용량전극(306a,306b)은 화소내에 배열된 2개의 화소전극(307)과 오버랩될 수 있다. 이때, 상기 축적용량전극의 갯수는 원하는 축적용량의 크기에 따라 달라질 것이다. 또한, 상기 축적용량전극의 갯수는 IPS모드 액정표시소자의 블럭수에 따라 달라질 것이다.

상기한 바와 같이, 본 발명에 따른 IPS모드 액정표시소자에서는 축적용량전극을 화소전극과 오버랩시킴으로써 원하는 축적용량을 얻을 수 있을 뿐만 아니라 개구율이 저하되는 것을 방지한다. 그런데, 본 발명이 상기한 구조에만 한정되는 것은 아니다. 예를 들어, 축적용량전극을 공통전극과 오버랩되도록 배열하여 축적용량을 생성하는 구조도 본 발명의 IPS모드 액정표시소자와는 거의 유사한 구조로서, 본 발명에 포함되어야만 할 것이다.

발명의 효과

상술한 바와 같이, 본 발명의 IPS모드 액정표시소자에서는 화소내에 축적용 량전극을 형성하여 이를 화소전극과 오버랩시킴으로써 원하는 크기의 축적용량을 얻을 수 있게 된다. 이때, 상기 축적용량전극은 불투명한 금속으로 이루어진 화소전극과 오버랩되므로, 개구율이 저하되는 것을 방지할 수 있게 된다.

(57) 청구의 범위

청구항 1.
복수의 화소를 정의하는 복수의 게이트라인 및 데이터라인;

각 화소내에 배치된 구동소자;

상기 화소내에 배열되어 횡전계를 생성하는 적어도 하나의 제1전극 및 제2전극; 및

적어도 하나의 제2전극과 오버랩되어 축적용량을 형성하는 적어도 하나의 제3전극으로 구성된 횡전계모드 액정표시소자.

청구항 2.
제1항에 있어서, 상기 제3전극은 제2전극과 동일한 폭으로 형성되는 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 3.
제1항에 있어서, 상기 제3전극은 제2전극 보다 작은 폭으로 형성되는 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 4.
제1항에 있어서, 상기 구동소자는 박막트랜지스터인 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 5.
제4항에 있어서, 상기 박막트랜지스터는,

기판위에 형성된 게이트전극;

상기 게이트전극이 형성된 기판 전체에 걸쳐 적층된 절연층;

상기 절연층 위에 형성된 반도체층;

상기 반도체층 위에 형성된 소스전극 및 드레인전극; 및

상기 소스전극 및 드레인전극이 형성된 기판 전체에 걸쳐 적층된 보호층으로 이루어진 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 6.
제5항에 있어서, 제3전극은 상기 기판 위에 형성된 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 7.
제5항에 있어서, 제1전극은 상기 보호층 위에 형성된 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 8.
제5항에 있어서, 제2전극은 상기 절연층 위에 형성된 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 9.
제5항에 있어서, 제2전극은 상기 보호층 위에 형성된 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 10.
제9항에 있어서, 게이트절연층 위에 형성되어 보호층에 형성된 컨택홀을 통해 상기 제2전극과 접속되며, 상기 제3전극과 축적용량을 생성하는 제4전극을 추가 로 포함하는 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 11.
제1항에 있어서, 상기 제1전극과 전기적으로 접속되며 게이트라인과 오버랩되어 축적용량을 생성하는 금속라인을 추가로 포함하는 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 12.
복수의 화소를 정의하는 복수의 게이트라인 및 데이터라인;

각 화소내에 배치된 구동소자;

상기 화소내에 배열되어 횡전계를 생성하는 적어도 한쌍의 전극; 및

상기 한쌍의 전극 중 적어도 하나와 오버랩되도록 배열되어 축적용량을 형성하는 적어도 하나의 축적용량전극으로 구성된 횡전계모드 액정표시소자.

청구항 13.
제12항에 있어서, 상기 한쌍의 전극은,

공통전극; 및

상기 공통전극과 실질적으로 평행하게 배열된 화소전극으로 이루어진 것을 특징으로 하는 횡전계모드 액정표시소자.

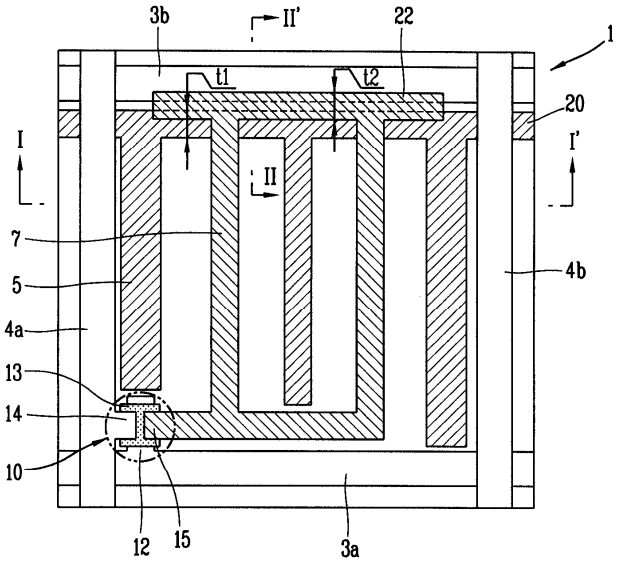
청구항 14.
제12항에 있어서, 상기 축적용량전극은 화소전극과 오버랩되는 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 15.
제14항에 있어서, 상기 축적용량전극은 화소전극과 동일한 폭으로 형성되는 것을 특징으로 하는 횡전계모드 액정표시소자.

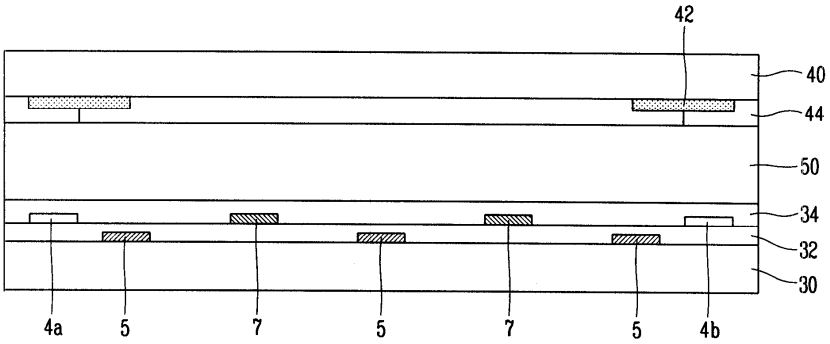
청구항 16.
제14항에 있어서, 상기 축적용량전극은 화소전극 보다 작은 폭으로 형성되는 것을 특징으로 하는 횡전계모드 액정표시소자.

도면

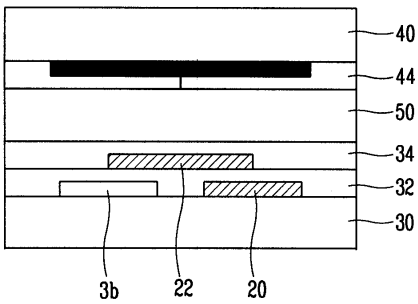
도면1



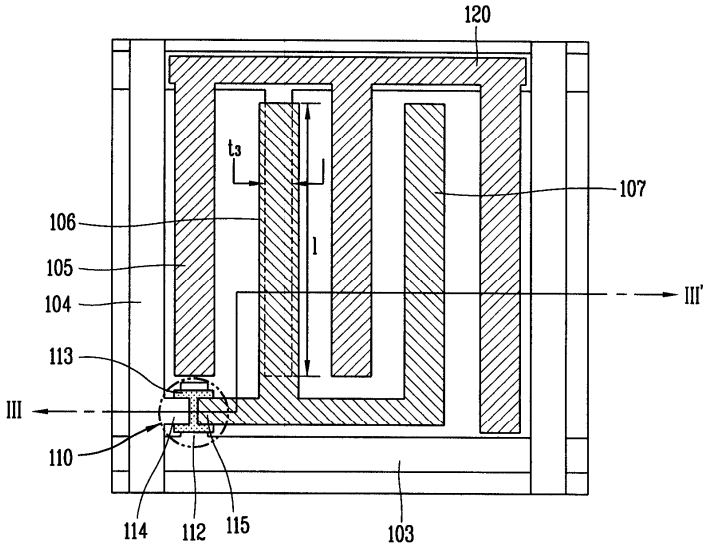
도면2a



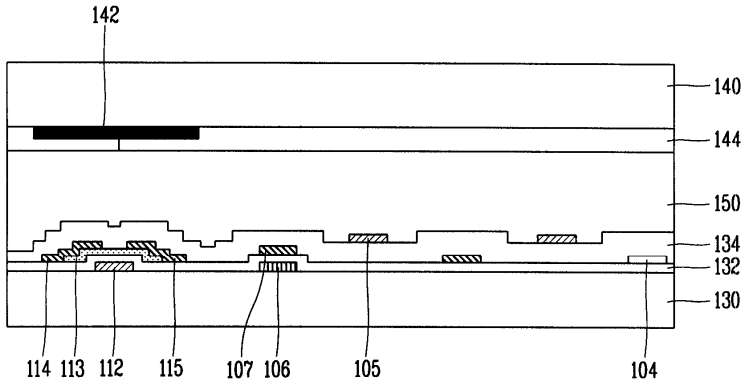
도면2b



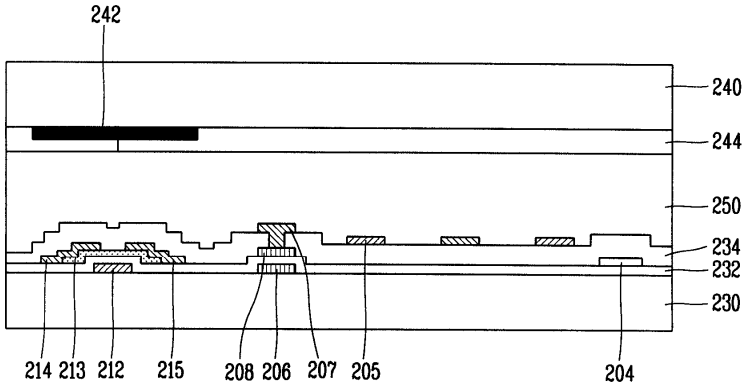
도면3a



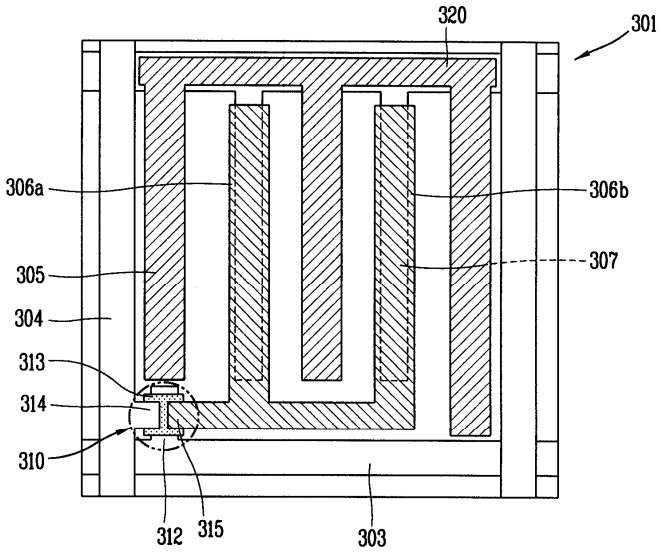
도면3b



도면4



도면5



专利名称(译)	具有改善的孔径比的横向电场模式液晶显示元件		
公开(公告)号	KR1020040050624A	公开(公告)日	2004-06-16
申请号	KR1020020078485	申请日	2002-12-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JUNGIL 이정일 KIM MINJOO 김민주		
发明人	이정일 김민주		
IPC分类号	G02F1/1362 G02F1/1343		
CPC分类号	G02F1/136213 G02F1/134363		
代理人(译)	PARK，JANG WON		
其他公开文献	KR100895017B1		
外部链接	Espacenet		

摘要(译)

在本发明的横向电场模式液晶显示元件中，存储电容器电极布置成与布置在像素中的像素电极重叠，以产生存储电容器。存储电容电极形成为具有与像素电极相同或更小的宽度，因此完全被像素电极覆盖。因此，可以防止存储电容器电极降低孔径比，同时可以产生所需量的存储电容。 图3A 指数方面 横向电场模式，存储电容，开口率，像素电极，存储电容电极，