(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[7]
G02F 1/133

(11) 공개번호 특2001-0052033
(43) 공개일자 2001년06월25일

(21) 출원번호 10-2000-0071737
(22) 출원일자 2000년11월29일
(30) 우선권주장 평11-341393호 1999년11월30일 일본(JP)
(71) 출원인 닛뽄덴끼 가부시끼가이샤 니시가키 코지
일본국 도요쿄오도 미나토구 시바 5쵸오메 7반 1고
(72) 발명자 스가와라노리아키
일본국도쿄도미나토구시바5쵸메7반1고닛뽄덴끼가부시끼가이샤나이
마쯔모토키미카즈
일본국도쿄도미나토구시바5쵸메7반1고닛뽄덴끼가부시끼가이샤나이
이타쿠라쿠니마사
일본국도쿄도미나토구시바5쵸메7반1고닛뽄덴끼가부시끼가이샤나이
시키타쯔야
일본국도쿄도미나토구시바5쵸메7반1고닛뽄덴끼가부시끼가이샤나이
시미즈토시카즈
일본국도쿄도미나토구시바5쵸메7반1고닛뽄덴끼가부시끼가이샤나이
쿠로하쇼이치
일본국도쿄도미나토구시바5쵸메7반1고닛뽄덴끼가부시끼가이샤나이
니시다신이치
일본국도쿄도미나토구시바5쵸메7반1고닛뽄덴끼가부시끼가이샤나이
(74) 대리인 최달용

심사청구 : 있음

(54) 액티브 매트릭스 액정표시장치

요약

액티브 매트릭스 LCD 장치는 반전 구동기술을 사용하여 LCD 패널을 구동한다. 2셋트의 입력 신호 또는 2개의 해상도 모드 사이의 전환은 전환된 신호의 이미지 표시의 재시작 이전에 픽셀전극(74)과 공통전극(76) 사이에 DC 전압을 인가함으로써 실행된다. 상기 DC 전압은 픽셀 어레이에서의 픽셀 사이에서 동일한 극성을 갖고, 그에 따라, 이미지 표시의 재시작 이후에 플리커를 감소시킨다.

대표도

도14

색인어

액티브 매트릭스, 반전, 신호, 픽셀, 전극, 어레이

명세서

도면의 간단한 설명

도 1은 IPS AM-LCD 패널의 등가 회로도.

도 2의 a 및 b는 LC층에서의 전하의 동작을 도시하고 있는 것으로서, 도 1의 LCD 패널의 개략 단면도.

도 3은 도 1의 LCD 패널에서 전극 및 노드의 전위에 대한 타이밍도.

도 4의 a 내지 c는 도 1의 LCD 패널의 픽셀에서 전하의 극성 패턴을 도시하는 개략도.

도 5는 본 발명의 제1의 실시예에 따른 LCD 장치의 블록도.

도 6은 도 5의 LCD 장치에서의 픽셀의 평면도.

도 7은 도 6의 VII-VII선에 따른 단면도.

도 8은 도 5에 도시된 비디오 신호 프로세서의 주요부에 대한 블록도.

도 9는 도 8에 도시된 비디오 신호 프로세서에서의 신호의 타이밍도.

도 10은 도 5의 LCD 장치에서의 전극 및 노드의 전위에 관한 타이밍도.

도 11은 도 6에 도시된 픽셀의 등가회로도.

도 12의 a 내지 c는 도 5의 LCD 장치의 극성 패턴을 도시하는 개략도.

도 13은 본 발명의 제2의 실시예에 따른 LCD 장치의 개략도.

도 14의 a 내지 c는 도 13의 LCD 장치에서의 신호의 타이밍도.

도 15의 a 내지 c는 도 13의 LCD 장치에서의 신호의 또 다른 타이밍도.

도 16은 도 15의 입력신호에 따라 작동하는 LCD 장치에서의 전극 및 노드의 전위에 관한 타이밍도.

도 17은 도 16에 도시된 신호를 처리하는 비디오 신호 프로세서의 회로구성의 일 예.

도 18의 a 내지 c는 도 13의 LCD 장치에서의 신호의 타이밍도.

도 19는 도 18에서 도시된 신호를 소거하기 위해 인가된 신호의 타이밍도.

도 20은 도 16에 도시된 신호를 처리하는 비디오 신호 프로세서의 회로구성의 다른 일 예.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액티브 매트릭스 액정표시장치(LCD)에 관한 것으로서, 특히, LCD 장치에서 액티브 매트릭스 LCD 패널을 구동하는 구동기술에 관한 것이다.

인-플레인 전환(IPS ; in-plane switching) 모드의 액티브 매트릭스 LCD(AM-LCD) 패널은 LC층을 구동하기 위해 수평(lateral) 전계를 사용하는데, 상기 수평 전계는 LC층과 기판 표면 사이의 인터페이스에 평행이다. IPS 모드의 AM-LCD 패널에서, LC층은 이전의 상(image)의 잔상이 장기간 스크린상에 표시되는 것을 방지하기 위해 낮은 특정의 저항률을 가져야만 한다(예컨대, JP-A-7-159786호 참조). 반면에, 일반적인 AM-LCD 패널에서, LCD 패널의 트위스트 네마틱(TN) 모드 또는 IPS 모드에 관계없이 모드 전환기능은 보통 2셋트의 입력부들 사이에서의 전환(switching) 또는 해상도의 표시모드들 사이에서의 전환에 사용된다.

예컨대, 표시 모드들 사이의 모드 전환기능에서, 1280 ×1024의 픽셀을 표시하기 위한 고해상도 모드(SXGA) 또는 640 ×480의 픽셀을 표시하는 저해상도 모드(VGA)는 유저에 의해 스크린상에서 선택된다.

상기 AM-LCD 패널에서, 이미지 신호는 표시모드들 사이 또는 입력부들 사이에서 모드 전환 동작 중에 수초간 LCD 패널에 공급이 되지 않는다. 만일 상기 전환기간동안에 이미지 표시하기 위해 스크린이 계속된다면, 많은 노이즈가 스크린상에 나타나서 화질을 떨어뜨린다. 따라서, 전환 동작 중에 스크린상에 이미지 표시를 일시적으로 중단시키기는 것이 AM-LCD에서 보통 채택된다.

이미지 표시의 일시적인 중단 이후에 LCD 패널이 이미지 표시를 위해 재시작한 후 , 약 2 내지 20초 동안에 스크린상에 플리커가 나타나는 현상이 있다. 상기 플리커의 원인은 이하와 같다고 여겨진다.

LCD 장치에서, 다른 구동 기술은 버닝(burning)과 같은 LC층의 악화를 방지하기 위해 통상 사용된다. 즉, 픽셀전극의 전위는 공통전극의 전위(또는 공통전극 전위)에 대해 극성이 교호된다. 전환동작 중에 스크린상에 이미지 표시를 일시 중단하기 위해, 예컨대, 픽셀전극의 전위를 접지 전위에서의 공통전극의 전위에 등화하는 것이 고려된다. 그러나, 전술한 것은 양 전극 사이에서 DC 전위의 차를 발생시킨다.

상기 DC전위의 차이(DC전위차)가 발생되는 원인은 공통전극은 접지전위를 즉시 취하고, 반면에 화소 전극은 픽셀전극의 많은 방전기간에 기인하여 전환동작 중에 접지 전위를 취하지 않기 때문이다. 상기의 원인은 화소 전극이 픽셀의 TFT 및 데이터선을 통해 접지되어 픽셀전극으로부터 전하의 방전(배출)을 지연시키기 때문이다.

DC전위의 차이는 LCD 패널의 돗트 반전 구동기술의 경우에서 화소마다 반전되고 이미지 신호는 컬럼 및 로우 방향으로의 픽셀에 의한 픽셀의 극성 및 또한 각 픽셀의 프레임에 의한 프레임에 의해 반전된다. 상기 DC전위의 차이는 전위차의 극성에 대해 반대인 극성을 갖고 각각의 픽셀 전극상으로의 전위차에 대응하는 량을 갖는 전하의 부착을 야기한다. LCD 패널이 모드 전환동작 중에 일시적인 중단으로부터 이미지 화상의 표시를 위해 개시된 후, 부착된 전하는 보통 전극상에 잔류전하로서 남는다. 상기 잔류전하는 전류 이미지와 겹쳐지고 매 프레임마다 명멸하여, 잔류전하가 최종적으로 사라질 때 까지 플리커를 유발한다. 상기 플리커는 LC층의 특정 저항률의 감소에 따라 보다 현저해진다.

플리커의 문제에 관한 메커니즘은 도면을 참조하여 기술될 것이다. 도 1은 LCD 패널의 픽셀 어레이에서

의 각 픽셀의 등가회로도를 도시한다. 픽셀은 LC층 커패시터(CL) 및 LC층 저항(RL)을 포함하며, 커패시터(C1) 및 픽셀전극(210)과, 커패시터(C2)를 통해 공통전극(212)까지 접속된 병렬 분기점을 포함한다. 상기 커패시터(C1, C2)는 LC층, 픽셀전극(210), 및 공통전극(212)에 의해 형성되고 그들 각각은 도 2의 a(및 도 2의 b)에 도시된 바와 같은 패시베이션층(213) 사이에 삽입되어 있다. 상기 픽셀전극(210)은 TFT(206)의 소스에 접속되고, 그 드레인은 대응 데이터선에 접속된다. TFT(206)의 게이트는 대응하는 게이트선(202)에 접속되며, 공통전극(212)은 공통전극선(204)에 접속된다.

DC 전압이 해상도 모드를 위한 전환동작 및 입력신호의 선택중에 픽셀전극(210)과 공통전극(212)사이에 인가되어 픽셀전극(210)이 공통전극(212)에 대해 양의 전극을 갖는 경우에, LC층의 양의 전하는 도 2의 a에 개략적으로 도시된 바와 같이 공통전극(212)를 향해 이동한다. 공통전극(212)의 주변에 도달한 후에 양전하는 잔류전하를 형성하고 도 2의 b에 도시된 바와 같이 공통전극(212)으로부터 화소전극(210)까지의 방향으로 전계를 가한다.

도 3은 전환 동작에 대해 도 1의 LCD 패널의 노드와 전극의 전위에 대한 타이밍도이고, 데이터선의 입력은 입력신호(A)로부터 입력신호(B)까지 전환된다. 도 3에서, 게이트선 전위, 데이터선 전위, 픽셀전극 전위 및 공통전극 전위는 V_G, V_D, V_{PI}(V_{PI}'), 및 Vcom으로 표시된다. 양극을 갖는 입력신호(A)는 데이터선을 통해 입력되고, 게이트선(202)의 입력전위(V_G)는 Vgoff 레벨(예컨대, -10볼트)로부터 Vgon 레벨(예컨대, 19볼트)까지 한순간의 시간(t1)에서 상승하고, TFT(206)는 온으로 변해 입력신호(A)를 픽셀전극에 전달하고, 그에 따라, 전원이 t6에서 오프로 전환될 때 까지 전압레벨을 유지한다. 도 3에서, 데이터선에 인가된 바이어스 전압만이 데이터선의 전위(V_D)로서 표사되고 중첩되는 전압은 생략된다.

게이트선(202)의 전위(V_G)는 T2에서 Vgon 레벨로부터 Vgoff의 레벨까지 상승하여, T6까지 게이트선(202)상에서 유지된다. 공통전극 전위(Vcom)는 t6가지 일정한 레벨(예컨대, 4.5 볼트)를 취한다. 부재신호가 전달되어 입력신호는 데이터 드라이버로부터 제공되지 않는다는 것을 지시하는 시간(t4)까지 데이터선(200)상에 전압 레벨(V_D)이 유지된다 할 지라도, 입력신호(A)는 t3에서 데이터선(200)으로부터 데이터드라이버에 의해 오프로 전환된다.

입력신호(A)가 오프로 전환되는 시간(t3)과 부재신호가 전달되는 시간(t4)의 사이의 시간주기(T1)는 입력 비디오 신호를 수신하는 비디오 신호 프로세서가 입력신호의 부재를 판단하는데 필요한 시간에 대응하는 것으로서, 예컨대, 40밀리초 정도이다. 시간(t4)과 LCD 패널에 대한 전원공급이 오프로 전환되는 시간(t6)의 사이의 시간주기(T2)는 입력신호의 부재를 판단한 후 전원을 오프로 전환하는데 필요한 시간에 대응하는 것으로서, 예컨대, 약 5 밀리초이다. 입력신호(B)가 온으로 전환되는 시간(t7)과 시간(t6) 사이의 시간주기(T3)은 신규의 신호를 대기하는데 필요한 대기시간에 대응하는 것으로서, 예컨대, 약 300 밀리초이다.

데이터 드라이버에 대한 전원은 부재신호가 전달되어 입력신호의 부재를 나타내는 시간(t4)에서 오프로 전환되고, 데이터선의 전위는 떨어져 시간(t5)에서 접지전위를 취한다.

시간(t6에서), LCD 장치에 대한 전원은 오프로 전환되고, 게이트선(202)과 공통전극선(204)에는 접지전위가 직접 인가되고, 게이트선 전위(V_G)와 공통전극 전위(Vcom)는 접지레벨을 취하고, 픽셀전극 전위(V_{PI})는 TFT를 경유한 방전에 기인하여 접지레벨까지 하강한다. 그로인해, 화소전극(210)과 공통전극(212) 사이의 양의 DC 전압의 차이(ΔV)가 발생된다.

반면에, 입력신호(A)가 화소에서 음의 극성을 갖는다면, 음의 DC 전압차이($-\Delta V$)는 도 3에 도시된 바와 같이, 화소전극(210)의 전위(V_{PI}')와 공통전극(212)의 전위(Vcom) 사이에서 발생된다. 상기 DC 전압차(ΔV 및 $-\Delta V$)는 픽셀전극의 주변에 대해 반대인 극성을 갖는 전하의 부착에 기인하여 스크린상에 플리커를 야기한다.

LCD 장치는 돗트 반전 구동 기술을 사용하며, 입력신호(A)가 오프로 된 후 입력신호(B)가 온으로 전화되기 전에 한 그룹의 픽셀에 대한 픽셀전극의 극성은 도 4의 a에 도시된 바와 같다. 즉, 그룹(3 ×3)의 픽셀전극은 전하를 도 4의 a에 도시된 엇갈린 패턴으로 저장한다. 상기의 가정의 경우에, 픽셀에 대한 잔류전하의 패턴은 도 4의 b에 도시된 바와 같이 도 4의 a의 엇갈린 패턴과 반전되어 있고 전류전하는 픽셀전극상에 유지된 전위를 소거하거나 반전시킨다.

입력신호(B)가 다음의 프레임에서 온으로 변한 후, 픽셀의 전위는 도 4의 a에서 도시된 이전의 프레임의 입력신호의 패턴으로 부터 반전되고, 픽셀전극에 공급된 입력신호의 전위는 도 4의 c에 도시된 바와 같이 잔류전하에 의해 보강된다. 또 다른 다음의 프레임에서, 입력신호 패턴은 반전 구동기술에 기인하여 도 4의 b에 도시된 패턴으로 변하고, 잔류전하는 픽셀전극상에 입력신호의 전위를 소거하거나 감소시킨다. 즉, 잔류전하는 짝수 번호의 프레임에서 신호전하를 감소하고, 잔류전하는 홀수 번호의 프레임에서 신호전하를 보강한다. 상기로 인해 프레임 주파수에 대응하는 주파수를 갖는 플리커를 야기하여, IPS 모드의 LCD 패널의 경우에서 보다 발생하기가 쉽다. 상기 플리커는 특정 저항율이 낮은 LC층의 경우, 특히, LC층의 전하의 고속의 이동에 기인하여 저항률이 1×10^{13}승 이하인 경우, 및 잔류전하에 의해 발생된 보다 높은 전계를 갖는 경우에 보다 인식하기 쉽다.

유사한 플리커에 관한 문제는 돗트 반전 구동모드 이외에 프레임 반전 구동모드, 주사선 반전 구동모드, 및 데이터선 반전 구동모드의 경우에 상승된다. 다른 변경수단을 추가함이 없이 본문에서 사용되는 "반전 구동모드"라는 용어는 돗트 반전 구동모드, 주사선 반전 구동모드 또는 데이터선 반전 구동모드를 의미한다.

발명이 이루고자하는 기술적 과제

전술한 사항을 고려하여, 본 발명의 목적은 해상도 모드 또는 입력신호에 대한 동작을 전환하는 동안에

플리커를 방지할 수 있는 AM-LCD 장치를 제공함을 목적으로 하고 있다.

본 발명은 액티브 매트릭스 LCD(AM-LCD)를 제공하는 것으로서, 상기 AM-LCD 장치는 픽셀 트랜지스터, 상기 픽셀 트랜지스터의 소스에 접속된 픽셀전극, 및 공통전극을 각각 구비하고 있으면서 매트릭스 형상으로 배열된 다수의 픽셀과; 픽셀 어레이의 컬럼 방향으로 배열된 픽셀 트랜지스터 각각의 드레인에 각각 접속된 다수의 데이터선과; 상기 픽셀 어레이의 로우 방향으로 배열된 상기 픽셀 트랜지스터 각각의 게이트에 접속된 다수의 게이트선과; 상기 데이터선을 구동하는 데이터 구동블록과; 상기 게이트선을 구동하는 게이트 구동블록과; 상기 픽셀 에레이에 대한 전원을 전환하는 전환부와; 상기 데이터 구동블록을 제어하는 제어부를 포함하는 것으로, 상기 전환부와 상기 게이트 구동블록은 반전 구동모드로 상기 픽셀 어레이를 구동하는 상기 픽셀 어레이를 포함하고, 상기 제어부는 픽셀 각각의 상기 픽셀전극과 상기 공통전극의 전위차가 상기 데이터선에 대한 이미지 데이터가 오프로 전화된 후부터 상기 픽셀 어레이에 대한 전원이 상기 모드 스위칭을 위해 온으로 전환되기 이전 까지의 전환기간동안 상기 픽셀의 사이에서 동일한 극성을 갖도록 모드 전환을 제어하는 것을 특징으로 하고 있다.

본 발명의 LCD 장치에 따르면, 픽셀 사이에서의 픽셀 전극과 공통전극의 전위차의 동일한 극성은 잔류전하에 의해 야기된 플리커의 감소를 가능하게 해준다.

전술한 목적과 다른 목적, 특징, 및 장점은 첨부된 도면을 참조하여 이하의 설명으로부터 보다 명백해질 것이다.

발명의 구성 및 작용

이하, 본 발명은 첨부된 도면을 참조하여 보다 상세히 기술될 것이다.

도 5에서, 본 발명의 제1 실시예에 따른 AM-LCD는, 매트릭스로 배열된 다수의 픽셀(도시되지 않음), 매트릭스의 컬럼 방향으로 뻗어있는 다수의 데이터선(도시되지 않음), 및 매트릭스의 로우 방향으로 뻗어있는 다수의 게이트선(도시되지 않음)을 포함하는 픽셀 어레이(10)와; 데이터선의 대응하는 하나에 대해 각각 배치된 다수의 데이터 드라이버(12-1 내지 14-N)를 포함하는 데이터 드라이버 블록과; 게이트선의 대응하는 하나에 대해 배치된 다수의 게이트 드리이버(14-1 내지 14-N)를 포 함하는 게이트 드라이버 블록과; 데이터 드라이버(12-1 내지 12-M)에 대한 비디오 입력신호을 구동하는 수평 신호 프로세서(16)와; 상기 게이트 드라이버(14-1 내지 14-N)에 대한 게이트 신호를 전달하는 수직 신호 프로세러(20)와; 비디오 입력 신호를 수평신호 프로세서(16)에 전달하고 게이트 신호를 수직 신호프로세서(18)에 전달하는 입력 신호(A) 또는 입력신호(B) 중 하나를 수신하는 비디오 신호 프로세서와; 비디오 신호 프로세서(20)에 대한 입력신호(A) 또는 입력신호(B) 중 하나를 선택하는 전환부재(22)와; 상기 비디오 신호 프로세서(26)로 부터 타이밍 신호를 수신하는 백 라이트 드라이버(26); 및 후측으로 부터 LCD 패널을 조사하는 백 라이트 드라이버(26)에 의해 구동되는 백 라이트(24)를 포함한다.

각각의 픽셀은 게이트선 중 대응하는 하나에 접속된 게이트, 데이터선 중 대응하는 하나에 접속된 드레인, 소스, TFT의 소스에 접속된 픽셀, 및 모든 픽셀에 대해 공통인 공통전극선에 접속된 공통전극을 포함하는 TFT를 포함한다.

상기 비디오 신호 프로세서(20)는 입력신호 및 동기신호를 수신하여 픽셀 어레이(10)에 대한 이미지 신호를 생성한다. 상기 비디오 신호 프로세서(20)는 RGB의 비디오 신호 및 클록 신호를 수평 신호 프로세서(16)에 전달하고, 공통전극 전위를 공통전극선에 전달하고, 게이트 전압 신호를 게이트선에 전달한다. 상기 비디오 신호 프로세서(20)는 또한 LCD 장치에 대한 제어부로서 작용하고, 백 라이트(26)를 제어하는 타이밍 신호를 백라이트 드라이버(26)에 전달한다.

상기 스위치 부재(22)는 외부 신호에 따라 입력신호(A)와 입력신호(B)를 전환한다.

도 6 및 7에서, 픽셀 어레이(10)의 각각의 픽셀은 해칭선으로 표시된 픽셀전극(35)과 수평(lateral) 전계를 그 사이에서 생성하는 공통전극(31)을 포함한다. 접속된 공통전극(31)과 상기 공통전극에 접속된 공통전극선(32)은 제1 투명 절연 기판(30)의 내부 표면상에 형성된다. 게이트 절연막(34)은 공통전극(31)과 공통전극선(32)상에 형성되고, 픽셀전극(35)과 TFT(55)를 통해 상기 픽셀전극(35)에 접속된 데이터선(36)은 게이트절연막(34)상에 형성된다. 보호 절연막(37)은 픽셀 전극(35)과 데이터선(37)상에 형성되고, 배향막(42)은 상기 보호 절연막(37)상에 형성된다. 극성 플레이트(44)는 제1의 투명성 절연기판(30)의 외부 표면상에 부착된다. 상기 제1의 절연기판(30) 및 전술한 바와 같은 적층체는 제1의 패널을 형성한다.

제2의 패널은 제2의 투명성 절연기판(38)과, 상기 제2의 투명성 절연기판(38)의 내부표면상에 형성되며 픽셀의 외측의 누출광을 차폐하기 위한 각각의 픽셀에 대한 개구를 구비한 블랙 매트릭스(39)와, 상기 블랙 매트릭스(39)의 개구내에 상기 제2의 절연기판(39)상에 형성된 컬러 필터층(40)과, 블랙 매트릭스(39)와 컬러필터막(40)을 포함하는 전면상을 피복하는 오버코트막(41)과, 그 상부에 형성된 배향막(42)을 포함한다.

상기 제1 및 제2의 패널은 스페이서와 LC층(50)이 그 사이에 삽입되도록 균일한 간격을 두고 서로 각각 대향하도록 배치된다. 상기 LC층(50)은 장기간 표시된 고정 패턴에 의해 발생된 잔류 화상의 제거를 달성하기 위해 10^{12}Ω-cm 정도로 낮은 저항률을 갖는다. 도 6에서, 게이트선은 로우 방향으로 뻗어있고, 데이터선(36)은 컬럼 방향으로 뻗어있다. 아일랜드 무정형 실리콘(52)은 TFT의 소스/드레인 영역을 구현하기 위해 인과 같은 불순물로 도핑되어 제1의 투명성 절연기판(30)상에 형성된 게이트 절연막(34)상에 적층되고, 그 소스/드레인은 픽셀전극(35)과 데이터선(36)에 각각 접속된다.

비디오 신호 프로세서(2)의 일부를 도시하는 도 8에서, 비디오 신호 프로세서(20)는 입력 신호전압이 데이터 선에 공급되지 않아 판단 신호(POWC)에서 부재 신호를 전달하는 것을 판정하는 판정부(60)와, 제어신호를 발생하도록 부재신호에 반응하는 제어신호 발생기(62)와, 출력전압을 전환하는 전환부(64)를 포

함한다.

제어신호 발생기(62)로부터의 제어신호는 공통전극의 전위(Vcom)과 게이트선의 전위(V_G)를 전환하는데 사용된다. 도 9에서, 판정부는 판정신호에서 비액티브한 레벨로서 5볼트를 전달하고, 부재신호로서 0볼트를 전달한다. 공통전극 전위(Vcom)은 정규의 동작에 대한 판정신호에 따라 COM(+5 볼트) 및 -5볼트사이에서 전환되고, 전원이 오프상태이면 0볼트를 취한다. 게이트선 전위(V_G)에 대한 게이트-오프 전위(Vgoff)는 제어부(62)로부터의 제어신호에 따라 -10볼트 과 0볼트 사이에서 스위치(69)에 의해 전환된다. 출력전위(Vcom 및 Vgoff)는 게이트 드라이버(14-1 내지 14-N)를 제어하고, 적합한 전위가 각 부에 전달된다.

도 10은 입력 신호(A)가 비디오 신호로서 선택된 후 비디오 신호가 입력신호(A)와 입력신호(비이)로부터 전환되는 경우에 신호 타이밍도의 일 예를 도시한다. 도 11를 추가로 언급하면, 입력신호(A)를 픽셀에 저장하기 위해, 소정의 게이트선(82)의 전위는 게이트-오프 전압(Vgoff)(-10볼트)으로부터 게이트-온 전압(Vgon)(19볼트)까지 전환되고, TFT(72)는 온으로 되고, 데이터선(80)상의 입력신호(A)의 전위는 커패시터(CL)를 충전하기 위해 픽셀전극(74)에 전달된다. 따라서, 픽셀전극(74)의 전위(V_{PI}')는 소정의 전위를 취한다. 도 10에서, 바이어스전압(V_D)만이 데이터선(80)의 전위에 대해 도시되고, 신호 전압은 생략되었다.

게이트선(82)의 전위는 Vgon으로부터 Vgoff까지의 시간 t11에서 변하여 판정신호(POWC)가 입력 신호전압의 부재에 기인하여 t13에서 액티브 로우 레벨로 떨어질 때까지 상기 레벨을 유지한다. 공통전극 전위(Vcom)는 t13까지 일정한 전위(예컨대, 5볼트)를 취한다. 데이터선전위(V_D)는 부재신호가 전달된 t14에서 데이터 드라이버로부터 전달됨에 따라 입력전압을 취한다.

입력신호가 전달되지 않는 t12와 부재신호가 전달되는 t13 사이의 시간주기(T10)는 비디오 신호 프로세서(20)가 입력전압의 부재를 검출하는데 필요한 시간에 대응하는 것으로서, 예컨대, 약 40밀리초이다. 전원이 LCD 패널로부터 오프로 전환되는 시간(t14)와 시간(t13)의 사이의 시간주기(T11)는 스위치 오프에 필요한 시간에 대응하고 예턴대 5밀리초이다. 입력이 입력신호(B)에 전환되는 t15와 t14 사이의 시간주기(T12)는 새로운 신호를 대기하는 대기시간에 대응하는 것으로서, 예컨대, 약 300밀리초이다.

제어신호 발생기(62)는 상기 부재신호에 대응함으로써 t13에서 제어신호를 스위칭부(64)에 전달한다. 그 결과, 공통전극(76)의 전위(Vcom)은 5볼트로부터 -5볼트까지 전환되고, 게이트선(82)의 전위(V_G)는 게이트-오프 전압(Vgoff(-10볼트))로부터 0볼트까지 전환된다. 동시에, 전원은 데이터 드라이버로부터 t13에서 오프로 전환되고, 데이터선의 전위(VD)는 접지전위를 향해 점차로 떨어진다.

공통전극(76)의 전위(Vcom)가 t13에서 5볼트로부터 -5볼트까지 떨어짐에 기인하여, 픽셀전극(74)의 전위(VPI)는 공통전극(76)의 전위강하에 대응하는 전압 정도로 강하하고, 접지전위 이하의 전위를 취한다.

반면에, 게이트선(82)의 전위, 또는 TFT(72)의 게이트 전위는 Vgoff(-10볼트)로부터 0볼트까지 상승하여 상기 TFT(72)를 온으로 한다. 데이터선(80)에는 이미 상기 단계에서 접지전위가 인가되므로, 커패시터(CL, C1 및 C2)에 저장된 전하는 픽셀전극(74)의 전위(V_{PI})가 접지전위까지 떨어질 때 까지 데이터선(80)을 통해 방전된다.

이어서, 전원은 LCD 패널로부터 티14에서 오프로 전환되고, 공통전극(76)의 전위(Vcom)은 -5볼트에서 0볼트로 상승한다. 상기 전위(Vcom)의 상승에 따라, 픽셀전극(74)의 전위(V_{PI})는 전위(Vcom)이 접지전위에 도달한 후, 방전에 의해 접지전위를 향해 하강하는 t16까지 접지 전위로 부터 상승한다.

따라서, 픽셀전극전위(VPI)와 공통전극 전위(Vcom) 사이의 전위차는 LCD 패널에 대한 전원의 오프로의 전환 및 입력이 입력신호(B)로 전환되는 t15이전에 0볼트가 된다.

전술한 실시예에서, 픽셀전극이 입력신호(A)로서 양의 전위를 수신하는 제1의 경우가 기술되었다. 만일 제2의 경우에서 픽셀전극이 입력신호(A)로서 음의 신호를 수신하면, 제2의 경우에서 픽셀전극의 전위(VPI다시)와 공통전극의 전위의 전위차는 제1의 경우와 거의 동일하여 t15까지는 제1의 경우와 유사하게 변하고, 결국 거의 0볼트를 취한다. 따라서, 픽셀전극과 공통전극의 전위차는 픽셀 어레이의 픽셀 전극 중에서 동일한 극성(또는 균일한 극성)을 갖는다.

전술한 실시예에서, 픽셀전극과 공통전극 사이의 전위차는 결국 0볼트를 취한다고 예시되었다. 그러나, 본 발명에서 픽셀에서의 전위차가 입력신호의 전환이전, 보다 상세하게는 전원공급이 픽셀 어레이에 대해 오프로 전화되기 전에 픽셀 어레이의 픽셀 중 동일한 극성을 갖는다면 충분하다.

픽셀전극 중 전위차의 동일한 극성을 달성하기 위해, 정규의 동작 중에 유지된 최대 픽셀전극전위(V_{PMAX})와 다른 전위(Vcom 및 V_G) 사이에 유지되는 이하의 관계식이면 충분하다.

V_{PMAX} - (Vcomo - Vcom) 〈 V_G + 4볼트.....(1)

여기서, Vcomo는 정상 동작중의 공통전극 전위이다.

즉, 제어부로서 기능하는 비디오 신호 발생기(20)는 전술한 전위 관계식을 만족시키는 동작 시간에서 게이트 드라이버(14-1 내지 14-N)를 제어해야만 한다.

V_G = 0볼트 이고 Vcom ≤-4볼트가 만족되는 시간기간은 5밀리초 이상으로 설정되면 양호하다.

전원이 LCD 패널(10)에 대해 오프로 전환되기 이전에 픽셀 어레이에서 픽셀 사이의 전위차의 동일한 극성의 효과 및 장점은 도 12의 a 및 c를 참조하여 이하에서 상세히 기술될 것이다.도 12의 a의 각각의 픽

셀에서 (+)의 표시에 의해 도시된 바와 같이, 모든 픽셀은 동일한 양의 극성 구동에 기인하여 전원이 오프로 전환된 이후 t16에서 픽셀전극과 공통전극 사이의 전위차의 동일한 극성를 갖는다. 즉, 모든 잔류 전계는 도 12의 a에 도시된 바와 같이 모두 양의 값이다. 도 12의 b 및 c에서, 도 12의 b 및 c에서의 각각의 픽셀에서 원으로 표시된 양 또는 음의 표시는 입력신호(B)의 극성을 나타내고, 상기는 돗트 반전 구동기술에 따라 t15에서 공급된다. 도 12의 b는 짝수 번호의 프레임에서의 픽셀의 상태를 나타내고, 도 12의 c는 홀수 번호의 프레임에서의 픽셀의 상태를 나타내고, 양 도면은 돗트 반전 구동신호가 도 12의 a에서 도시된 상태의 이후에 수신된다는 것을 도시하고 있다. 각각의 픽셀에서의 양 극성에 대한 동일한 신호의 의미는 전계가 픽셀에서 강화된다는 것을 의미하고, 양 극성에 대한 반대의 신호의 의미는 전계가 픽셀에서 소거된다는 것을 의미한다. 도 12의 b 및 c로부터 자명하듯이 전계의 강도(I)와 소거(C)는 각각의 픽셀에서 짝수 번호의 프레임과 홀수 번호의 프레임 사이에서 반대이다.

플리커는 도 12의 a 및 b로부터 이해될 수 있듯이, 프레임 사이의 각각의 픽셀을 인지함으로써 각각의 픽셀에서 발생되지만, 각각의 픽셀의 플리커는 인접한 픽셀 사이에서 소거된다. 상기의 원인은 픽셀의 명도가 각각의 프레임의 전체 스크린상에서 평균화되고 육안으로 관찰되어 프레임 사이의 유사한 명도에 기인하여 플리커로서 프레임 사이의 차이를 인식하지 못하기 때문이다.

요약하면, 입력신호 또는 해상도 모드 사이의 전환동작에 대해, 픽셀 어레이에 대한 전원의 오프로의 전환이전에 모든 픽셀이 픽셀전극 전위와 공통전극 전위 사이의 동일한 극성을 갖도록 하는 픽셀을 제공함으로써, 플리커는 반전 구동 기술의 형태에 관계없이 방지될 수 있다.

비디오 신호 프로세서(20)는 데이터 드라이버(12-1 내지 12-M) 및 게이트 드라이버(14-1 내지 14-N)을 제어하여 픽셀 어레이의 모든 픽셀은 전원의 오프로의 전환이전에 블랙 레벨을 수신한다. 상기로 인해 플리커늬 방지에 있어서, 보다 나은 개선이 이루어진다. 블랙 레벨을 모든 픽셀에 제공함으로써 양의 전위를 수신하는 픽셀과 음의 전위를 수신하는 다른 픽셀 사이의 절대적인 차이는 감소되고, 픽셀에서의 잔류전하의 차이은 감소될 수 있다. 플리커 발생의 억제는 블랙 레벨을 모든 픽셀에 제공하는데 가장 효과적이다. 그러나, 단지 일부의 픽셀에 블랙데이터가 공급되어 몇몇의 효과를 달성한다. 여기서 사용되는 "블랙 레벨"이라는 용어의 의미는 정상적인 블랙 모드를 사용하는 IPS-LCD에서 사용된 "블랙 레벨"을 의미하고, 따라서, 정상적인 화이트 모드를 사용하는 TN-LCD와 같은 수직 전계 LCD에서의 "화이트 레벨"이라는 용어에 대응한다.

비디오 신호 프로세서(20)는 게이트 드라이버(14-1 내지 14-N)를 제어하여 픽셀전극과 공통전극 사이의 전위차는 모든 픽셀 어레이에 대한 블랙 레벨의 데이터를 전달하기 이후 및 픽셀 어레이에 대한 전원의 오프로의 전환 이전에 모든 픽셀 사이에서 동일한 극성을 갖는다.

상기 비디오 신호 프로세서(20)는 전술한 식(1);

V_{PMAX} - (Vcomo - Vcom) 〈 V_G + 4볼트.....(1)

이 블랙 레벨 데이터를 픽셀 어레이에 전달하기 이후, 픽셀 어레이 대한 전원의 오프로의 전화 이전에 픽셀전극, 공통전극 및 게이트 전극의 전위 사이에서 만족시키는 소정의 타이밍에서 게이트 드라이버(14-1 내지 14-N)를 제어한다.

소정의 타이밍이 관계식 V_G = 0볼트 및 Vcom ≤14 볼트가 만족되는 시간 주기가 5밀리초 이상 계속되도록 허용하는 것이 바람직하다.

상기 비디오 프로세서(20)는 해상도 모드 또는 입력신호에 대한 전환동작 중에 백 라이트를 오프로 하여 장애가 발생된 이미지가 스크린상에서 관찰되는 것을 방지한다. 반면에, 비디오 신호 프로세서(20)가 전환동작 중에 백 라이트를 온으로 되도록 제어하면, 플리커는 장애가 발생된 이미지가 스크린상에 나타나더라도 보다 빨리 제거될 수 있다. 백라이트의 온 상태는 TFT가 조사에 기인하여 온 전류를 증가하도록 하여, 그에 따라 픽셀 어레이의 각 픽셀의 전위 변동을 가속화하여 단시간내에 전위차의 동일한 극성을 얻는다.

본 발명의 제2의 실시예에 따른 AM-LCD는 비디오 신호 프로세서(20)에 의한 제어를 제외하고는 제1의 실시예의 AM-LCD의 구성과 유사한 구성을 갖는다. 본 실시예의 AM-LCD에서, 비디오 신호 프로세서(20)는 데이터 드라이버(12-1 내지 12-M)를 제어하여 전환동작이 입력신호의 수신을 재시작하도록 종료된 후 각각의 데이터선이 픽셀전극과 공통전극 사이에 인가된 DC 전압에 동일한 전대 전압을 갖고 있으면서 DC 전압에 대해 반대 극성을 갖는 신호와 중첩되는 입력 신호를 수신하게 한다.

도 13은 본 실시예의 AM-LCD 장치에서의 비디오 신호 프로세서(20)에 의한 제어의 원리를 도시하고, 전환 동작은 고해상도의 모드의 SXGA(1280 ×1024)로부터 저해상도의 모드의 VGA(640 ×480)까지 해상도의 모드를 전환하기 위해 행해진다. 고 해상도 모드를 위한 이미지 표시가 픽셀전극과 공통전극 사이의 양극을 저장하는 픽셀 각각의 시간(ti)에서 중단된 후, 공통전극에는 접지전위가 인가되어 접지 전위를 즉시 취하고, 픽셀전극에는 TFT를 경유하여 접지 전위가 인가되어 접지 전위로 떨어진다. 따라서, 종래기술과 관련하여 기술된 바와 같이, 전위차 또는 양극을 갖는 DC 전압(V0)는 저해상도 모드를 위한 신호의 입력이 개시되는 ti와 ti + 1의 사이의 시간 주기(T21) 동안에 픽셀전극과 공통전극의 사이에 인가된다.

DC 전압에 대해 반대의 극성을 갖는 DC 전압(Va -Vb)은 본 실시예에서 시간주기(T22)동안에 시간에 대해 DC 전압의 적분인 적분(Q2)을 사용하여 ti와 ti + 1 사이의 시간주기(T21)동안에 시간에 대한 DC 전압의 적분인 적분(Q1)을 소거하는 시간 주기(T22) 및 DC 전압을 제어하는 중에 ti +1와 ti + 2사이의 시간주기(T22)동안에 인가된다.

상기는 각각의 픽셀에 저장된 잔류전하를 전환동작 중에 LC층을 향해 재빨리 확산하도록 하여, 잔류전하에 의해 야기된 스크린상의 플리커를 방지한다.

전술한 동작은 해상도의 모드의 전환 뿐만아니라 입력 신호를 전환하는데 적용된다. 도 13은 양의 전위

신호가 전환동작의 이전에 픽셀에 저장된는 실시예를 도시하고 있지만, 음의 전위 신호가 저장되어 전위의 극성이 반전되는 경우에도 유사한 동작이 발생된다. 따라서, 상기 두번째 경우에 대한 기술은 편의상 생략된다.

본 발명에 따른 제2의 실시예의 일 예는 도 14의 a 내지 c를 참조하여 기술될 것인데, 상기 도면은 돗트 번잔 구동 기술에서의 신호 파형을 도시하고 있다. 설명된 예에서, 각각의 픽셀에 저장된 전하의 LC층으로의 확산은 제1의 프레임 기간동안에 플리커의 발생을 방지하기 위한 전환 이전에 각각의 픽셀에 저장된 DC 전압에 대해 반대 극성인 신호를 인가함르써 가속된다. 상기 경우에 반대 극성을 갖는 DC 전압(Va-Vb)은 DC 전압이 인가되는 시간 주기(T22)의 곱(또는 적분)이 DC 전압(Va-Vb)에 의해 시간 주기(T21)이내의 시간에 대해 DC 전압(VO)의 적분을 초과하지 않도록 즉, Q1 ≥Q2이 되도록 인가된다. 반면에, 만일 Q1= Q2가 달성되면, 플리커의 발생은 회피되고, 만일 Q1 ≤Q2이면 플리커는 감소된다.

도 14의 a는 돗트 반전 기술의 경우에 양의 전위신호가 해상도의 모드를 전환하기 위해 전원의 오프로의 전환이전에 저장되는 픽셀에 대응하는 데이터선에 인가된 신호파형을 도시하고 있다. 도 14의 b는 음의 전위신호가 전원의 오프로의 전환 이전에 저장되는 픽셀에 대응하는 데이터선에 인가된 신호 파형을 도시한다. 도 14의 c는 판정부(60)로부터 전달된 판정신호(POWC)에서 부재신호의 신호 타이밍을 도시하고 있다.

도 14의 a에서 자명하듯이, 상기 저장된 양의 입력신호에 대해 반대극성인, 즉, 절대적인 DC 전압(Va-Vb)을 갖는음의 극성인 신호 전압과 중첩되는 입력신호는 양의 극성 신호가 저장되는 픽셀에 대해 구동을 재시작한 후, 오프로의 전환 이전의 제1의 프레임 동안에 인가되고, 정상적인 입력신호는 다음 프레임의 개시로부터 동일한 픽셀에 인가된다.

반면에, 도 14의 b에 도시된 바와 같이, 상기 저장된 음의 입력신호에 대해 반대극성인, 즉, 양의 DC 전압(Va-Vb)을 갖는 양의 극성인 신호와 중첩되는 입력신호는 음의 극성 신호가 저장되는 픽셀에 대해 제1의 프레임 중에 오프로의 전환이전의 제1의 프레임 동안에 인가되고, 정상적인 입력신호는 다음 프레임의 개시로부터 동일한 픽셀에 인가된다.

본 발명의 제2의 실시예의 제2의 예는 도 15a 내지 c를 참조하여 기술되는데, 돗트 구동 기술에서의 신호파형을 도시하고 있다. 설명된 예에서, LC층에 대한 각각의 픽셀에 저장된 전하의 확산은 제N의 프레임 중에 전환 이전에 각각의 픽셀에 저장된 DC 전압에 대해 반대 극성인 신호를 인가함으로써 가속되어, 플리커의 발생을 방지한다. 상기 경우에, 반대 극성을 갖는 신호 전압(Va-Vb)은 DC 전압이 인가되는 시간 주기(T22)의 곱(또는 적분)이 DC 전압(Va-Vb)/N에 의해 시간 주기(T21)이내의 시간에 대해 DC 전압(VO)의 적분을 초과하지 않도록 즉, Q1 ≥Q2이 되도록 인가된다. 반면에, 만일 Q1= Q2이면 플리커의 발생이 회피되고, 만일 Q1 ≥Q2이면 플리커는 감소된다.

도 15의 a는 돗트 반전 기술의 경우에 음의 전위신호가 해상도의 모드를 전환하기 위해 전원의 오프로의 전환이전에 저장되는 픽셀에 대응하는 데이터선에 인가된 신호파형을 도시하고 있다. 도 15의 b는 음의 전위신호가 전원의 오프로의 전환 이전에 저장되는 픽셀에 대응하는 데이터선에 인가된 신호 파형을 도시한다. 도 15의 c는 판정부(60)로부터 전달된 판정신호(POWC)에서 부재신호의 신호 타이밍을 도시하고 있다.

도 15의 a에서 자명하듯이, 상기 저장된 음의 입력신호에 대해 반대극성인, 즉, 절대적인 DC 전압(Va-Vb)/N을 갖는 음의 DC 전압을 갖는 신호 전압과 중첩되는 입력신호는 음의 극성 신호가 저장되는 픽셀에 대해 구동을 재시작한 후, 오프로의 전환 이전의 제N의 프레임 동안에 인가되고, 정상적인 입력신호는 제(N+1)의 프레임의 개시로부터 동일한 픽셀에 인가된다.

반면에, 도 15의 b에 도시된 바와 같이, 상기 저장된 양의 입력신호에 대해 반대극성인, 즉, 음의 DC 전압(Va-Vb)을 갖는 음의 극성인 신호와 중첩되는 입력신호는 음의 극성 신호가 저장되는 픽셀에 대해 오프로의 전환이전의 제N의 프레임 중에 인가되고, 정상적인 입력신호는 제(N+1)의 프레임의 개시로부터 동일한 픽셀에 대해 인가된다.

도 16에서, 반대 극성의 신호가 구동의 재개시 이후의 제N의 프레임 중에 인가되는 제2의 실시예의 신호파형이 도시되어 있다. 부재신호는 판정신호(POWC)의 저 레벨에 의해 시간(tk)에서 전달되고, 동시에, 게이트선의 전위(V_G)는 -10볼트로부터 접지 전위까지 상승한다.

부재신호에 반응함으로써, 전원은 tk에서 오프로 전환되고, DE전압은 전원이 오프로 전환된 후 tk + 2까지 픽셀에 인가된다. tk + 1에서, 판정신호(POWC)는 접지전위로부터 원래의 5볼트까지 상승하고, 그 후, 접지전위로부터 5볼트까지 공통전극이 상승되고, 접지 전위로붙너 -10볼트까지 게이트전위(V_G)의 강하가 잇따른다. 동시에, 데이터선에는 연속적인 제N의 프레임 동안에 입력신호가 반대 극성의 신호(Va-Vb)와 중첩된다. 그 후, 정상적인 입력신호(비디오 신호)가 제(N+1)의 프레임의 개시로부터 인가된다. 도 16에서, Vdo는 정상적인 입력신호의 진폭의 중심을 표시한다.

도 16에 도시된 신호 파형의 제어는 도 17에 도시된 전환부(64A)를 갖는 비디오 신호 프로세서(20)의 구성에 의해 달성된다. ㅂ리디오 신호 프로세서(20)의 구성은 전환부를 제외하고는 도 7에 도시된 비디오 신호 프로세서의 구성과 동일한다.

상기 전환부(64A)는 스위치(100, 102, 104 및 106)을 포함하는데, 상기 각각의 스위치는 판정신호(POWC), 공통전극의 전위(Vcom), 게이트 전극의 전위(V_G), 및 데이터선의 전위(V_D)에 각각 대응한다. 상기 판정신호(POWC), 공통전극의 전위(Vcom), 게이트 전극의 전위(V_G), 및 데이터선의 전위(V_D)는 5볼트와 0볼트, 5볼트와 0볼트, -10볼트와 0볼트 및 Vd ±5볼트(정상적인 입력신호)와, 0볼트 및 Vcom ±5볼트(반대 극성의 DC 전압과 중첩되는 입력신호 또는 바이어스 전압)의 각각의 사이에서 전환된다. 도 16에 도시된 신호파형은 도 7에 도시된 제어신호 발생기(62)로부터 공급된 제어신호에 따라 상기 스

위치의 제어에 의해 달성된다.

본 발명의 제2 실시예의 제3의 예는 도 18a 내지 c를 참조하여 기술되는 것으로서, 돗트 반전 구동기술에서의 신호파형을 도시하고 있다. 설명된 예에서, LC층에 대해 각각의 픽셀에 저장된 전하의 확산은 전환된 신호에 대한 표시의 개시이전에 데이터선에 대한 각각의 픽셀에 저장된 DC 전압에 대해 반대의 극성인 신호를 인가함으로써 가속되어 플리커의 발생이 방지된다.

상기의 경우에, 반대의 극성을 갖는 신호전압(Va- Vb)은 DC 전압이 인가되는 시간 주기(T22)의 곱(또는 적분)이 DC 전압(Va-Vb)/N에 의해 시간 주기(T21)이내의 시간에 대해 DC 전압(V0)의 적분을 초과하지 않도록 즉, Q1 ≥Q2이 되도록 인가된다. 반면에, 만일 Q1= Q2이면 플리커의 발생이 회피되고, 만일 Q1 〉 Q2이면 플리커는 감소된다.

도 18의 a는 돗트 반전 기술의 경우에 양의 전위신호가 해상도의 모드를 전환하기 위해 전원의 오프로의 전환이전에 저장되는 픽셀에 대응하는 데이터선에 인가된 신호파형을 도시하고 있다. 도 18의 b는 음의 전위신호가 전원의 오프로의 전환 이전에 저장되는 픽셀에 대응하는 데이터선에 인가된 신호 파형을 도시한다. 도 18의 c는 판정부(60)로부터 전달된 판정신호(POWC)에서 부재신호의 신호 타이밍을 도시하고 있다.

도 18의 a에서 자명하듯이, 상기 저장된 양의 입력신호에 대해 반대극성인, 즉, 절대적인 DC 전압(Va-Vb)/N을 갖는 음의 DC 전압을 갖는 신호 전압과 중첩되는 입력신호는 양의 극성 신호가 저장되는 픽셀에 대해 구동을 재시작 이전, 오프로의 전환 이전의 시간주기(T22) 동안에 인가되고, 정상적인 입력신호는 저 해상도의모드를 위해 구동의개시로부너 동일한 픽셀에 인가된다.

반면에, 도 17의 b에 도시된 바와 같이, 상기 저장된 음의 입력신호에 대해 반대극성인, 즉, 양의 DC 전압(Va-Vb)을 갖는 신호와 중첩되는 입력신호는 음의 극성 신호가 저장되는 픽셀에 대해 구동의 개시 이전에 오프로의 전환이전에 인가되고, 정상적인 입력신호는 구동의 재개시로부터 동일한 픽셀에 인가된다.

도 19에서, 반대 극성의 신호가 구동의 재개시 이전에 인가되는 제3의 실시예의 신호파형이 도시되어 있다. 부재신호는 판정신호(POWC)의 저 레벨에 의해 시간(tm)에서 전달되고, 동시에, 게이트선의 전위(V_G)는 -10볼트로부터 접지 전위까지 상승한다.

판정신호와 공통전극의 전위 사이의 관계는 도 14의 c에 도시된 것과 유사하다. 더욱,상세히 말하면, 부재신호가 판정신호(POWC)의 시간(tm)에서 전달되어 5볼트로부터 접지전위가지 낮아진 후, 공통전극의 전위(Vcom)은 5볼트로부너 접지전위로 하강하고, 동시에 게이트 전극전위(V_G)는 -10볼트로부터 접지 전위로 상승한다.

부재신호에 응답함으로써, 음의 DC 전압이 전원이 실제로 오프로 전환된 후 tm +2 까지 픽셀에 인가되더라도, 전원은 tm에서 오프로 전환된다. 시간(tm +1)에서, 판정신호(POWC)는 접지 전위로부터 원래의 5볼트까지 상승하고, 그 후, 접지전위로부터 5볼트 까지의 공통전극의 상승이 이어지고, 접지전위로부터 -10볼트까지의 게이트 전극의 하강이 이어진다. 동시에, 데이터선에는 tm+2에서 구동의 재시작 이전의 시간기간(T22)동안에 전위(VD)가 인가되고, 입력신호는 반대의 극성신호(Va -Vb)와 중첩된다. 그 후, 정상의 입력신호(비디오 신호)가 구동의 재시각으로부터 인가된다.

시간(tm+2)에서, 공통전극 전위는 접지전위로부터 5볼트 까지 상승하고, 게이트 전극의 전위는 접지 전극으로부터 -10볼트까지 떨어진다. 도 19에서, Vd0는 정상 입력신호의 진폭의 중심을 나타낸다.

백 라이트(24)는 시간(TM)에서 오프로 변하고, 그 후, 시간 tm+2에서, 온으로 변한고, 교란된 이미지는 tm과, tm +2 사이의 시간 주기(T22) 동안에 오프로 됨에 기인하여 관찰되지 않는다. 또한, 백 라이트는 잔류 전하의 급속한 제거에 대해 신호 전이를 가속화하기 위해 시간주기(T22) 동안에 온 상태 일 수 있다.

도 19에 도시된 신호파형의 제어는 도 20에 도시된 전환부(64B)를 갖는 비디오 신호 프로세서(20)의 구성에 의해 달성된다. 비디오 신호 프로세서는 전환부를 제외하고는 도 7에 도시된 비디오 신호 프로세서와 유사하다.

상기 전환부(64B)는 스위치(200, 202, 204 및 206)을 포함하는데, 상기 각각의 스위치는 판정신호(POWC), 공통전극의 전위(Vcom), 게이트 전극의 전위(V_G), 및 데이터선의 전위(V_D)에 각각 대응한다. 상기 판정신호(POWC), 공통전극의 전위(Vcom), 게이트 전극의 전위(V_G), 및 데이터선의 전위(V_D)는 5볼트와 0볼트, 5볼트와 0볼트, -10볼트와 0볼트 및 Vd ±5볼트(정상적인 입력신호)와, 0볼트 및 Vcom ±5볼트(반대 극성의 DC 전압과 중첩되는 입력신호 또는 바이어스 전압)의 각각의 사이에서 전환된다. 백 라이트(24)는 시간(tm)에서 오프로 변한 후 시간(tm +2)에서 스위치(28)에 의해 온으로 변한다. 도 19에 도시된 신호파형은 도 7에 도시된 제어신호 발생기(62)로부터 공급된 제어신호에 따라 상기 스위치의 제어에 의해 달성된다.

발명의 효과

전술한 실시예는 단지 예시로서 기술되었으므로, 본 발명은 전술한 실시예에 한정되지 않고 여러 변형 또는 수정이 본 발명의 범위르 벗어나지 않고 본 분야의 기술자에 의해 용히하게 실시될 수 있을 것이다.

(57) 청구의 범위

청구항 1

픽셀 트랜지스터(72), 상기 픽셀 트랜지스터(72)의 소스에 접속된 픽셀전극(74), 및 공통전극(76)을 각각 구비하고 있으면서 매트릭스 형상으로 배열된 다수의 픽셀과, 픽셀 어레이(10)의 컬럼 방향으로 배열되며 픽셀 트랜지스터(72) 각각의 드레인에 각각 접속된 다수의 데이터선(80)과, 상기 픽셀 어레이(10)의 로우 방향으로 배열되며 상기 픽셀 트랜지스터(72) 각각의 게이트에 접속된 다수의 게이트선(82)과,

상기 데이터선(80)을 구동하는 데이터 구동블록(12-1 내지 12-M)과,

상기 게이트선(82)을 구동하는 게이트 구동블록(14-1 내지 14-N)과,

상기 픽셀 에레이(10)에 대한 전원을 전환하는 전환부(64)와,

상기 데이터 구동블록(12-1 내지 12-M)을 제어하는 제어부(20)를 포함하며,

상기 전환부(64)와 상기 게이트 구동블록(14-1 내지 14-N)은 반전 구동모드로 상기 픽셀 어레이(10)를 구동하며,

상기 제어부(20)는 픽셀 각각의 상기 픽셀전극(74)과 상기 공통전극(76)의 전위차가 상기 데이터선(80)에 대한 이미지 데이터가 오프로 전화된 후부터 상기 픽셀 어레이(10)에 대한 전원이 상기 모드 스위칭을 위해 온으로 전환되기 이전 까지의 전환기간동안 상기 픽셀의 사이에서 동일한 극성을 갖도록 모드 전환을 제어하는 것을 특징으로 하는 액티브 매트릭스 액정표시장치.

청구항 2

제 1항에 있어서,

상기 제어부(20)는 이하의 관계식;

V_{PMAX} - (Vcomo - Vcom) 〈 V_G + 4볼트(여기서, V_{PMAX}, Vcom, V_G 및 Vcomo 각각은 정상 동작 중의 상기 픽셀전극(74)의 최대전위, 상기 공통전극(76)의 전위, 상기 픽셀 트랜지스터(72)의 상기 게이트의 전위, 및 정상동작 중의 상기 공통전극(76)의 전위);

을 만족시키도록 상기 전환기간동안에 상기 픽셀전극(74)의 전위, 상기 공통전극(76)의 전위 및 상기 픽셀 트랜지스터(72)의 상기 게이트의 전위를 제어하는 것을 특징으로 하는 액티브 매트릭스 액정표시장치.

청구항 3

제 2항에 있어서,

상기 제어부(20)는 V_G = 0 및 Vcom ≤-4볼트의 양 관계식을 만족시키는 지속기간이 5밀리초 이상 지속되도록 상기 모드 전환을 제어하는 것을 특징으로 하는 액티브 매트릭스 액정표시장치.

청구항 4

제 1항에 있어서,

상기 픽셀을 조사하기 위해 상기 전환기간 동안에 오프로 되는 백 라이트(24)를 더 포함하는 것을 특징으로 하는 액티브 매트릭스 액정표시장치.

청구항 5

제 1항에 있어서,

상기 모드 전환은 입력 신호 사이 또는 해상도 모드 사이에서 전환을 위해 실행되는 것을 특징으로 하는 액티브 매트릭스 액정표시장치.

청구항 6

픽셀 트랜지스터(72), 상기 픽셀 트랜지스터(72)의 소스에 접속된 픽셀전극(74), 및 공통전극(76)을 각각 구비하고 있으면서 매트릭스 형상으로 배열된 다수의 픽셀과, 픽셀 어레이(10)의 컬럼 방향으로 배열되며 픽셀 트랜지스터(72) 각각의 드레인에 각각 접속된 다수의 데이터선(80)과, 상기 픽셀 어레이(10)의 로우 방향으로 배열되며 상기 픽셀 트랜지스터(72) 각각의 게이트에 접속된 다수의 게이트선(82)과,

상기 데이터선(80)을 구동하는 데이터 구동블록(12-1 내지 12-M)과,

상기 게이트선(82)을 구동하는 게이트 구동블록(14-1 내지 14-N)과,

상기 픽셀 에레이(10)에 대한 전원을 전환하는 전환부(64)와,

상기 데이터 구동블록(12-1 내지 12-M)을 제어하는 제어부(20)를 포함하며,

상기 전환부(64)와 상기 게이트 구동블록(14-1 내지 14-N)은 반전 구동모드로 상기 픽셀 어레이(10)를 구동하며,

상기 제어부(20)는 적어도 몇몇의 상기 픽셀에는 상기 데이터선(80)에 대한 이미지 데이터가 오프로 전화된 후부터 상기 픽셀 어레이(10)에 대한 전원이 상기 모드 스위칭을 위해 온으로 전환되기 이전까지의 전환기간동안 최소의 전위 레벨로 인가되는 것을 특징으로 하는 액티브 매트릭스 액정표시장치.

청구항 7

제 6항에 있어서,

상기 최소의 전위 레벨의 인가는 각 픽셀의 상기 픽셀전극(74)과 상기 공통전극(76)의 전위차가 상기 픽셀 사이에서 동일한 극성을 갖도록 상기 전원을 오프로 전환하기 이전에 상기 픽셀의 전위를 제어하는 것을 특징으로 하는 액티브 매트릭스 액정표시장치.

청구항 8

제 6항에 있어서,

상기 제어부(20)는 이하의 관계식;

V_{PMAX} - (Vcomo - Vcom) 〈 V_G + 4 볼트(여기서, V_{PMAX}, Vcom, V_G 및 Vcomo 각각은 정상 동작 중의 상기 픽셀전극(74)의 최대전위, 상기 공통전극(76)의 전위, 상기 픽셀 트랜지스터(72)의 상기 게이트의 전위, 및 정상동작 중의 상기 공통전극(76)의 전위);

을 만족시키도록, 전원이 오프로 전환되기 이전에 상기 픽셀전극(74)의 전위, 상기 공통전극(76)의 전위 및 상기 픽셀 트랜지스터(72)의 상기 게이트의 전위를 제어하는 것을 특징으로 하는 액티브 매트릭스 액정표시장치.

청구항 9

제 8항에 있어서,

상기 제어부(20)는 V_G = 0 및 Vcom ≤-4볼트인 양 관계식을 만족시키는 지속기간이 5밀리초 이상 지속되도록 상기 모드 전환을 제어하는 것을 특징으로 하는 액티브 매트릭스 액정표시장치.

청구항 10

제 6항에 있어서,

상기 픽셀을 조사하기 위해 상기 전환기간 동안에 오프로 되는 백 라이트(24)를 더 포함하는 것을 특징으로 하는 액티브 매트릭스 액정표시장치.

청구항 11

제 1항에 있어서,

상기 모드 전환은 입력 신호 사이 또는 해상도 모드 사이에서 전환을 위해 실행되는 것을 특징으로 하는 액티브 매트릭스 액정표시장치.

청구항 12

픽셀 트랜지스터(72), 상기 픽셀 트랜지스터(72)의 소스에 접속된 픽셀전극(74), 및 공통전극(76)을 각각 구비하고 있으면서 매트릭스 형상으로 배열된 다수의 픽셀과, 픽셀 어레이(10)의 컬럼 방향으로 배열되며 픽셀 트랜지스터(72) 각각의 드레인에 각각 접속된 다수의 데이터선(80)과, 상기 픽셀 어레이(10)의 로우 방향으로 배열되며 상기 픽셀 트랜지스터(72) 각각의 게이트에 접속된 다수의 게이트선(82)과,

상기 데이터선(80)을 구동하는 데이터 구동블록(12-1 내지 12-M)과,

상기 게이트선(82)을 구동하는 게이트 구동블록(14-1 내지 14-N)과,

상기 픽셀 에레이(10)에 대한 전원을 전환하는 전환부(64)와,

상기 데이터 구동블록(12-1 내지 12-M)을 제어하는 제어부(20)를 포함하며,

상기 전환부(64)와 상기 게이트 구동블록(14-1 내지 14-N)은 반전 구동모드로 상기 픽셀 어레이(10)를 구동하며,

상기 제어부(20)는 상기 픽셀전극(74)과 상기 공통전극(76)의 사이에 상기 픽셀 어레이(1)에 대한 전원을 오프로 전환하기 이전에 각 픽셀에서 상기 픽셀전극(74)과 상기 공통전극 사이에 저장된 DC 전압의 극성에 대해 반대인 극성을 갖는 DC신호가 인가되는 것을 특징으로 하는 액티브 매트릭스 액정표시장치.

청구항 13

제 11항에 있어서,

상기 DC신호는 입력 신호에 대한 표시의 재시작 이후에 인가되고, 상기 입력신호와 중첩되는 것을 특징으로 하는 액티브 매트릭스 액정표시장치.

청구항 14

제 12항에 있어서,

상기 DC신호는 입력신호에 대한 표시의 재시작 이전에 인가되는 것을 특징으로 하는 액티브 매트릭스 액정표시장치.

청구항 15

제 12 항에 있어서,

상기 픽셀을 조사하기 위해 상기 전환 기간동안 오프로 되는 백 라이트(24)를 더 포함하는 것을 특징으로 하는 액티브 매트릭스 액정표시장치.

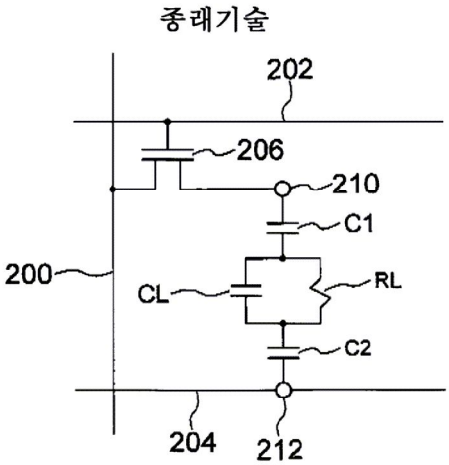
청구항 16

제 12항에 있어서,

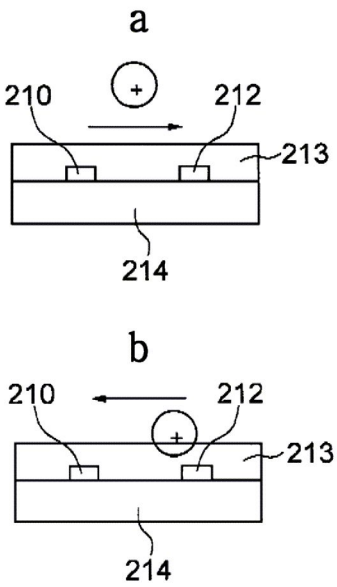
상기 모드 전환은 입력 신호 사이 또는 해상도 모드 사이에서 전환을 위해 실행되는 것을 특징으로 하는 액티브 매트릭스 액정표시장치.

도면

도면1

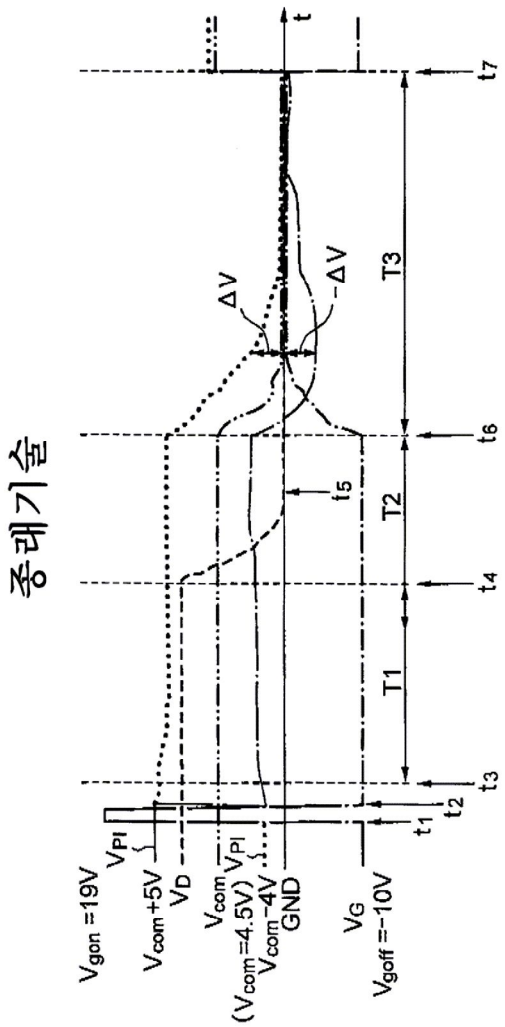


도면2



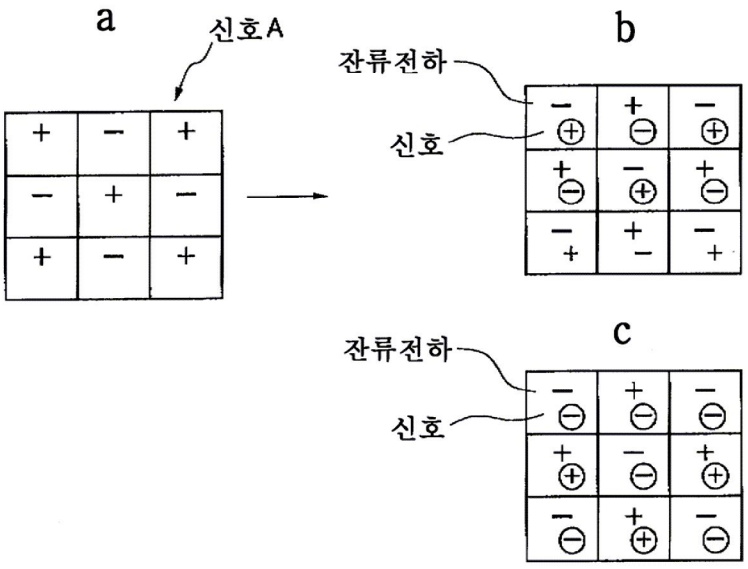
도면3

종래기술


t
t7
T3
ΔV
-ΔV
t6
t5
T2
t4
T1
t3
t2
t1
VPI
Vcom+5V
VD
Vcom
(Vcom=4.5V)
VPI
Vcom-4V
GND
VG
Vgon =19V
Vgoff =-10V

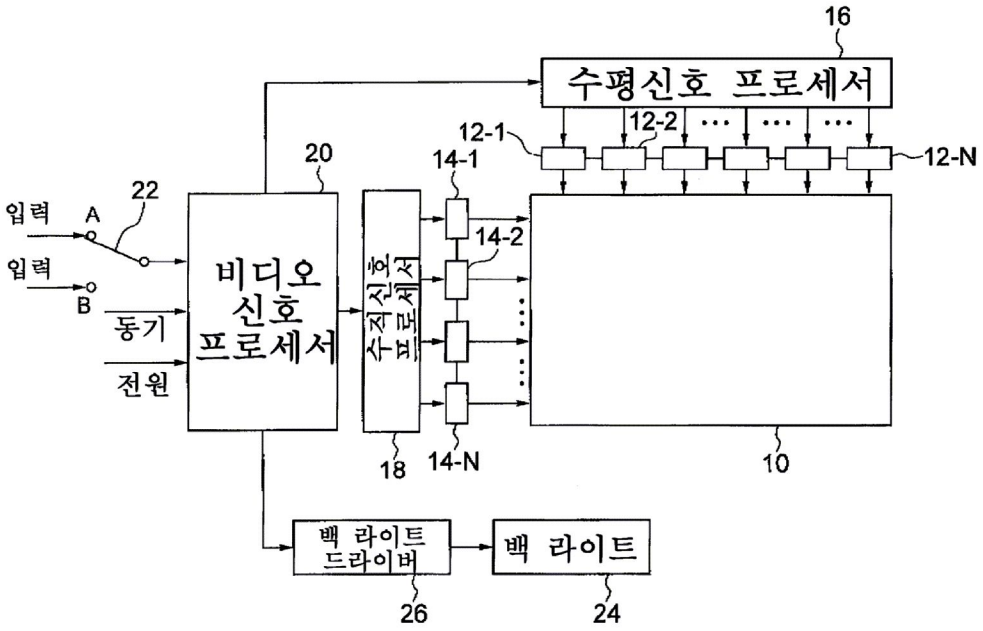
도면4

종래기술

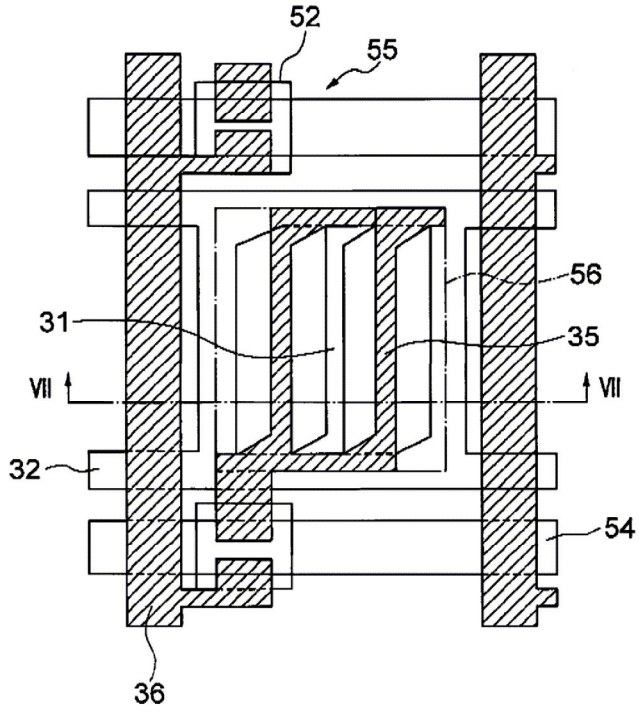


C
종래기술

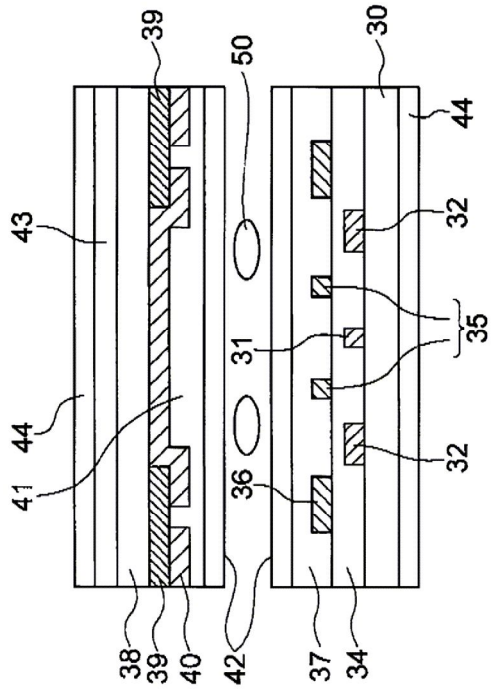
도면5



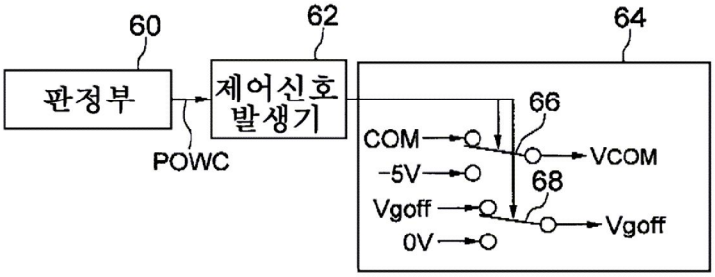
도면6


52
55
56
31
35
VII
VII
32
54
36

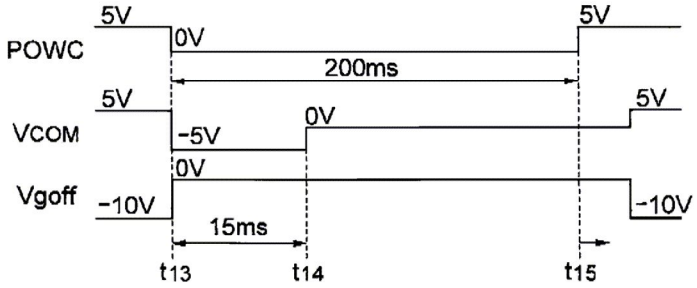
도면7


39
50
30
44
43
32
35
31
44
41
36
32
38
39
40
42
37
34

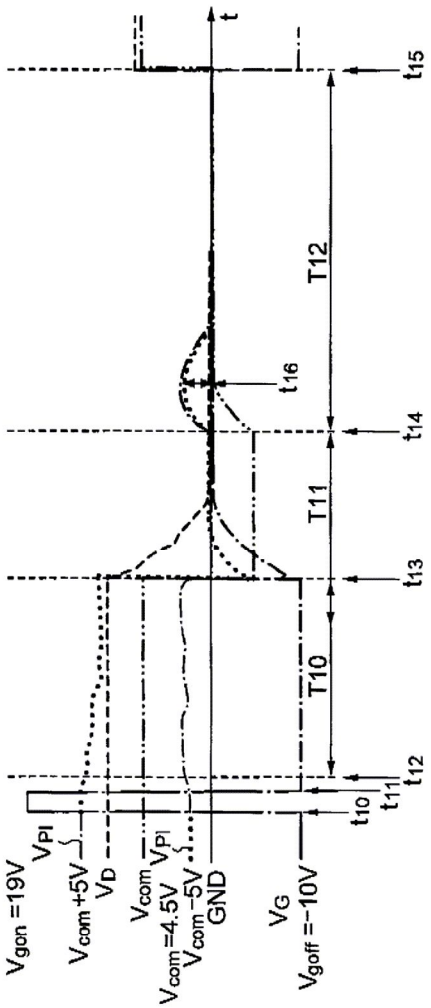
도면8


60
62
64
판정부
제어신호
발생기
POWC
66
COM
-5V
VCOM
68
Vgoff
0V
Vgoff

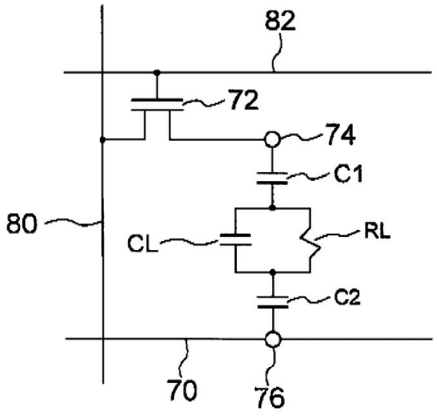
도면9


POWC
5V
0V
200ms
5V
VCOM
5V
-5V
0V
Vgoff
0V
-10V
-10V
15ms
t13
t14
t15

도면10

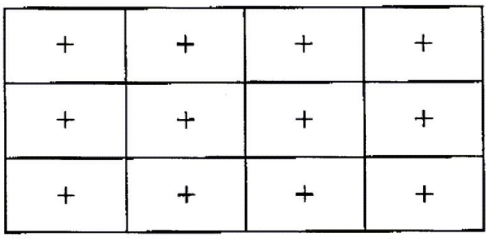

t
t15
T12
t16
t14
T11
t13
T10
t12
t11
t10
VPI
Vgon =19V
Vcom +5V
VD
Vcom
VPI
Vcom =4.5V
Vcom -5V
GND
VG
Vgoff =-10V

도면11

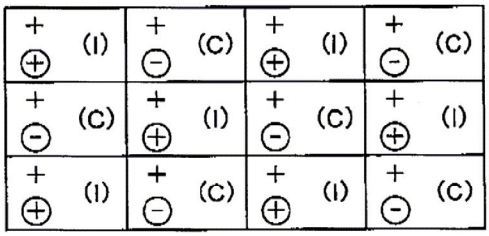

82
72
74
C1
80
CL
RL
C2
70
76

도면12

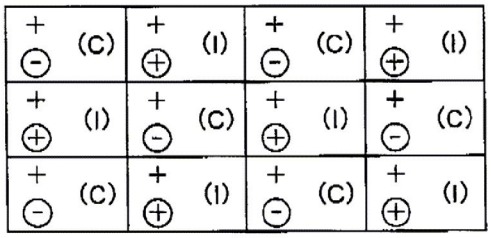
a



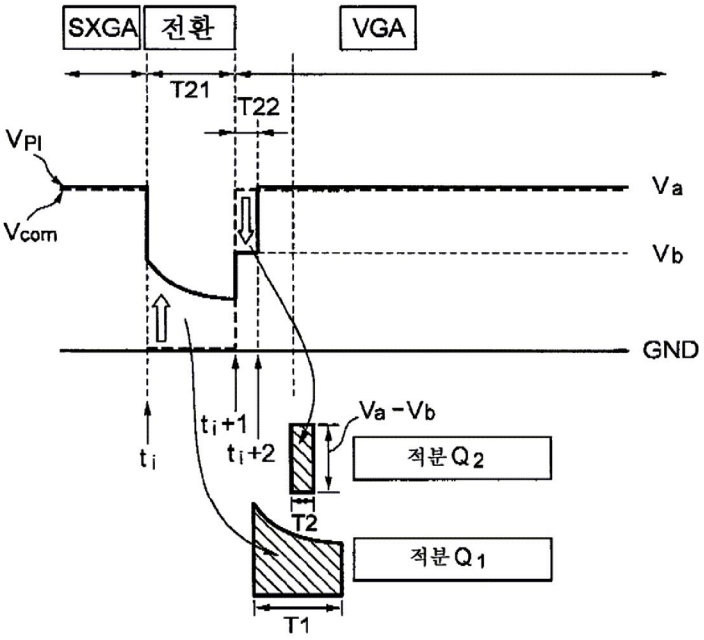
b



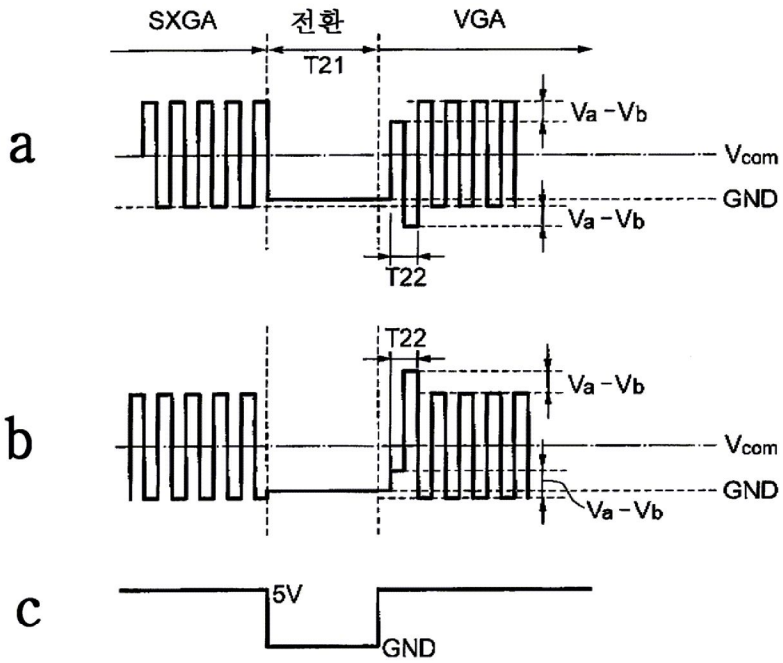
c



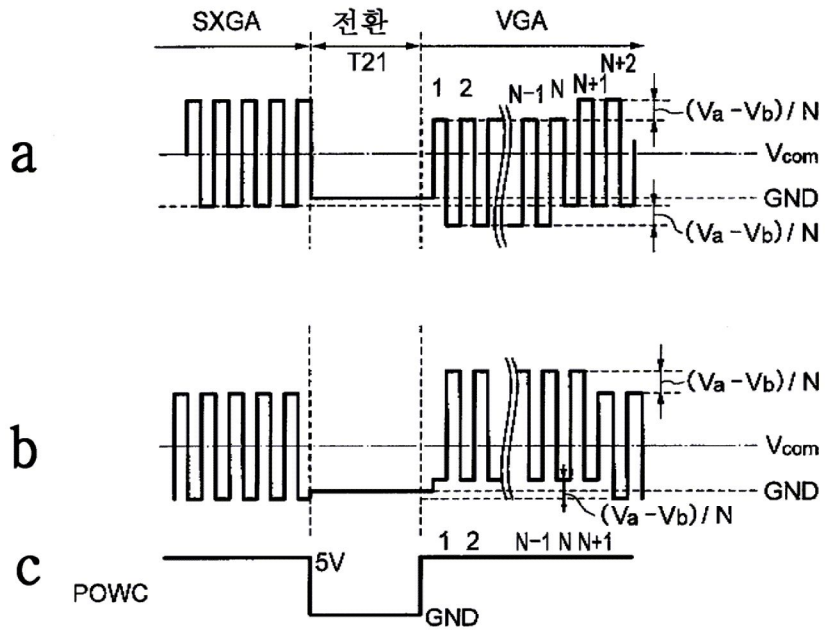
도면13


SXGA
전환
VGA
T21
T22
VPI
Vcom
Va
Vb
GND
ti
ti+1
ti+2
Va-Vb
적분Q2
T2
적분Q1
T1

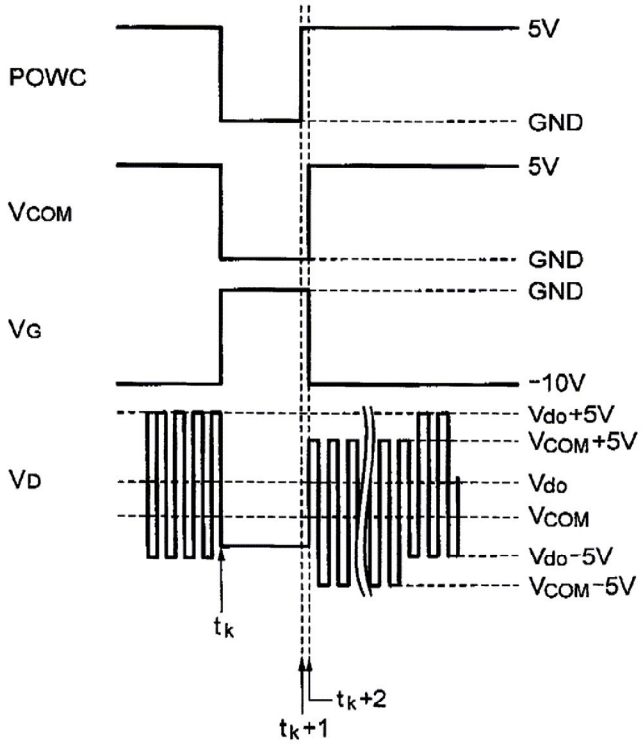
도면14


a
SXGA
전환
VGA
T21
Va-Vb
Vcom
GND
Va-Vb
T22
b
T22
Va-Vb
Vcom
GND
Va-Vb
c
5V
GND

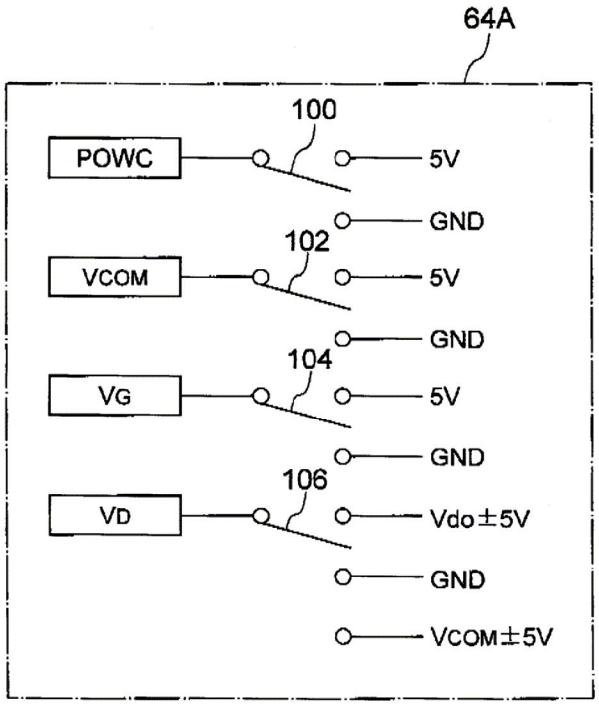
도면15


SXGA
전환
VGA
T21
1 2
N-1 N
N+1
N+2
(Va -Vb) / N
Vcom
GND
(Va -Vb) / N
a
b
c
POWC
5V
GND
1 2
N-1 N N+1

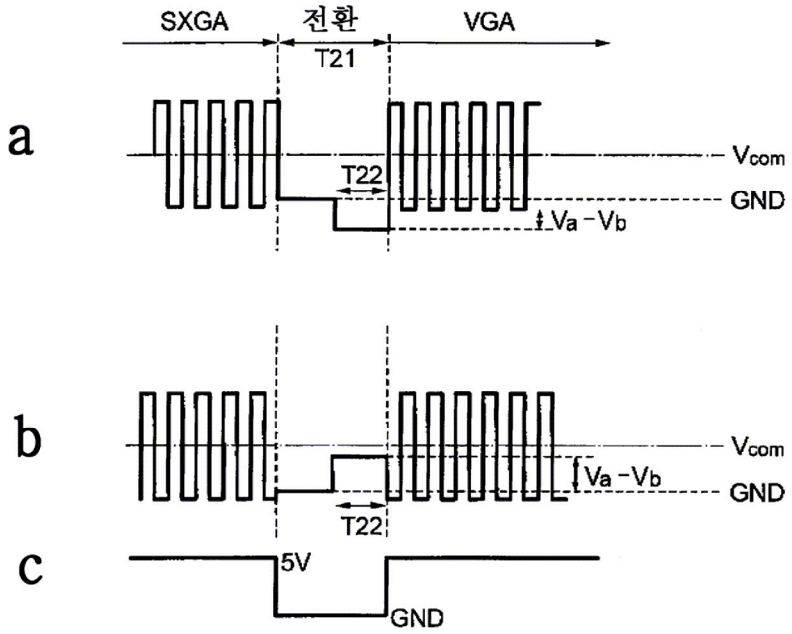
도면16


POWC
5V
GND
VCOM
5V
GND
VG
GND
-10V
VD
Vdo+5V
VCOM+5V
Vdo
VCOM
Vdo-5V
VCOM-5V
tk
tk+2
tk+1

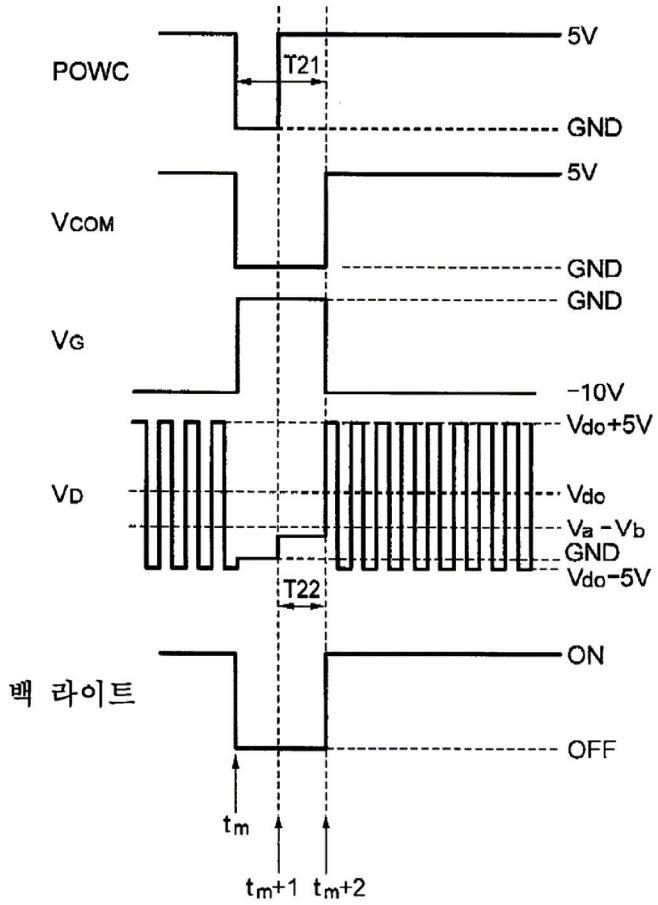
도면17


64A
100
POWC
5V
GND
102
VCOM
5V
GND
104
VG
5V
GND
106
VD
Vdo±5V
GND
VCOM±5V

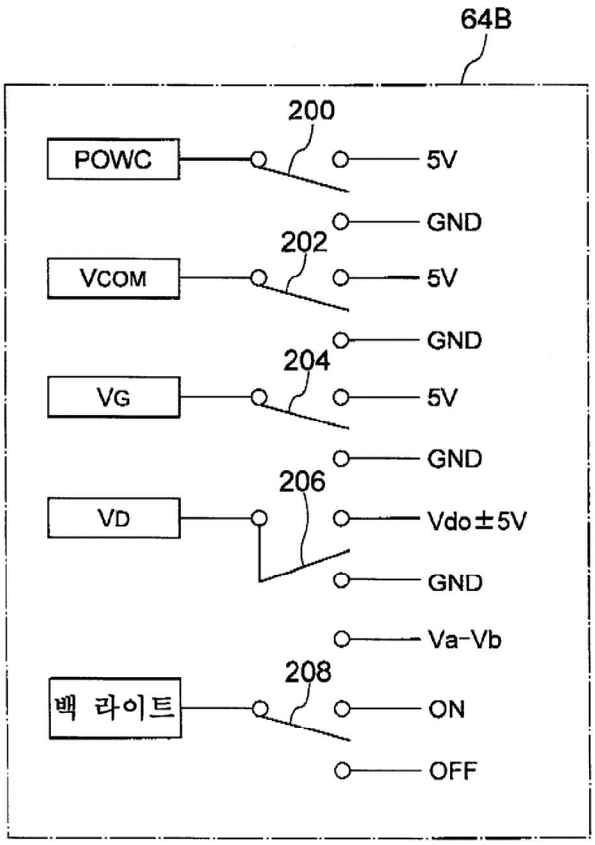
도면18


SXGA
전환
VGA
T21
a
Vcom
T22
GND
Va-Vb
b
Vcom
Va-Vb
GND
T22
c
5V
GND

도면19

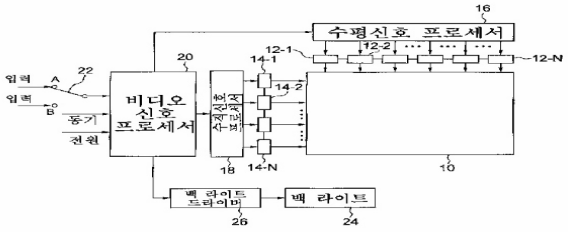

POWC
T21
5V
GND
VCOM
5V
GND
VG
GND
-10V
VD
Vdo+5V
Vdo
Va -Vb
GND
Vdo-5V
T22
백 라이트
ON
OFF
tm
tm+1
tm+2

도면20


64B
200
POWC
5V
GND
202
VCOM
5V
GND
204
VG
5V
GND
206
VD
Vdo±5V
GND
Va-Vb
208
백 라이트
ON
OFF

专利名称(译)	有源矩阵液晶显示器		
公开(公告)号	KR1020010052033A	公开(公告)日	2001-06-25
申请号	KR1020000071737	申请日	2000-11-29
[标]申请(专利权)人(译)	NEC液晶技术株式会社		
申请(专利权)人(译)	日元号技术可否让这个夏		
当前申请(专利权)人(译)	日元号技术可否让这个夏		
[标]发明人	SUGAWARA NORIAKI 스가와라노리아키 MATSUMOTO KIMIKAZU 마쯔모토키미카즈 ITAKURA KUNIMASA 이타쿠라쿠니마사 SHIKI TATSUYA 시키타쯔야 SHIMIZU TOSHIKAZU 시미즈토시카즈 KUROHA SHOICHI 쿠로하쇼이치 NISHIDA SHINICHI 니시다신이치		
发明人	스가와라노리아키 마쯔모토키미카즈 이타쿠라쿠니마사 시키타쯔야 시미즈토시카즈 쿠로하쇼이치 니시다신이치		
IPC分类号	G02F1/13 G09G3/36 G02F1/133 G09G G02F1/1343 G02F1/1335 G09G3/20 G02F		
CPC分类号	G09G2320/0247 G09G2300/0434 G02F1/133514 G09G2330/021 G09G3/3614 G02F1/134363 G09G3/3648		
优先权	1999341393 1999-11-30 JP		
其他公开文献	KR100386991B1		
外部链接	Espacenet		

摘要(译)

通过提供像素，使得在环之前像素电极电位和公共电极电位之间的所有像素具有相同的极性，无论反转驱动技术的形式如何，都可以防止闪烁。视频信号处理器20控制数据驱动器12-1至12-M和栅极驱动器14-1至14-N，使得像素阵列的所有像素被设置为黑电平它接收。结果，在防止闪烁方面实现了更好的改进。通过向所有像素提供黑电平，减小了接收正电位的像素和接收负电位的另一像素之间的绝对差，并且可以减小像素中的残余电荷的差异。抑制闪烁生成对于向所有像素提供黑电平是最有效的。但是，只有部分像素提供黑色数据才能达到某种效果。如这里所使用的，术语“黑电平”的含义是指使用普通黑模式在IPS-LCD中使用的“黑电平”，对应于术语“白色水平”。 一种视频信号处理器20是功率到像素阵列，并且由于像素电极和控制栅极驱动器（14-1至14-N）的共用电极之间的电位差被输送到数据的黑色电平对每个像素阵列并且在切换到OFF之前在所有像素中具有相同的极性。视频信号处理器20具有上述等式（1）;在将黑电平数据传送到像素阵列之后，在关闭像素阵列的电源之前，对像素电极，公共电极和像素电极进行预充电。并且在满足栅电极的电位之间的关系的预定定时控制栅极驱动器14-1至14-N。优选地，允许预定定时满足关系表达式VG = 0

伏特和Vcom≥14伏特的时间段长于5毫秒。 视频处理器20在用于分辨率模式或输入信号的切换操作期间关闭背光，以防止在屏幕上观察到失败的图像。另一方面，如果视频信号处理器20在切换操作期间控制背光打开，则即使故障图像出现在屏幕上，也可以更快地消除闪烁。背光的ON状态使TFT由于照射而增加电流，从而加速像素阵列的每个像素的电位波动，以在短时间内获得相同的电位差极性。 除了视频信号处理器20的控制之外，根据本发明第二实施例的AM-LCD具有与第一实施例的AM-LCD类似的配置。在本实施例的AM-LCD中，视频信号处理器20控制数据驱动器12-1至12-M，以便完成切换操作以重新开始输入信号的接收，接收输入信号，该输入信号具有与施加在公共电极之间的DC电压相同的正向电压，并且与具有与DC电压相反极性的信号重叠。图13示出控制的原理在本实施方式的例子中的AM-LCD装置的视频信号处理器20中，从高分辨率模式低分辨率的切换操作，SXGA（1280×1024）模式VGA（640×480 ）切换分辨率模式。和用于在每个用于存储所述像素电极和所述公共电极之间的正电极的时间（TI）的像素的止挡后的分辨率模式下的图像显示，公共电极被施加到地电位立即采用地电位，则TFT，像素电极施加地电位并降至地电位。因此，电位差或所述DC电压（V0）是低分辨率模式中，像素电极和共用的信号的过程中gaesidoenneun ti和t i + 1具有正电极之间的时间段（T21）的输入端，如常规与所描述的技术的连接施加在电极之间。具有相反极性的DC电压的DC电压（Va -Vb）是ti和t + 1之间的时间通过在本实施例中的时间段（T22）使用相对于时间的DC电压的积分的积分（Q2）同时控制直流电压相对于周期（T21）的时间周期（T22）和用于擦除的积分（Q1）的积分的DC电压以时间期间ti和t 1 + 2之间的时间段（T22）施加一段时间。 这允许每个像素中存储的电荷在切换操作期间快速地朝向LC层扩散，以防止由残余电荷引起的屏幕上的闪烁。上述操作不仅应用于分辨率模式的切换，而且还应用于切换输入信号。图13是即使当正信号的电位，但示出了实施例jeojangdoenneun在前面的开关操作的像素，所述电压信号是负存储该电压的极性反转发生时同样的动作。因此，为方便起见，省略了对第二种情况的描述。