



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2014년01월14일  
 (11) 등록번호 10-1351387  
 (24) 등록일자 2014년01월08일

(51) 국제특허분류(Int. Cl.)  
 G09G 3/36 (2006.01) G09G 3/20 (2006.01)  
 G02F 1/133 (2006.01)  
 (21) 출원번호 10-2007-0030191  
 (22) 출원일자 2007년03월28일  
 심사청구일자 2012년03월28일  
 (65) 공개번호 10-2007-0098591  
 (43) 공개일자 2007년10월05일  
 (30) 우선권주장  
 1020060028979 2006년03월30일 대한민국(KR)  
 (56) 선행기술조사문헌  
 US20060284815 A1  
 US20060103620 A1  
 KR100147590 B1\*  
 KR1020030073474 A\*  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
**엘지디스플레이 주식회사**  
 서울특별시 영등포구 여의대로 128(여의도동)  
 (72) 발명자  
**조혁력**  
 인천광역시 남동구 호구포로 858, 2동 1208호 (구  
 월동, 신세계아파트)  
**전민두**  
 서울특별시 동대문구 천호대로83길 19, 101동 80  
 2호 (장안동, 형인허브빌)  
**장용호**  
 경기도 성남시 분당구 분당로 190, 삼부아파트  
 414동 806호 (분당동, 셋별마을)  
 (74) 대리인  
**김용인, 박영복**

전체 청구항 수 : 총 37 항

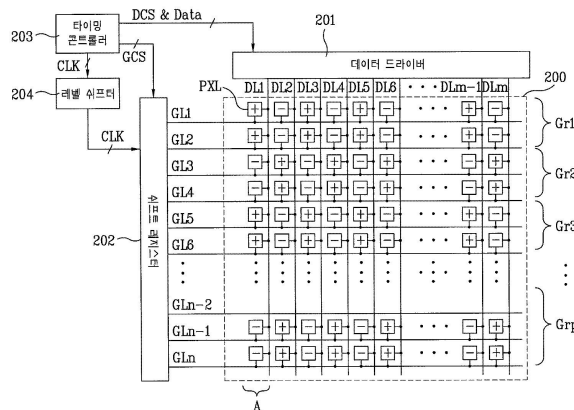
심사관 : 김태연

(54) 발명의 명칭 **표시장치**

**(57) 요약**

본 발명은 2도트 인버전 구동 방식에서 화소셀들간의 휘도편차를 방지할 수 있는 표시장치에 관한 것으로, 서로 교차하는 다수의 게이트 라인들과 데이터 라인들에 의해 정의되는 영역마다 형성된 화소셀을 포함하는 표시부; 임의의 제 1 데이터 라인에 접속된 화소셀들을 적어도 2개의 화소셀들을 갖는 다수의 화소셀그룹으로 나누고, 상기 제 1 데이터 라인을 통해 기수번째 화소셀그룹의 화소셀들에 제 1 극성의 데이터 신호를 공급하고, 우수번째 화소셀그룹의 화소셀들에 상기 제 1 극성에 대하여 반전된 극성을 갖는 제 2 극성의 데이터 신호를 공급하는 데이터 드라이버; 및, 서로 다른 화소셀그룹에 포함되고 서로 인접하는 화소셀들에 서로 다른 진폭을 갖는 스캔펄스가 공급되도록 상기 게이트 라인들을 구동하는 쉬프트 레지스터를 포함하여 구성되는 것이다.

**대표도**



**특허청구의 범위**

**청구항 1**

삭제

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

삭제

**청구항 5**

삭제

**청구항 6**

삭제

**청구항 7**

삭제

**청구항 8**

삭제

**청구항 9**

서로 교차하는 다수의 게이트 라인들과 데이터 라인들에 의해 정의되는 영역마다 형성된 화소셀을 포함하는 표시부;

임의의 제 1 데이터 라인에 접속된 화소셀들을 적어도 2개의 화소셀들을 갖는 다수의 화소셀그룹으로 나누고, 상기 제 1 데이터 라인을 통해 기수번째 화소셀그룹의 화소셀들에 제 1 극성의 데이터 신호를 공급하고, 우수번째 화소셀그룹의 화소셀들에 상기 제 1 극성에 대하여 반전된 극성을 갖는 제 2 극성의 데이터 신호를 공급하는 데이터 드라이버;

서로 다른 화소셀그룹에 포함되고 서로 인접하는 화소셀들에 서로 다른 진폭을 갖는 스캔펄스가 공급되도록 상기 게이트 라인들을 구동하는 쉬프트 레지스터;

서로 위상차를 갖는 다수의 클럭펄스들을 출력하는 타이밍 콘트롤러;

상기 타이밍 콘트롤러로부터 제공된 각 클럭펄스의 진폭을 다르게 변조하여 상기 쉬프트 레지스터에 공급하는 레벨 쉬프트;

상기 레벨 쉬프트에 전압원을 공급하는 전원공급부;

상기 전원공급부로부터의 전압원을 상기 레벨 쉬프트의 제 1 입력단자로 전송하는 제 1 전압전송라인; 및,

상기 제 1 전압전송라인과 상기 레벨 쉬프트의 제 2 입력단자간에 접속되며, 상기 제 1 전압전송라인과 다른 저항성분을 갖는 제 2 전압전송라인을 포함하며;

상기 레벨 쉬프트는 상기 전원공급부로부터의 전압원을 이용하여 제 1 진폭을 갖는 클럭펄스 및 제 2 진폭을 갖는 클럭펄스들을 생성하는 것을 특징으로 하는 표시장치.

**청구항 10**

제 9 항에 있어서,

상기 제 2 전압전송라인은 상기 제 1 전압전송라인보다 더 큰 저항성분을 갖는 저항을 통해, 상기 제 1 전압전송라인과 상기 레벨 쉬프터의 제 2 입력단자에 접속된 것을 특징으로 하는 표시장치.

**청구항 11**

제 10 항에 있어서,

상기 저항은 가변저항인 것을 특징으로 하는 표시장치.

**청구항 12**

제 9 항에 있어서,

상기 제 1 전압전송라인의 폭이 상기 제 2 전압전송라인의 폭보다 더 큰 것을 특징으로 하는 표시장치.

**청구항 13**

제 9 항에 있어서,

상기 제 2 전압전송라인이 지그재그형태를 갖는 것을 특징으로 하는 표시장치.

**청구항 14**

서로 교차하는 다수의 게이트 라인들과 데이터 라인들에 의해 정의되는 영역마다 형성된 화소셀을 포함하는 표시부;

임의의 제 1 데이터 라인에 접속된 화소셀들을 적어도 2개의 화소셀들을 갖는 다수의 화소셀그룹으로 나누고, 상기 제 1 데이터 라인을 통해 기수번째 화소셀그룹의 화소셀들에 제 1 극성의 데이터 신호를 공급하고, 우수번째 화소셀그룹의 화소셀들에 상기 제 1 극성에 대하여 반전된 극성을 갖는 제 2 극성의 데이터 신호를 공급하는 데이터 드라이버;

서로 다른 화소셀그룹에 포함되고 서로 인접하는 화소셀들에 서로 다른 진폭을 갖는 스캔펄스가 공급되도록 상기 게이트 라인들을 구동하는 쉬프트 레지스터;

서로 위상차를 갖는 다수의 클럭펄스들을 출력하는 타이밍 콘트롤러;

상기 타이밍 콘트롤러로부터 제공된 각 클럭펄스들의 진폭을 동일하게 변조하여 상기 쉬프트 레지스터에 공급하는 레벨 쉬프터; 및,

상기 타이밍 콘트롤러로부터의 n개의 클럭펄스들을 상기 레벨 쉬프터로 전송하며, 서로 다른 크기의 저항성분을 갖는 n개의 전송라인들을 포함하여 구성됨을 특징으로 하는 표시장치.

**청구항 15**

제 14 항에 있어서,

m개(m은 n보다 작은 자연수)의 전송라인들 각각은 제 1 저항을 통해 상기 타이밍 콘트롤러와 상기 레벨 쉬프터간에 접속되며;

n-m개의 전송라인들 각각은 제 2 저항을 통해 상기 타이밍 콘트롤러와 상기 레벨 쉬프터간에 접속되며;

상기 제 1 저항이 상기 제 2 저항보다 더 작은 값을 갖지며;

상기 제 1 및 제 2 저항은 가변저항인 것을 특징으로 하는 표시장치.

**청구항 16**

삭제

**청구항 17**

삭제

**청구항 18**

제 14 항에 있어서,

$m$ 개( $m$ 은  $n$ 보다 작은 자연수)의 전송라인들 각각은 상기 타이밍 콘트롤러와 상기 레벨 쉬프터간에 직접 접속되며,

$n-m$ 개의 전송라인들 각각은 저항을 통해 상기 타이밍 콘트롤러와 상기 레벨 쉬프터간에 접속되며;

상기 저항은 가변저항인 것을 특징으로 하는 표시장치.

**청구항 19**

삭제

**청구항 20**

제 14 항에 있어서,

$m$ 개( $m$ 은  $n$ 보다 작은 자연수)의 전송라인들 각각의 폭이,  $n-m$ 개의 전송라인들 각각의 폭보다 더 큰 것을 특징으로 하는 표시장치.

**청구항 21**

제 14 항에 있어서,

$m$ ( $m$ 은  $n$ 보다 작은 자연수)개의 전송라인들이 지그재그 형태를 갖는 것을 특징으로 하는 표시장치.

**청구항 22**

서로 교차하는 다수의 게이트 라인들과 데이터 라인들에 의해 정의되는 영역마다 형성된 화소셀을 포함하는 표시부;

임의의 제 1 데이터 라인에 접속된 화소셀들을 적어도 2개의 화소셀들을 갖는 다수의 화소셀그룹으로 나누고, 상기 제 1 데이터 라인을 통해 기수번째 화소셀그룹의 화소셀들에 제 1 극성의 데이터 신호를 공급하고, 우수번째 화소셀그룹의 화소셀들에 상기 제 1 극성에 대하여 반전된 극성을 갖는 제 2 극성의 데이터 신호를 공급하는 데이터 드라이버;

서로 다른 화소셀그룹에 포함되고 서로 인접하는 화소셀들에 서로 다른 진폭을 갖는 스캔펄스가 공급되도록 상기 게이트 라인들을 구동하는 쉬프트 레지스터;

서로 위상차를 갖는 다수의 클럭펄스들을 출력하는 타이밍 콘트롤러;

상기 타이밍 콘트롤러로부터 제공된 각 클럭펄스의 진폭을 동일하게 변조하고, 이 변조된 클럭펄스들을  $n$ 개의 출력라인을 통해 출력하는 레벨 쉬프터; 및,

상기  $n$ 개의 출력라인과, 상기  $n$ 개의 출력라인의 일측에 접속된  $n$ 개의 클럭전송라인들을 통해 상기 클럭펄스들을 공급받는 쉬프트 레지스터를 더 포함하여 구성되며,

상기  $n$ 개의 출력라인들이 서로 다른 저항성분을 갖는 것을 특징으로 하는 표시장치.

**청구항 23**

제 22 항에 있어서,

$m$ 개( $m$ 은  $n$ 보다 작은 자연수)의 출력라인들 각각은 제 1 저항을 통해 상기 레벨 쉬프터와  $m$ 개의 클럭전송라인들간에 각각 접속되며;

$n-m$ 개의 출력라인들 각각은 제 2 저항을 통해 상기 레벨 쉬프터와 상기  $n-m$ 개의 클럭전송라인들간에 각각 접속되며;

상기 제 1 저항이 상기 제 2 저항보다 더 작은 값을 가지며;

상기 제 1 및 제 2 저항은 가변저항인 것을 특징으로 하는 표시장치.

**청구항 24**

삭제

**청구항 25**

삭제

**청구항 26**

제 22 항에 있어서,

m개(m은 n보다 작은 자연수)의 출력라인들 각각은 상기 레벨 쉬프터와 m개의 클럭전송라인들간에 각각 직접 접속되며;

n-m개의 출력라인들 각각은 저항을 통해 상기 레벨 쉬프터와 상기 n-m개의 클럭전송라인들간에 각각 접속되며;

상기 저항은 가변저항인 것을 특징으로 하는 표시장치.

**청구항 27**

삭제

**청구항 28**

제 22 항에 있어서,

m개(m은 n보다 작은 자연수)의 출력라인들 각각의 폭이, n-m개의 출력라인들 각각의 폭보다 더 큰 것을 특징으로 하는 표시장치.

**청구항 29**

서로 교차하는 다수의 게이트 라인들과 데이터 라인들에 의해 정의되는 영역마다 형성된 화소셀을 포함하는 표시부;

임의의 제 1 데이터 라인에 접속된 화소셀들을 적어도 2개의 화소셀들을 갖는 다수의 화소셀그룹으로 나누고, 상기 제 1 데이터 라인을 통해 기수번째 화소셀그룹의 화소셀들에 제 1 극성의 데이터 신호를 공급하고, 우수번째 화소셀그룹의 화소셀들에 상기 제 1 극성에 대하여 반전된 극성을 갖는 제 2 극성의 데이터 신호를 공급하는 데이터 드라이버;

서로 다른 화소셀그룹에 포함되고 서로 인접하는 화소셀들에 서로 다른 진폭을 갖는 스캔펄스가 공급되도록 상기 게이트 라인들을 구동하는 쉬프트 레지스터;

서로 위상차를 갖는 다수의 클럭펄스들을 출력하는 타이밍 콘트롤러;

상기 타이밍 콘트롤러로부터 제공된 각 클럭펄스의 진폭을 동일하게 변조하여 상기 쉬프트 레지스터에 공급하는 레벨 쉬프터; 및,

상기 레벨 쉬프터로부터의 클럭펄스를 상기 쉬프트 레지스터로 전송하며, 서로 다른 크기의 저항성분을 갖는 n개의 클럭전송라인들을 포함하여 구성됨을 특징으로 하는 표시장치.

**청구항 30**

제 29 항에 있어서,

m개(m은 n보다 작은 자연수)의 클럭전송라인들 각각은 제 1 저항을 통해 상기 레벨 쉬프터와 상기 쉬프트 레지스터간에 접속되며, n-m개의 클럭전송라인들 각각은 제 2 저항을 통해 상기 레벨 쉬프터와 상기 쉬프트 레지스터간에 접속되며;

상기 제 1 저항이 상기 제 2 저항보다 더 작은 값을 가지며;

상기 제 1 및 제 2 저항은 가변저항인 것을 특징으로 하는 표시장치.

**청구항 31**

삭제

**청구항 32**

삭제

**청구항 33**

제 29 항에 있어서,

$m$ 개( $m$ 은  $n$ 보다 작은 자연수)의 클럭전송라인들 각각은 상기 레벨 쉬프터와 상기 쉬프트 레지스터간에 직접 접속되며,  $n-m$ 개의 클럭전송라인들 각각은 저항을 통해 상기 레벨 쉬프터와 상기 쉬프트 레지스터간에 접속되며;

상기 저항은 가변저항인 것을 특징으로 하는 표시장치.

**청구항 34**

삭제

**청구항 35**

제 29 항에 있어서,

$m$ 개( $m$ 은  $n$ 보다 작은 자연수)의 클럭전송라인들 각각의 폭이,  $n-m$ 개의 클럭전송라인들 각각의 폭보다 더 큰 것을 특징으로 하는 표시장치.

**청구항 36**

제 29 항에 있어서,

$m$ 개( $m$ 은  $n$ 보다 작은 자연수)의 클럭전송라인들이 지그재그형태를 갖는 것을 특징으로 하는 표시장치.

**청구항 37**

삭제

**청구항 38**

삭제

**청구항 39**

삭제

**청구항 40**

삭제

**청구항 41**

삭제

**청구항 42**

삭제

**청구항 43**

삭제

**청구항 44**

삭제

**청구항 45**

삭제

**청구항 46**

삭제

**청구항 47**

삭제

**청구항 48**

서로 교차하는 다수의 게이트 라인들과 데이터 라인들에 의해 정의되는 영역마다 형성된 화소셀을 포함하는 표시부;

입력의 제 1 데이터 라인에 접속된 화소셀들을 적어도 2개의 화소셀들을 갖는 다수의 화소셀그룹으로 나누고, 상기 제 1 데이터 라인을 통해 기수번째 화소셀그룹의 화소셀들에 제 1 극성의 데이터 신호를 공급하고, 우수번째 화소셀그룹의 화소셀들에 상기 제 1 극성에 대하여 반전된 극성을 갖는 제 2 극성의 데이터 신호를 공급하는 데이터 드라이버;

서로 다른 화소셀그룹에 포함되고 서로 인접하는 화소셀들에 서로 다른 진폭 및 펄스폭을 갖는 스캔펄스가 공급 되도록 상기 게이트 라인들을 구동하는 쉬프트 레지스터;

서로 위상차를 가지며, 서로 다른 펄스폭을 갖는 다수의 클럭펄스들을 출력하는 타이밍 컨트롤러;

상기 타이밍 컨트롤러로부터 제공된 각 클럭펄스의 진폭을 다르게 변조하여 상기 쉬프트 레지스터에 공급하는 레벨 쉬프터;

상기 레벨 쉬프터에 전압원을 공급하는 전원공급부;

상기 전원공급부로부터의 전압원을 상기 레벨 쉬프터의 제 1 입력단자로 전송하는 제 1 전압전송라인; 및,

상기 제 1 전압전송라인과 상기 레벨 쉬프터의 제 2 입력단자간에 접속되며, 상기 제 1 전압전송라인과 다른 저항성분을 갖는 제 2 전압전송라인을 포함하며;

상기 레벨 쉬프터는 상기 전원공급부로부터의 전압원을 이용하여 제 1 진폭을 갖는 클럭펄스 및 제 2 진폭을 갖는 클럭펄스들을 생성하는 것을 특징으로 하는 표시장치.

**청구항 49**

제 48 항에 있어서,

상기 제 2 전압전송라인은 상기 제 1 전압전송라인보다 더 큰 저항성분을 갖는 저항을 통해, 상기 제 1 전압전송라인과 상기 레벨 쉬프터의 제 2 입력단자에 접속되며;

상기 저항은 가변저항인 것을 특징으로 하는 표시장치.

**청구항 50**

삭제

**청구항 51**

제 48 항에 있어서,

상기 제 1 전압전송라인의 폭이 상기 제 2 전압전송라인의 폭보다 더 큰 것을 특징으로 하는 표시장치.

**청구항 52**

제 48 항에 있어서,

상기 제 2 전압전송라인이 지그재그형태를 갖는 것을 특징으로 하는 표시장치.

**청구항 53**

서로 교차하는 다수의 게이트 라인들과 데이터 라인들에 의해 정의되는 영역마다 형성된 화소셀을 포함하는 표시부;

임의의 제 1 데이터 라인에 접속된 화소셀들을 적어도 2개의 화소셀들을 갖는 다수의 화소셀그룹으로 나누고, 상기 제 1 데이터 라인을 통해 기수번째 화소셀그룹의 화소셀들에 제 1 극성의 데이터 신호를 공급하고, 우수번째 화소셀그룹의 화소셀들에 상기 제 1 극성에 대하여 반전된 극성을 갖는 제 2 극성의 데이터 신호를 공급하는 데이터 드라이버;

서로 다른 화소셀그룹에 포함되고 서로 인접하는 화소셀들에 서로 다른 진폭을 갖는 스캔펄스가 공급되도록 상기 게이트 라인들을 구동하는 쉬프트 레지스터;

서로 위상차를 갖는 다수의 클럭펄스들을 출력하는 타이밍 컨트롤러;

상기 타이밍 컨트롤러로부터 제공된 각 클럭펄스들의 진폭을 동일하게 변조하여 상기 쉬프트 레지스터에 공급하는 레벨 쉬프터; 및,

상기 타이밍 컨트롤러로부터의 n개의 클럭펄스들을 상기 레벨 쉬프터로 전송하며, 서로 다른 크기의 저항성분 및 커패시터성분을 갖는 n개의 전송라인들을 포함하여 구성됨을 특징으로 하는 표시장치.

**청구항 54**

제 53 항에 있어서,

m개(m은 n보다 작은 자연수)의 전송라인들 각각은 제 1 저항 및 제 1 커패시터를 통해 상기 타이밍 컨트롤러와 상기 레벨 쉬프터간에 접속되며,

n-m개의 전송라인들 각각은 제 2 저항 및 제 2 커패시터를 통해 상기 타이밍 컨트롤러와 상기 레벨 쉬프터간에 접속되며;

상기 제 1 저항이 상기 제 2 저항보다 더 작은 값을 가지며, 상기 제 1 커패시터가 상기 제 2 커패시터보다 작은 값을 가지며;

상기 제 1 및 제 2 저항은 가변저항인 것을 특징으로 하는 표시장치.

**청구항 55**

삭제

**청구항 56**

삭제

**청구항 57**

제 53 항에 있어서,

m개(m은 n보다 작은 자연수)의 전송라인들 각각은 상기 타이밍 컨트롤러와 상기 레벨 쉬프터간에 직접 접속되며,

n-m개의 전송라인들 각각은 저항 및 커패시터를 통해 상기 타이밍 컨트롤러와 상기 레벨 쉬프터간에 접속되며;

상기 저항은 가변저항인 것을 특징으로 하는 표시장치.

**청구항 58**

삭제

**청구항 59**

제 53 항에 있어서,

$m$ 개( $m$ 은  $n$ 보다 작은 자연수)의 전송라인들 각각의 폭이,  $n-m$ 개의 전송라인들 각각의 폭보다 더 큰 것을 특징으로 하는 표시장치.

**청구항 60**

제 53 항에 있어서,

$m$ ( $m$ 은  $n$ 보다 작은 자연수)개의 전송라인들이 지그재그 형태를 갖는 것을 특징으로 하는 표시장치.

**청구항 61**

서로 교차하는 다수의 게이트 라인들과 데이터 라인들에 의해 정의되는 영역마다 형성된 화소셀을 포함하는 표시부;

임의의 제 1 데이터 라인에 접속된 화소셀들을 적어도 2개의 화소셀들을 갖는 다수의 화소셀그룹으로 나누고, 상기 제 1 데이터 라인을 통해 기수번째 화소셀그룹의 화소셀들에 제 1 극성의 데이터 신호를 공급하고, 우수번째 화소셀그룹의 화소셀들에 상기 제 1 극성에 대하여 반전된 극성을 갖는 제 2 극성의 데이터 신호를 공급하는 데이터 드라이버;

서로 다른 화소셀그룹에 포함되고 서로 인접하는 화소셀들에 서로 다른 진폭 및 펄스폭을 갖는 스캔펄스가 공급되도록 상기 게이트 라인들을 구동하는 쉬프트 레지스터;

서로 위상차를 갖는 다수의 클럭펄스들을 출력하는 타이밍 컨트롤러;

상기 타이밍 컨트롤러로부터 제공된 각 클럭펄스의 진폭을 동일하게 변조하고, 이 변조된 클럭펄스들을  $n$ 개의 출력라인을 통해 출력하는 레벨 쉬프터; 및,

상기  $n$ 개의 출력라인과, 상기  $n$ 개의 출력라인의 일측에 접속된  $n$ 개의 클럭전송라인들을 통해 상기 클럭펄스들을 공급받는 쉬프트 레지스터를 포함하여 구성되며,

상기  $n$ 개의 출력라인들이 서로 다른 저항성분 및 커패시터성분을 갖는 것을 특징으로 하는 표시장치.

**청구항 62**

제 61 항에 있어서,

$m$ 개( $m$ 은  $n$ 보다 작은 자연수)의 출력라인들 각각은 제 1 저항 및 제 1 커패시터를 통해 상기 레벨 쉬프터와  $m$ 개의 클럭전송라인들간에 각각 접속되며,

$n-m$ 개의 출력라인들 각각은 제 2 저항 및 제 2 커패시터를 통해 상기 레벨 쉬프터와 상기  $n-m$ 개의 클럭전송라인들간에 각각 접속되며;

상기 제 1 저항이 상기 제 2 저항보다 더 작은 값을 가지며, 상기 제 1 커패시터가 상기 제 2 커패시터보다 더 작은 값을 가지며;

상기 제 1 및 제 2 저항은 가변저항인 것을 특징으로 하는 표시장치.

**청구항 63**

삭제

**청구항 64**

삭제

**청구항 65**

제 61 항에 있어서,

$m$ 개( $m$ 은  $n$ 보다 작은 자연수)의 출력라인들 각각은 상기 레벨 쉬프트와  $m$ 개의 클럭전송라인들간에 각각 직접 접속되며,

$n-m$ 개의 출력라인들 각각은 저항 및 커패시터를 통해 상기 레벨 쉬프트와 상기  $n-m$ 개의 클럭전송라인들간에 각각 접속되며;

상기 저항은 가변저항인 것을 특징으로 하는 표시장치.

**청구항 66**

삭제

**청구항 67**

제 61 항에 있어서,

$m$ 개( $m$ 은  $n$ 보다 작은 자연수)의 출력라인들 각각의 폭이,  $n-m$ 개의 출력라인들 각각의 폭보다 더 큰 것을 특징으로 하는 표시장치.

**청구항 68**

서로 교차하는 다수의 게이트 라인들과 데이터 라인들에 의해 정의되는 영역마다 형성된 화소셀을 포함하는 표시부;

임의의 제 1 데이터 라인에 접속된 화소셀들을 적어도 2개의 화소셀들을 갖는 다수의 화소셀그룹으로 나누고, 상기 제 1 데이터 라인을 통해 기수번째 화소셀그룹의 화소셀들에 제 1 극성의 데이터 신호를 공급하고, 우수번째 화소셀그룹의 화소셀들에 상기 제 1 극성에 대하여 반전된 극성을 갖는 제 2 극성의 데이터 신호를 공급하는 데이터 드라이버;

서로 다른 화소셀그룹에 포함되고 서로 인접하는 화소셀들에 서로 다른 진폭 및 펄스폭을 갖는 스캔펄스가 공급 되도록 상기 게이트 라인들을 구동하는 쉬프트 레지스터;

서로 위상차를 갖는 다수의 클럭펄스들을 출력하는 타이밍 콘트롤러;

상기 타이밍 콘트롤러로부터 제공된 각 클럭펄스의 진폭을 동일하게 변조하여 상기 쉬프트 레지스터에 공급하는 레벨 쉬프트; 및,

상기 레벨 쉬프트로부터의 클럭펄스를 상기 쉬프트 레지스터로 전송하며, 서로 다른 크기의 저항성분 및 커패시터성분을 갖는  $n$ 개의 클럭전송라인들을 포함하여 구성됨을 특징으로 하는 표시장치.

**청구항 69**

제 68 항에 있어서,

$m$ 개( $m$ 은  $n$ 보다 작은 자연수)의 클럭전송라인들 각각은 제 1 저항 및 제 1 커패시터를 통해 상기 레벨 쉬프트와 상기 쉬프트 레지스터간에 접속되며,  $n-m$ 개의 클럭전송라인들 각각은 제 2 저항 및 제 2 커패시터를 통해 상기 레벨 쉬프트와 상기 쉬프트 레지스터간에 접속되며;

상기 제 1 저항이 상기 제 2 저항보다 더 작은 값을 가지며;

상기 제 1 및 제 2 저항은 가변저항인 것을 특징으로 하는 표시장치.

**청구항 70**

삭제

**청구항 71**

삭제

**청구항 72**

제 68 항에 있어서,

m개(m은 n보다 작은 자연수)의 클럭전송라인들 각각은 상기 레벨 쉬프터와 상기 쉬프트 레지스터간에 직접 접속되며, n-m개의 클럭전송라인들 각각은 저항 및 커패시터를 통해 상기 레벨 쉬프터와 상기 쉬프트 레지스터간에 접속되며;

상기 저항은 가변저항인 것을 특징으로 하는 표시장치.

**청구항 73**

삭제

**청구항 74**

제 68 항에 있어서,

m개(m은 n보다 작은 자연수)의 클럭전송라인들 각각의 폭이, n-m개의 클럭전송라인들 각각의 폭보다 더 큰 것을 특징으로 하는 표시장치.

**청구항 75**

제 68 항에 있어서,

m개(m은 n보다 작은 자연수)의 클럭전송라인들이 지그재그형태를 갖는 것을 특징으로 하는 표시장치.

**청구항 76**

삭제

**청구항 77**

삭제

**청구항 78**

삭제

**청구항 79**

삭제

**청구항 80**

삭제

**청구항 81**

삭제

**청구항 82**

삭제

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 표시장치에 관한 것으로, 특히 2도트 방식의 표시장치에서 서로 다른 극성으로 구동되는 각 화소셀간의 휘도편차를 줄일 수 있는 표시장치에 대한 것이다.

[0033]

- [0034] 정보화 사회가 발전함에 따라 표시장치에 대한 요구도 다양한 형태로 증중하고 있으며, 이에 부응하여 근래에는 LCD(Liquid Crystal Display), PDP(Plasma Display Panel), ELD(Electro Luminescent Display), VFD(Vacuum Fluorescent Display)등 여러 가지 평판 표시 장치가 연구되어 왔고, 일부는 이미 여러 장비에서 표시장치로 활용되고 있다.
- [0035] 그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력의 장점으로 인하여 이동형 화상 표시장치의 용도로 CRT(Cathode Ray Tube)를 대체하면서 LCD가 가장 많이 사용되고 있으며, 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 방송신호를 수신하여 디스플레이하는 텔레비전 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.
- [0036] 이와 같은 액정표시장치는 크게 영상신호를 표시하는 액정패널과 외부에서 상기 액정패널에 구동신호를 인가하는 구동회로로 구분할 수 있다.
- [0037] 상기 액정패널은, 도면에는 도시되지 않았지만, 일정한 공간을 갖고 합착된 두 개의 투명 기판(유리 기판)과, 상기 두 기판 사이에 형성된 액정층으로 구성된다.
- [0038] 상기 두 개의 투명 기판 중 하부 기판에는 일정 간격으로 배열된 다수의 게이트 라인과, 화소영역을 정의하기 위해 상기 게이트 라인에 수직인 방향으로 일정한 간격을 갖고 배열되는 다수의 데이터 라인과, 상기 각 게이트 라인과 데이터 라인에 의해 정의된 매트릭스 형태의 각 화소영역에 형성된 다수의 화소전극과 상기 각 게이트 라인과 데이터 라인이 교차하는 부분에 형성되어 상기 게이트 라인의 스캔펄스에 따라 스위칭되어 상기 데이터 라인의 데이터 신호를 각 화소전극에 인가하는 다수의 박막트랜지스터가 형성된다.
- [0039] 그리고, 다른 하나의 상부 기판에는 상기 각 화소영역을 제외한 부분에서의 빛을 차단하기 위한 블랙매트릭스층과, 각 화소영역에 색상을 구현하기 위한 칼라필터층과, 공통전압을 인가하기 위한 공통전극이 형성된다.
- [0040] 따라서, 게이트 라인에 순차적으로 턴 온 신호를 인가하면 그 때마다 해당 라인의 화소 전극에 데이터 신호가 인가되므로 영상이 표시된다.
- [0041] 이와 같이 구성된 액정표시장치는, 상기 액정층에 같은 방향의 화소전압신호가 계속해서 인가되면 상기 액정층이 열화되기 때문에, 상기 액정층의 열화를 방지하기 위해 상기 데이터 라인으로부터 상기 화소전극에 인가되는 화소전압을 상기 공통전극에 인가되는 공통전압에 대하여 정극성(+) 또는 부극성(-)이 되도록 반전하여 구동한다.
- [0042] 이와 같은 극성 반전 구동방식으로는 라인 인버전 방식(Line Inversion System), 컬럼 인버전 방식(Column Inversion System), 또는 도트 인버전 방식(Dot Inversion System)과 같은 인버전 구동방식을 사용한다.
- [0043] 여기서, 도트 인버전 구동방식 중 2도트 인버전 구동방식을 설명하면 다음과 같다.
- [0044] 도 1은 종래의 2도트 인버전 구동 방식을 설명하기 위한 도면이다.
- [0045] 도 1에 도시된 바와 같이, 액정패널의 표시부는 다수의 게이트 라인(GL1 내지 GL6)들 및 이에 수직교차하는 다수의 데이터 라인(DL1 내지 DL6)들을 포함하며, 각 게이트 라인(GL1 내지 GL6)과 각 데이터 라인(DL1 내지 DL6)에 의해 정의되는 각 화소영역에는 화소셀(PXL)이 형성된다.
- [0046] 각 게이트 라인(GL1 내지 GL6)은 순차적으로 스캔펄스를 공급받아 차례로 구동되며, 임의의 게이트 라인(GL1 내지 GL6)이 구동될 때마다 상기 데이터 라인(DL1 내지 DL6)들에는 한 수평라인분에 해당하는 데이터 신호가 공급된다. 이때, 각 데이터 라인(DL1 내지 DL6)에는 2H( 2 수평기간)마다 서로 반전된 극성의 데이터 신호가 공급된다. 또한, 서로 인접한 데이터 라인(DL1 내지 DL6)에는 서로 반전된 극성의 데이터 신호가 공급된다.
- [0047] 이에 따라, 어느 한 프레임에 하나의 데이터 라인(DL1 내지 DL6)에 공통으로 접속된 화소셀(PXL)들은 두 개씩을 한쌍으로 하여 각 쌍이 서로 다른 극성을 나타낸다.
- [0048] 즉, 상기 제 1 데이터 라인(DL1 내지 DL6)에 접속된 화소셀(PXL)들을 상측에서부터 하측까지 차례로 제 1 내지 제 6 화소셀(PXL)이라고 정의하면, 제 1 및 제 2 화소셀(PXL)은 모두 정극성을 나타내고, 제 3 및 제 4 화소셀(PXL)은 모두 부극성을 나타내고, 제 5 및 제 6 화소셀(PXL)은 모두 정극성을 나타낸다.
- [0049] 여기서, 상기 제 1 데이터 라인(DL1)에는 제 1 내지 제 6 화소셀(PXL)에 해당하는 데이터 신호를 각 게이트 라인(GL1 내지 GL6)이 구동될 때마다 순차적으로 공급된다. 즉, 제 1 게이트 라인(GL1 내지 GL6)에 스캔펄스가 공급되어 제 1 게이트 라인(GL1 내지 GL6)에 접속된 제 1 화소셀(PXL)이 구동될 때 상기 제 1 데이터 라인(DL1)에

는 상기 제 1 화소셀(PXL)에 해당하는 정극성의 데이터 신호가 공급된다. 이후 상기 제 2 게이트 라인(GL1 내지 GL6)에 스캔펄스가 공급되어 상기 제 2 게이트 라인(GL1 내지 GL6)에 접속된 제 2 화소셀(PXL)이 구동될 때 상기 제 1 데이터 라인(DL1)에는 상기 제 2 화소셀(PXL)에 해당하는 정극성의 데이터 신호가 공급된다. 이후 상기 제 3 게이트 라인(GL1 내지 GL6)에 스캔펄스가 공급되어 상기 제 3 게이트 라인(GL1 내지 GL6)에 접속된 제 3 화소셀(PXL)이 구동될 때 상기 제 1 데이터 라인(DL1)에는 상기 제 3 화소셀(PXL)에 해당하는 부극성의 데이터 신호가 공급된다.

[0050] 이때, 상기 제 2 화소셀(PXL)이 구동된 후 제 3 화소셀(PXL)이 구동되는 시기에, 상기 제 1 데이터 라인(DL1 내지 DL6)에는 서로 다른 극성의 데이터 신호가 충전된다. 즉, 상기 제 1 데이터 라인(DL1 내지 DL6)은 정극성의 데이터 신호에서 부극성의 데이터 신호로 충전된다. 이에 따라, 상기 제 1 데이터 라인(DL1 내지 DL6)의 충전속도가 낮아지는 문제점이 발생한다. 즉, 상기 제 1 데이터 라인(DL1 내지 DL6)이 정극성 데이터 신호에서 정극성 데이터 신호로 충전되거나, 또는 부극성 데이터 신호에서 부극성 데이터 신호로 충전될 경우에는 충전속도가 문제가 되지 않지만, 상기 제 1 데이터 라인(DL1 내지 DL6)이 정극성 데이터 신호에서 부극성 데이터 신호로 충전되거나, 또는 부극성 데이터 신호에서 정극성 데이터 신호로 충전될 경우에는 충전속도가 낮아지는 문제점이 발생된다. 이에 따라, 임의의 데이터 라인(DL1 내지 DL6)에 접속된 화소셀(PXL)들 중 서로 다른 극성의 데이터 신호를 공급받는 화소셀(PXL)들간에 휘도편차가 발생한다.

**발명이 이루고자 하는 기술적 과제**

[0051] 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출한 것으로, 각 게이트 라인간에 공급되는 스캔펄스의 진폭 및 펄스폭을 서로 다르게 변조시켜, 서로 인접한 화소셀들간의 휘도편차를 줄일 수 있는 표시장치를 제공하는데 그 목적이 있다.

**발명의 구성 및 작용**

[0052] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 표시장치는, 서로 교차하는 다수의 게이트 라인들과 데이터 라인들에 의해 정의되는 영역마다 형성된 화소셀을 포함하는 표시부; 임의의 제 1 데이터 라인에 접속된 화소셀들을 적어도 2개의 화소셀들을 갖는 다수의 화소셀그룹으로 나누고, 상기 제 1 데이터 라인을 통해 기수번째 화소셀그룹의 화소셀들에 제 1 극성의 데이터 신호를 공급하고, 우수번째 화소셀그룹의 화소셀들에 상기 제 1 극성에 대하여 반전된 극성을 갖는 제 2 극성의 데이터 신호를 공급하는 데이터 드라이버; 및, 서로 다른 화소셀그룹에 포함되고 서로 인접하는 화소셀들에 서로 다른 진폭을 갖는 스캔펄스가 공급되도록 상기 게이트 라인들을 구동하는 스위프트 레지스터를 포함하여 구성됨을 특징으로 한다.

[0053] 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 표시장치는, 서로 교차하는 다수의 게이트 라인들과 데이터 라인들에 의해 정의되는 영역마다 형성된 화소셀을 포함하는 표시부; 임의의 제 1 데이터 라인에 접속된 화소셀들을 적어도 2개의 화소셀들을 갖는 다수의 화소셀그룹으로 나누고, 상기 제 1 데이터 라인을 통해 기수번째 화소셀그룹의 화소셀들에 제 1 극성의 데이터 신호를 공급하고, 우수번째 화소셀그룹의 화소셀들에 상기 제 1 극성에 대하여 반전된 극성을 갖는 제 2 극성의 데이터 신호를 공급하는 데이터 드라이버; 및, 서로 다른 화소셀그룹에 포함되고 서로 인접하는 화소셀들에 서로 다른 진폭 및 펄스폭을 갖는 스캔펄스가 공급되도록 상기 게이트 라인들을 구동하는 스위프트 레지스터를 포함하여 구성됨을 그 특징으로 한다.

[0054] 삭제

[0055] 삭제

[0056] 이하, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 표시장치를 상세히 설명하면 다음과 같다.

[0057] 도 2는 본 발명의 제 1 실시예에 따른 표시장치를 나타낸 도면이고, 도 3은 도 2의 게이트 라인들에 공급되는 스캔펄스들의 타이밍도를 나타낸 도면이다. 그리고, 도 4는 도 2에 도시된 각 구성요소가 구비된 액정패널 및 인쇄회로기판을 나타낸 도면이다.

[0058] 본 발명의 제 1 실시예에 따른 표시장치는, 도 2에 도시된 바와 같이, 일방향으로 배열된 n개의 게이트 라인들(GL1 내지 GLn)과, 상기 게이트 라인들(GL1 내지 GLn)에 교차하도록 배열된 m개의 데이터 라인들(DL1 내지 DLm)과, 상기 각 게이트 라인(GL1 내지 GLn)과 데이터 라인(DL1 내지 DLm)에 의해서 정의된 각 화소영역마다 형성

된 화소셀(PXL)을 포함하는 표시부(200)와, 서로 위상차를 갖는 다수의 클럭펄스들을 출력하는 타이밍 콘트롤러(203)와, 상기 타이밍 콘트롤러(203)로부터 제공된 클럭펄스들의 진폭을 변화시켜 출력하는 레벨 쉬프터(204)와, 상기 레벨 쉬프터(204)로부터 클럭펄스들을 공급받아 다수의 스캔펄스(Vout1 내지 Voutn)를 출력하고, 이들을 상기 게이트 라인들(GL1 내지 GLn)에 차례로 공급하는 쉬프트 레지스터(202)와, 상기 데이터 라인들(DL1 내지 DLm)을 구동하기 위한 데이터 드라이버(201)를 포함한다.

- [0059] 또한, 본 발명의 실시예에 따른 표시장치는, 도 4에 도시된 바와 같이, 타이밍 콘트롤러(203), 레벨 쉬프터(204), 쉬프트 레지스터(202), 및 데이터 드라이버(201)에 필요한 각종 전원을 공급하는 전원공급부(205)를 더 포함한다.
- [0060] 상기 타이밍 콘트롤러(203)는 유저 커넥터(도시되지 않음)를 통해 외부로부터 입력되는 메인클럭(MCLK), 데이터 인에이블 신호(DE), 수평 및 수직 동기신호(Hsync, Vsync)를 이용하여 데이터 제어신호(DCS)와 게이트 제어신호(GCS)를 생성하여 상기 쉬프트 레지스터(202) 및 데이터 드라이버(202)의 구동 타이밍을 제어한다.
- [0061] 상기 데이터 드라이버(201)는 타이밍 콘트롤러(203)로부터 공급되는 데이터 제어신호(DCS)에 따라 타이밍 콘트롤러(203)로부터 정렬된 디지털 데이터 신호(Data)를 아날로그 데이터 신호로 변환하여 게이트 라인들(GL1 내지 GLn)에 스캔펄스(Vout1 내지 Voutn)가 공급되는 1수평 주기마다 1수평 라인분의 아날로그 데이터 신호를 데이터 라인들(DL1 내지 DLm)로 공급한다.
- [0062] 또한, 상기 데이터 드라이버(201)는 기수번째 데이터 라인(DL1, DL3, ..., DLm-1)에 접속된 화소셀(PXL)들을 2개의 화소셀(PXL)들을 갖는 다수의 화소셀그룹(Gr1 내지 Grp)으로 나누고, 상기 기수번째 데이터 라인(DL1, DL3, ..., DLm-1)을 통해 기수번째 화소셀그룹(Gr1, Gr3, ..., Grp-1)에 포함된 화소셀(PXL)들에 정극성의 데이터 신호를 공급하고, 우수번째 화소셀그룹(Gr2, Gr4, ..., Grp)에 포함된 화소셀(PXL)들에 부극성의 데이터 신호를 공급한다.
- [0063] 더불어, 상기 데이터 드라이버(201)는 우수번째 데이터 라인(DL2, DL4, ..., DLm)에 접속된 화소셀(PXL)들을 2개의 화소셀(PXL)들을 갖는 다수의 화소셀그룹(Gr1 내지 Grp)으로 나누고, 상기 우수번째 데이터 라인(DL2, DL4, ..., DLm)을 통해 기수번째 화소셀그룹(Gr1, Gr3, ..., Grp-1)에 포함된 화소셀(PXL)들에 부극성의 데이터 신호를 공급하고, 우수번째 화소셀그룹(Gr2, Gr4, ..., Grp)에 포함된 화소셀(PXL)들에 정극성의 데이터 신호를 공급한다.
- [0064] 다시말하면, 기수번째 데이터 라인(DL1, DL3, ..., DLm-1)에 접속되며 기수번째 화소셀그룹(Gr1, Gr3, ..., Grp-1)에 포함되는 화소셀(PXL)들은 정극성의 데이터 신호를 공급받으며, 기수번째 데이터 라인(DL1, DL3, ..., DLm-1)에 접속되며 우수번째 화소셀그룹(Gr2, Gr4, ..., Grp)에 포함되는 화소셀(PXL)들은 부극성의 데이터 신호를 공급받는다.
- [0065] 또한, 우수번째 데이터 라인(DL2, DL4, ..., DLm)에 접속되며 기수번째 화소셀그룹(Gr1, Gr3, ..., Grp-1)에 포함되는 화소셀(PXL)들은 부극성의 데이터 신호를 공급받으며, 우수번째 데이터 라인(DL2, DL4, ..., DLm)에 접속되며 우수번째 화소셀그룹(Gr2, Gr4, ..., Grp)에 포함되는 화소셀(PXL)들은 정극성의 데이터 신호를 공급받는다.
- [0066] 이에 따라, 하나의 데이터 라인에 공통으로 접속된 화소셀(PXL)들은, 화소셀그룹별로 서로 다른 극성의 데이터 신호를 공급받는다. 예를들어, 제 1 데이터 라인(DL1)에 접속되며 제 1 화소셀그룹(Gr1)에 속한 두 개의 화소셀(PXL)은 모두 정극성의 데이터 신호를 공급받는 반면, 상기 제 1 데이터 라인(DL1)에 접속되며 제 2 화소셀그룹(Gr2)에 속한 두 개의 화소셀(PXL)은 모두 부극성의 데이터 신호를 공급받는다. 이때, 상기 데이터 드라이버(201)는 1프레임 주기로 각 데이터 라인(DL1 내지 DLm)에 공급되는 데이터 신호의 극성을 변화시킨다. 이에 따라, 기수번째 프레임에는 모든 화소셀(PXL)들이 도 2에 도시된 바와 같은 극성을 나타내며, 우수번째 프레임에는 도 2에 도시된 화소셀(PXL)들이 현재 표시된 극성과 반대의 극성을 나타내게 된다. 즉, 상기 데이터 드라이버(201)는 2도트 방식으로 표시장치를 구동한다.
- [0067] 각 화소셀(PXL)은 게이트 라인으로부터의 스캔펄스에 따라 턴-온되어 데이터 라인으로부터의 데이터 신호를 스위칭하는 스위칭소자와, 상기 스위칭소자로부터 공급된 데이터 신호를 공급받는 화소전극과, 상기 화소전극과 대향하도록 위치한 공통전극과, 상기 공통전극과 상기 화소전극 사이에 위치하여 상기 공통전극과 화소전극 사이에 발생된 전계에 따라 다른 광 투과율을 나타내는 액정층을 포함한다.
- [0068] 상기 공통전극에는 일정한 크기의 전압을 갖는 공통전압이 공급되는데, 상기 정극성의 데이터 신호는 상기 공통전압에 대하여 더 높은 전압 크기를 갖는 데이터 신호를 의미하며, 상기 부극성의 데이터 신호는 상기 공통전압

에 대하여 더 낮은 전압 크기를 갖는 데이터 신호를 의미한다.

- [0069] 쉬프트 레지스터(202)는, 도 3에 도시된 바와 같이, 두 종류의 스캔펄스를 출력한다. 즉, 상기 쉬프트 레지스터(202)는 제 1 진폭(Vamp1)을 갖는 스캔펄스(Vout1, Vout3, ..., Voutn-1) 및 제 2 진폭(Vamp2)을 갖는 스캔펄스(Vout2, Vout4, ..., Voutn)를 출력한다. 여기서, 상기 제 1 진폭(Vamp1)은 상기 제 2 진폭(Vamp2)보다 더 크다.
- [0070] 상기 제 1 진폭(Vamp1)을 갖는 스캔펄스는 제 1 고전압원 및 저전압원을 가지며, 상기 제 2 진폭(Vamp2)을 갖는 스캔펄스는 상기 제 2 고전압원 및 저전압원을 갖는다. 여기서, 상기 제 1 고전압원은 상기 제 2 고전압원보다 더 크다.
- [0071] 상기 제 1 진폭(Vamp1)을 갖는 스캔펄스(Vout1, Vout3, ..., Voutn-1)와 제 2 진폭(Vamp2)을 갖는 스캔펄스(Vout2, Vout4, ..., Voutn)는 각 화소셀(PXL)의 스위칭소자를 완전하게 턴-온시킬 정도의 크기를 갖는다.
- [0072] 상기 쉬프트 레지스터(202)는 상기 게이트 라인들(GL1 내지 GLn)을 제 1 게이트 라인(GL1)부터 제 n 게이트 라인(GLn)까지 순차적으로 구동하는데, 이때 서로 다른 극성의 데이터 신호를 공급받는 화소셀(PXL)들 중 먼저 구동되는 화소셀(PXL)에 접속된 게이트 라인에 제 2 진폭(Vamp2)을 갖는 스캔펄스를 공급하고, 이후 구동되는 화소셀(PXL)에 접속된 게이트 라인에 제 1 진폭(Vamp1)을 갖는 스캔펄스를 공급한다.
- [0073] 상기 데이터 드라이버(201)는, 도 3에 도시된 바와 같이, 다수의 데이터 드라이브 집적회로(333)들로 구성되어 있다. 이 다수의 데이터 드라이브 집적회로(333)들을 상기 데이터 라인들(DL1 내지 DLm)을 다수개씩 나누어 구동한다. 그리고, 각 데이터 드라이브 집적회로(333)는 TCP(301; Tape Carrier Package)에 실장된다.
- [0074] 이 각 TCP(301)의 일측은 액정패널(300)의 일측에 접속되고 타측은 인쇄회로기판(355)에 접속된다.
- [0075] 상기 표시부(200), 게이트 라인들(GL1 내지 GLn), 데이터 라인들(DL1 내지 DLm), 그리고 쉬프트 레지스터(202), 및 상기 레벨 쉬프터(204)로부터의 클럭펄스들을 상기 쉬프트 레지스터(202)로 전송하기 위한 다수의 클럭전송 라인들(801 내지 804)은 액정패널(300)상에 함께 형성된다.
- [0076] 상기 클럭전송라인들(801 내지 804)은 상기 TCP(301)들 중 가장 좌측에 위치한 첫 번째 TCP(301)에 형성된 전송 라인들을 통해서 상기 레벨 쉬프터(204)의 출력라인들과 서로 전기적으로 접속된다. 그리고, 상기 타이밍 콘트롤러(203), 레벨 쉬프터(204), 및 전원공급부(205)는 상기 인쇄회로기판(355)상에 실장된다.
- [0077] 한편, 상기 액정패널(300)과 상기 인쇄회로기판(355)간에는 FPC(Flexible Printed Circuit)가 접속될 수 있으며, 이 FPC를 통해서 상기 클럭전송라인들(801 내지 804)과 상기 레벨 쉬프터(204)의 출력라인들이 서로 전기적으로 접속된다.
- [0078] 이와 같이 구성된 본 발명에 따른 표시장치의 구동을 설명하면 다음과 같다.
- [0079] 도 5a 내지 도 5d는 도 2의 표시부에 공급되는 스캔펄스, 데이터 신호, 및 공통전압에 대한 타이밍도를 나타낸 도면이다.
- [0080] 여기서, 도 2의 표시부(200)의 화소셀(PXL)들은 다수의 화소열로 나눌 수 있는데, 설명의 편의상 임의의 하나의 화소열(A)에 구비된 화소셀(PXL)들의 구동만을 설명하기로 한다.
- [0081] 먼저, 임의의 화소열(A)에 구비된 화소셀(PXL)들, 즉 제 1 데이터 라인(DL1)에 접속된 화소셀(PXL)들을 상측에 위치한 화소셀(PXL)부터 차례로 제 1 내지 제 n 화소셀(PXL)로 정의하기로 하자.
- [0082] 상기 제 1 내지 제 n 화소셀(PXL)은 제 1 데이터 라인(DL1)에 공통으로 접속되며, 제 1 내지 제 n 게이트 라인(GL1 내지 GLn)에 각각 접속된다.
- [0083] 먼저 제 1 기간(T1)에, 도 5a에 도시된 바와 같이, 쉬프트 레지스터(202)가 제 1 진폭(Vamp1)을 갖는 제 1 스캔펄스(Vout1)를 제 1 게이트 라인(GL1)에 공급하여, 상기 제 1 게이트 라인(GL1)에 접속된 제 1 화소셀(PXL)을 구동시킨다. 이 제 1 기간(T1)에 데이터 드라이버(201)는 상기 제 1 데이터 라인(DL1)에 정극성의 데이터 신호를 공급한다. 이에 따라, 상기 제 1 화소셀(PXL)은 상기 제 1 데이터 라인(DL1)에 충전된 정극성의 데이터 신호를 공급받는다.
- [0084] 여기서, 상술한 바와 같이 정극성의 데이터 신호는 공통전압(Vcom)에 대하여 더 높은 전압 크기를 갖는 데이터 신호를 의미하며, 부극성의 데이터 신호는 상기 공통전압(Vcom)에 대하여 더 낮은 전압 크기를 갖는 데이터 신호를 의미한다.

- [0085] 이후 제 2 기간(T2)에, 도 5b에 도시된 바와 같이, 쉬프트 레지스터(202)가 제 2 진폭(Vamp2)을 갖는 제 2 스캔 펄스(Vout2)를 제 2 게이트 라인(GL2)에 공급하여, 상기 제 2 게이트 라인(GL2)에 접속된 제 2 화소셀(PXL)을 구동시킨다. 이 제 2 기간(T2)에 데이터 드라이버(201)는 상기 제 1 데이터 라인(DL1)에 부극성의 데이터 신호를 공급한다. 이에 따라, 상기 제 2 화소셀(PXL)은 상기 제 1 데이터 라인(DL1)에 충전된 정극성의 데이터 신호를 공급받는다.
- [0086] 여기서, 연속하는 제 1 기간(T1)과 제 2 기간(T2)에 상기 제 1 데이터 라인(DL1)에는 동일한 극성의 데이터 신호, 즉 정극성의 데이터가 신호가 연속하여 공급되므로 제 2 기간(T2)에 상기 제 1 데이터 라인(DL1)은 목표 전압값으로 충분히 충전된다. 따라서, 제 1 및 제 2 화소셀(PXL)간은 휘도편차는 발생하지 않는다.
- [0087] 이후 제 3 기간(T3)에, 도 5c에 도시된 바와 같이, 쉬프트 레지스터(202)가 제 1 진폭(Vamp1)을 갖는 제 3 스캔 펄스(Vout3)를 제 3 게이트 라인(GL3)에 공급하여, 상기 제 3 게이트 라인(GL3)에 접속된 제 3 화소셀(PXL)을 구동시킨다. 이 제 3 기간(T3)에 데이터 드라이버(201)는 상기 제 1 데이터 라인(DL1)에 부극성의 데이터 신호를 공급한다. 이에 따라, 상기 제 3 화소셀(PXL)은 상기 제 1 데이터 라인(DL1)에 충전된 부극성의 데이터 신호를 공급받는다.
- [0088] 이때, 상기 제 3 기간(T3)에 상기 제 1 데이터 라인(DL1)에 충전되는 데이터 신호의 극성이 반전되기 때문에, 상기 제 3 기간(T3)에 상기 제 1 데이터 라인(DL1)이 유효기간내에 충분히 목표 전압값으로 유지되기 어려워진다.
- [0089] 그러나, 제 3 게이트 라인(GL3)에 공급된 제 3 스캔펄스(Vout3)의 진폭이 상기 제 2 게이트 라인(GL2)에 공급된 제 2 스캔펄스(Vout2)의 진폭보다 크므로, 이 제 3 스캔펄스(Vout3)를 공급받는 스위칭소자(상기 제 3 화소셀(PXL)에 위치하여 상기 제 3 게이트 라인(GL3)에 접속된 스위칭소자)는 과도하게 턴-온상태를 유지한다. 이에 따라, 상기 제 1 데이터 라인(DL1)에 충전된 부극성의 데이터 신호가 상기 턴-온된 스위칭소자를 통해 제 3 화소셀(PXL)의 화소전극에 유효기간내에 충분히 공급된다.
- [0090] 이에 따라, 상기 제 3 화소셀(PXL)과 제 4 화소셀(PXL)간의 휘도차이가 발생하지 않는다.
- [0091] 이어서 제 4 기간(T4)에, 도 5d에 도시된 바와 같이, 쉬프트 레지스터(202)가 제 2 진폭(Vamp2)을 갖는 제 4 스캔펄스(Vout4)를 제 4 게이트 라인(GL4)에 공급하여, 상기 제 4 게이트 라인(GL4)에 접속된 제 4 화소셀(PXL)을 구동시킨다. 이 제 4 기간(T4)에 데이터 드라이버(201)는 상기 제 1 데이터 라인(DL1)에 부극성의 데이터 신호를 공급한다. 이에 따라, 상기 제 4 화소셀(PXL)은 상기 제 1 데이터 라인(DL1)에 충전된 부극성의 데이터 신호를 공급받는다.
- [0092] 여기서, 연속하는 제 3 기간(T3)과 제 4 기간(T4)에 상기 제 1 데이터 라인(DL1)에는 동일한 극성의 데이터 신호, 즉 부극성의 데이터가 신호가 연속하여 공급되므로 제 4 기간(T4)에 상기 데이터 라인(DL1)은 목표 전압값으로 충분히 충전된다. 따라서, 제 1 및 제 2 화소셀(PXL)간은 휘도편차는 발생하지 않는다.
- [0093] 나머지 제 5 내지 제 n 화소셀(PXL)도 상술한 바와 같은 방법으로 구동된다.
- [0094] 한편, 상기 쉬프트 레지스터(202)가 상술한 바와 같은 스캔펄스를 출력할 수 있도록, 상기 쉬프트 레지스터(202)는 다음과 같은 구조를 갖는다.
- [0095] 도 6은 도 2의 쉬프트 레지스터에 대한 상세 구성도이고, 도 7은 도 6에 도시된 쉬프트 레지스터에 공급되는 각종 스캔펄스 및 상기 쉬프트 레지스터로부터 출력된 스캔펄스의 타이밍도를 나타낸 도면이다.
- [0096] 쉬프트 레지스터(202)는, 도 6에 도시된 바와 같이, 서로 종속적으로 연결된 n개의 스테이지들(ST1 내지 STn) 및 하나의 더미 스테이지(STn+1)로 구성된다. 여기서, 각 스테이지들(ST1 내지 STn+1)은 한 프레임에 한 번의 스캔펄스(Vout1 내지 Voutn+1)를 출력하며, 이때 상기 제 1 스테이지(ST1)부터 더미 스테이지(STn+1)까지 차례로 스캔펄스(Vout1 내지 Voutn+1)를 출력한다. 이때, 상기 더미 스테이지(STn+1)를 제외한 상기 스테이지들(ST1 내지 STn)로부터 출력된 스캔펄스들(Vout1 내지 Voutn)은 상기 표시부(200)의 게이트 라인들(GL1 내지 GLn)에 순차적으로 공급되어, 상기 게이트 라인들(GL1 내지 GLn)을 순차적으로 스캐닝하게 된다.
- [0097] 이와 같이 구성된 쉬프트 레지스터(202)의 전체 스테이지(AST1 내지 ASTn+1)는 제 1 전압원(VDD) 및 제 2 전압원(VSS)과, 그리고, 도 7에 도시된 바와 같이, 서로 순차적인 위상차를 갖는 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4) 중 한 개의 클럭펄스를 인가받는다.
- [0098] 상기 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)는 제 1 내지 제 4 클럭전송라인(801 내지 804)을 통해 각 스테

이지(ST1 내지 STn+1)로 전송되는데, 각 스테이지(ST1 내지 STn+1)는 상기 제 1 내지 제 4 클럭전송라인(801 내지 804)에 병렬로 접속되어 상기 제 1 내지 제 4 클럭펄스들(CLK1 내지 CLK4) 중 하나를 공급받는다. 즉, 더미 스테이지(STn+1)를 제외한 제 4q+1 스테이지는 제 1 클럭펄스(CLK1)를 공급받아 이를 스캔펄스로서 출력하고, 제 4q+2 스테이지는 제 2 클럭펄스(CLK2)를 공급받아 이를 스캔펄스로서 출력하고, 제 4q+3 스테이지는 제 3 클럭펄스(CLK3)를 공급받아 이를 스캔펄스로서 출력하며, 그리고 제 4q+4 스테이지는 제 4 클럭펄스(CLK4)를 공급받아 이를 스캔펄스로서 출력한다(q는 0을 포함한 자연수).

- [0099] 상기 제 1 및 제 3 클럭펄스(CLK1, CLK3)는 상술한 제 1 진폭(Vamp1)을 갖는 스캔펄스에 대응되는 클럭펄스이고, 상기 제 2 및 제 4 클럭펄스(CLK2, CLK4)는 상술한 제 2 진폭(Vamp2)을 갖는 스캔펄스에 대응되는 클럭펄스이다. 즉, 상기 제 1 및 제 3 클럭펄스(CLK1, CLK3)는 제 2 및 제 4 클럭펄스(CLK2, CLK4)보다 더 큰 진폭을 갖는다.
- [0100] 상기 제 1 전압원(VDD)은 정극성의 전압원을 의미하며, 상기 제 2 전압원(VSS)은 부극성의 전압원을 의미한다.
- [0101] 한편, 상기 스테이지들(ST1 내지 STn+1) 중 가장 상측에 위치한 제 1 스테이지(ST1)는, 상기 제 1 전압원(VDD), 제 2 전압원(VSS), 및 상기 한 개의 클럭펄스 외에도 스타트 펄스(Vst)를 공급받는다.
- [0102] 이와 같이 구성된 쉬프트 레지스터(202)의 동작을 상세히 설명하면 다음과 같다.
- [0103] 먼저 시작 기간(T0)에 스타트 펄스(Vst)가 제 1 스테이지(ST1)에 인가되면, 상기 제 1 스테이지(ST1)는 상기 스타트 펄스(Vst)에 응답하여 인에이블된다.
- [0104] 이어서 상기 인에이블된 제 1 스테이지(ST1)는, 제 1 기간(T1)에 출력되는 제 1 클럭펄스(CLK1 내지 CLK2)를 입력받아 제 1 스캔펄스(Vout1)를 출력하고, 이를 제 1 게이트 라인(GL1)과 제 2 스테이지(ST2)에 함께 공급한다. 그러면, 상기 제 2 스테이지(ST2)는 상기 제 1 스캔펄스(Vout1)에 응답하여 인에이블된다.
- [0105] 다음으로 상기 인에이블된 제 2 스테이지(ST2)는, 제 2 기간(T2)에 출력되는 제 2 클럭펄스(CLK2)를 입력받아 제 2 스캔펄스(Vout2)를 출력하고, 이를 제 2 게이트 라인(GL2), 제 3 스테이지(ST3) 및 상기 제 1 스테이지(ST1)에 함께 공급한다. 그러면, 상기 제 2 스캔펄스(Vout2)에 응답하여 상기 제 3 스테이지(ST3)는 인에이블된다. 또한, 상기 제 2 스캔펄스(Vout2)에 응답하여 상기 제 1 스테이지(ST1)는 디스에이블되어 제 2 전압원(VSS)을 상기 제 1 게이트 라인(GL1)에 공급한다.
- [0106] 이어서 상기 인에이블된 제 3 스테이지(ST3)는, 제 3 기간(T3)에 출력되는 제 3 클럭펄스(CLK3)를 입력받아 제 3 스캔펄스(Vout3)를 출력하고, 이를 제 3 게이트 라인(GL3), 제 4 스테이지(ST4) 및 상기 제 2 스테이지(ST2)에 함께 공급한다. 그러면, 상기 제 3 스캔펄스(Vout3)에 응답하여 상기 제 4 스테이지(ST4)는 인에이블된다. 또한, 상기 제 3 스캔펄스(Vout3)에 응답하여 상기 제 2 스테이지(ST2)는 디스에이블되어 제 2 전압원(VSS)을 상기 제 2 게이트 라인(GL2)에 공급한다.
- [0107] 이와 같은 방식으로, 나머지 제 4 내지 제 n 스테이지(ST4 내지 STn)까지 순차적으로 제 4 내지 제 n 스캔펄스(Vout3 내지 Voutn)를 출력하여 상기 제 4 내지 제 n 게이트 라인(GL4 내지 GLn)에 순차적으로 인가한다. 결국, 상기 제 1 내지 제 n 게이트 라인(GL1 내지 GLn)은 상기 순차적으로 출력되는 제 1 내지 제 n 스캔펄스(Vout1 내지 Voutn)에 의해 차례로 스캐닝된다.
- [0108] 한편, 상기 더미 스테이지(STn+1)는 제 n 기간에 상기 제 n 스테이지(STn)로부터의 제 n 스캔펄스(Voutn)에 응답하여 인에이블된 후, 제 n+1 기간에 출력되는 제 1 클럭펄스(CLK1)를 입력받아 제 n+1 스캔펄스(Voutn+1)를 출력하고, 이를 상기 제 n 스테이지(STn)에 공급하여 상기 제 n 스테이지(STn)를 디스에이블시킨다.
- [0109] 상기 제 n+1 기간에 디스에이블된 제 n 스테이지(STn)는 제 n 게이트 라인(GLn)에 상기 제 2 전압원(VSS)을 제공한다. 다시말하면, 상기 더미 스테이지(STn+1)는 단지 제 n 스테이지(STn)가 제 2 전압원(VSS)을 출력할 수 있도록 상기 제 n+1 스캔펄스(Voutn+1)를 제공할 뿐, 상기 제 n+1 스캔펄스(Voutn+1)를 게이트 라인에는 공급하지 않는다.
- [0110] 이러한 더미 스테이지(STn+1)는 상기 스테이지들간의 입출력 관계에 따라, 두 개 이상 구비될 수도 있다.
- [0111] 이와 같이 각 스테이지(ST1 내지 STn+1)가 서로 다른 진폭을 갖는 스캔펄스를 출력할 수 있도록 상기 타이밍 컨트롤러(203), 레벨 쉬프터(204), 및 전원공급부(205)는 다음과 같은 구성을 가질 수 있다.
- [0112] 도 8은 스캔펄스의 진폭 제어를 위한 타이밍 컨트롤러, 레벨 쉬프터, 및 전원공급부의 제 1 구성을 나타낸 도면이다.

- [0113] 도 8에 도시된 바와 같이, 타이밍 콘트롤러(203)는 서로 위상차를 갖는 다수의 클럭펄스들(CLK1 내지 CLK4)을 출력하며, 레벨 쉬프터(204)는 타이밍 콘트롤러(203)로부터 제공된 각 클럭펄스(CLK1 내지 CLK4)의 진폭을 다르게 변조하여 상기 쉬프트 레지스터(202)에 공급하며, 전원공급부(205)는 상기 레벨 쉬프터(204)에 서로 다른 크기를 갖는 제 1 고전압원(Vgh1) 및 제 2 고전압원(Vgh2), 그리고 저전압원(Vgl)을 공급한다.
- [0114] 상기 타이밍 콘트롤러(203)로부터 출력되는 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)는 서로 동일한 진폭 및 동일한 펄스폭을 갖는 클럭펄스들로서, 이 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)는 제 1 내지 제 4 전송라인(401 내지 404)을 통해 상기 레벨 쉬프터(204)에 공급된다.
- [0115] 상기 전원공급부(205)는 제 1 고전압원(Vgh1), 제 2 고전압원(Vgh2), 및 저전압원(Vgl)을 제 1 내지 제 3 전압전송라인(511 내지 513)을 통해 상기 레벨 쉬프터(204)에 공급한다.
- [0116] 상기 레벨 쉬프터(204)는 상기 전원공급부(205)로부터의 상기 제 1 고전압원(Vgh1) 및 저전압원(Vgl)을 이용하여 제 1 진폭(Vamp1)을 갖는 제 1 및 제 3 클럭펄스(CLK1, CLK3)를 생성하고, 상기 제 2 고전압원(Vgh2) 및 저전압원(Vgl)을 이용하여 제 2 진폭(Vamp2)을 갖는 제 2 및 제 4 클럭펄스(CLK2, CLK4)들을 생성한다. 그리고, 상기 진폭이 변화된 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)를 제 1 내지 제 4 출력라인(601 내지 604)을 통해 쉬프트 레지스터(202)에 공급한다.
- [0117] 상기 제 1 고전압원(Vgh1)은 상기 제 2 고전압원(Vgh2)보다 더 크며, 상기 저전압원(Vgl)은 상기 제 1 고전압원(Vgh1) 및 제 2 고전압원(Vgh2)보다 더 작다.
- [0118] 상기 제 1 진폭(Vamp1)은 상기 저전압원(Vgl)과 상기 제 1 고전압원(Vgh1)간의 차전압을 의미하며, 상기 제 2 진폭(Vamp2)은 상기 저전압원(Vgl)과 상기 제 2 고전압원(Vgh2)간의 차전압을 의미한다.
- [0119] 도 9는 스캔펄스의 진폭 제어를 위한 타이밍 콘트롤러, 레벨 쉬프터, 및 전원공급부의 제 2 구성을 나타낸 도면이고, 도 10은 스캔펄스의 진폭 제어를 위한 타이밍 콘트롤러, 레벨 쉬프터, 및 전원공급부의 제 3 구성을 나타낸 도면이다.
- [0120] 도 9에 도시된 바와 같이, 타이밍 콘트롤러(203) 서로 위상차를 갖는 다수의 클럭펄스들(CLK1 내지 CLK4)을 출력하며, 레벨 쉬프터(204)는 타이밍 콘트롤러(203)로부터 제공된 각 클럭펄스의 진폭을 다르게 변조하여 상기 쉬프트 레지스터(202)에 공급하며, 전원공급부(205)는 상기 레벨 쉬프터(204)에 서로 다른 크기를 갖는 제 1 고전압원(Vgh1) 및 제 2 고전압원(Vgh2), 그리고 저전압원(Vgl)을 공급한다.
- [0121] 상기 타이밍 콘트롤러(203)로부터 출력되는 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)는 서로 동일한 진폭 및 동일한 펄스폭을 갖는 클럭펄스들로서, 이 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)는 제 1 내지 제 4 전송라인(401 내지 404)을 통해 상기 레벨 쉬프터(204)에 공급된다.
- [0122] 상기 전원공급부(205)와 상기 레벨 쉬프터(204)간에는 제 1 내지 제 3 전압전송라인(511 내지 513)이 접속되어 있다. 이때, 상기 제 1 전압전송라인(511)은 제 1 고전압원(Vgh1)을 전송하기 위한 것으로, 이는 전원공급부(205)와 레벨 쉬프터(204)의 제 1 입력단자간에 직렬로 접속되어 있다. 상기 제 2 전압전송라인(512)은 제 2 고전압원(Vgh2)을 전송하기 위한 것으로, 이는 상기 제 1 전압전송라인(511)과 상기 레벨 쉬프터(204)의 제 2 입력단자간에 직렬로 접속되어 있다. 그리고, 제 3 전압전송라인(513)은 저전압원(Vgl)을 전송하기 위한 것으로, 이는 상기 전원공급부(205)와 레벨 쉬프터(204)의 제 3 입력단자간에 직렬로 접속되어 있다.
- [0123] 여기서, 상기 제 2 전압전송라인(512)은 제 1 전압전송라인(511)과 다른 저항성분을 갖는다. 구체적으로, 상기 제 2 전압전송라인(512)은 상기 제 1 전압전송라인(511)보다 더 큰 저항성분을 가지며, 이를 구현하기 위해 상기 제 2 전압전송라인(512)은 저항(R)을 포함한다.
- [0124] 즉, 상기 전원공급부(205)는 제 2 고전압원(Vgh2)을 별도로 생성하지 않고, 상기 제 2 전압전송라인(512)을 통해 제 1 고전압원(Vgh1)을 감쇄시키고 이 감쇄된 제 1 고전압원(Vgh1)을 제 2 고전압원(Vgh2)으로서 레벨 쉬프터(204)에 공급한다.
- [0125] 상기 레벨 쉬프터(204)는 상기 전원공급부(205)로부터의 상기 제 1 고전압원(Vgh1) 및 저전압원(Vgl)을 이용하여 제 1 진폭(Vamp1)을 갖는 제 1 및 제 3 클럭펄스(CLK1, CLK3)를 생성하고, 상기 제 2 고전압원(Vgh2) 및 저전압원(Vgl)을 이용하여 제 2 진폭(Vamp2)을 갖는 제 2 및 제 4 클럭펄스(CLK2, CLK4)들을 생성한다. 그리고, 상기 진폭이 변화된 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)를 제 1 내지 제 4 출력라인(601 내지 604)을 통해 쉬프트 레지스터(202)에 공급한다.

- [0126] 상기 제 1 고전압원(Vgh1)은 상기 제 2 고전압원(Vgh2)보다 더 크며, 상기 저전압원(Vg1)은 상기 제 1 고전압원(Vgh1) 및 제 2 고전압원(Vgh2)보다 더 작다.
- [0127] 상기 제 1 진폭(Vamp1)은 상기 저전압원(Vg1)과 상기 제 1 고전압원(Vgh1)간의 차전압을 의미하며, 상기 제 2 진폭(Vamp2)은 상기 저전압원(Vg1)과 상기 제 2 고전압원(Vgh2)간의 차전압을 의미한다.
- [0128] 한편, 별도의 저항을 사용하지 않고 상기 제 2 전압전송라인(512)의 폭을 제 1 전압전송라인(511)의 폭보다 줄여 상기 제 2 전압전송라인(512)의 저항성분을 늘릴 수 도 있다.
- [0129] 또 다른 방법으로, 도 10에 도시된 바와 같이, 제 2 전압전송라인(512)을 지그재그형태로 만들어 상기 제 2 전압전송라인(512)의 저항성분을 늘릴 수 도 있다.
- [0130] 또 다른 방법으로, 상기 고정적인 저항대신 가변저항을 사용함으로써, 상기 제 2 고전압원(Vgh2)의 크기를 자유롭게 변화시킬 수 있다. 이 제 2 고전압원(Vgh2)의 크기를 변화시킨다는 것은 제 2 및 제 4 클럭펄스(CLK2, CLK4)의 진폭을 자유롭게 변화시킬 수 있다는 것을 의미한다.
- [0131] 또한, 도면에 도시하지 않았지만, 상기 제 1 전압전송라인(511)에 별도의 가변저항을 설치하여 제 1 저전압원(Vg1)의 크기를 자유롭게 변화시킬 수 있다. 이 제 1 고전압원(Vgh1)의 크기를 변화시킨다는 것은 제 1 및 제 3 클럭펄스(CLK1, CLK3)의 진폭을 자유롭게 변화시킬 수 있다는 것을 의미한다.
- [0132] 도 11은 스캔펄스의 진폭 제어를 위한 타이밍 콘트롤러, 레벨 쉬프터, 및 전원공급부의 제 4 구성을 나타낸 도면이다.
- [0133] 도 11에 도시된 바와 같이, 타이밍 콘트롤러(203)는 서로 위상차를 갖는 다수의 클럭펄스들(CLK1 내지 CLK4)을 출력하며, 레벨 쉬프터(204)는 타이밍 콘트롤러(203)로부터 제공된 각 클럭펄스(CLK1 내지 CLK4)의 진폭을 동일한 비율로 변환하여 상기 쉬프트 레지스터(202)에 공급하며, 전원공급부(205)는 상기 레벨 쉬프터(204)에 고전압원 및 저전압원(Vg1)을 공급한다.
- [0134] 상기 타이밍 콘트롤러(203)로부터 출력되는 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)는 서로 동일한 진폭 및 동일한 펄스폭을 갖는 클럭펄스들로서, 이 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)는 서로 다른 저항성분을 갖는 제 1 내지 제 4 전송라인(401 내지 404)을 통해 상기 레벨 쉬프터(204)에 공급된다.
- [0135] 여기서, 상기 제 1 및 제 3 전송라인(401, 403)이 동일한 저항성분을 가지며, 제 2 및 제 4 전송라인(402, 404)이 서로 동일한 저항성분을 갖는다. 그리고, 제 1 및 제 3 전송라인(401, 403)과 상기 제 2 및 제 4 전송라인(402, 404)은 서로 다른 저항성분을 갖는다.
- [0136] 구체적으로, 상기 제 2 및 제 4 전송라인(402, 404)은 상기 제 1 및 제 3 전송라인(401, 403)보다 더 큰 저항성분을 가지며, 이를 구현하기 위해 상기 제 1 및 제 3 전송라인(401, 403)은 각각 제 1 저항(R1)을 포함하며, 상기 제 2 및 제 4 전송라인(402, 404)은 각각 상기 제 1 저항(R1)보다 더 큰 저항값을 갖는 제 2 저항(R2)을 포함한다.
- [0137] 이에 따라, 상기 제 1 전송라인(401)을 통해 레벨 쉬프터(204)에 공급되는 제 1 클럭펄스(CLK1)와 상기 제 3 전송라인(403)을 통해 상기 레벨 쉬프터(204)에 공급되는 제 3 클럭펄스(CLK3)는 서로 동일한 진폭을 가지며, 상기 제 2 전송라인(402)을 통해 레벨 쉬프터(204)에 공급되는 제 2 클럭펄스(CLK2)와 상기 제 4 전송라인(404)을 통해 상기 레벨 쉬프터(204)에 공급되는 제 4 클럭펄스(CLK4)는 서로 동일한 진폭을 갖는다. 그리고, 상기 제 1 및 제 3 클럭펄스(CLK1, CLK3)와 상기 제 2 및 제 4 클럭펄스(CLK2, CLK4)는 서로 다른 진폭을 갖는다.
- [0138] 상기 레벨 쉬프터(204)는 상기와 같이 진폭이 변조된 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)를 공급받고, 이들을 전원공급부(205)로부터 공급되는 고전압원(Vgh) 및 저전압원(Vg1)을 이용하여 게이트 라인을 구동하기에 알맞은 크기로 레벨변환시킨다. 이때, 상기 레벨변환된 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)는 변조된 진폭을 그대로 유지하면서 일정비율로 레벨변환된다.
- [0139] 이에 따라, 상기 레벨 쉬프터(204)로부터 출력된 제 1 클럭펄스(CLK1)(또는 제 3 클럭펄스(CLK3))와 제 2 클럭펄스(CLK2)(또는 제 4 클럭펄스(CLK4))는 서로 다른 진폭을 갖는다. 이 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)는 제 1 내지 제 4 출력라인(601 내지 604)을 통해 쉬프트 레지스터(202)에 공급된다.
- [0140] 한편, 별도의 저항을 사용하지 않고 상기 제 2 및 제 4 전송라인(402, 404)의 폭을 제 1 및 제 3 전송라인(401, 403)의 폭보다 줄여 상기 제 2 및 제 4 전송라인(402, 404)의 저항성분을 늘릴 수 도 있다.

- [0141] 또 다른 방법으로, 제 2 및 제 4 전송라인(402, 404)을 지그재그형태로 만들어 상기 제 2 및 제 4 전송라인(402, 404)의 저항성분을 늘릴 수 도 있다.
- [0142] 또 다른 방법으로, 상기 고정적인 저항대신 가변저항을 사용함으로써, 각 클럭펄스(CLK1 내지 CLK4)의 진폭의 크기를 자유롭게 변화시킬 수 있다.
- [0143] 도 12는 스캔펄스의 진폭 제어를 위한 타이밍 콘트롤러, 레벨 쉬프터, 및 전원공급부의 제 5 구성을 나타낸 도면이다.
- [0144] 도 12에 도시된 타이밍 콘트롤러(203), 레벨 쉬프터(204), 및 전원공급부(205)는 도 11에 도시된 그것들과 동일하다. 단, 상기 제 1 내지 제 4 전송라인(401 내지 404)은 다음과 같은 구성을 갖는다.
- [0145] 즉, 제 1 및 제 3 전송라인(401, 403)은 타이밍 콘트롤러(203)와 레벨 쉬프터(204)간에 직접 접속되어 있으며, 제 2 및 제 4 전송라인(402, 404)은 저항(R)을 통해 상기 타이밍 콘트롤러(203)와 레벨 쉬프터(204)간에 접속되어 있다. 이에 따라, 상기 제 2 및 제 4 전송라인(402, 404)은 상기 제 1 및 제 3 전송라인(401, 403)보다 더 큰 저항성분을 갖는다. 따라서, 제 1 및 제 3 전송라인(401, 403)을 통해 출력된 제 1 및 제 3 클럭펄스(CLK1, CLK3)와 제 2 및 제 4 전송라인(402, 404)을 통해 출력된 제 2 및 제 4 클럭펄스(CLK2, CLK4)는 서로 다른 진폭을 갖는다.
- [0146] 한편, 상기 고정적인 저항대신 가변저항을 사용함으로써, 상기 제 2 전송라인(402)을 통해 출력되는 제 2 클럭펄스(CLK2)의 진폭의 크기 및 상기 제 4 전송라인(404)을 통해 출력되는 제 4 클럭펄스(CLK4)의 진폭의 크기를 자유롭게 조절할 수 있다.
- [0147] 도 13은 스캔펄스의 진폭 제어를 위한 타이밍 콘트롤러, 레벨 쉬프터, 및 전원공급부의 제 6 구성을 나타낸 도면이다.
- [0148] 도 13에 도시된 바와 같이, 타이밍 콘트롤러(203)는 서로 위상차를 갖는 다수의 클럭펄스들을 출력하며, 레벨 쉬프터(204)는 타이밍 콘트롤러(203)로부터 제공된 각 클럭펄스(CLK1 내지 CLK4)를 레벨변환시켜 상기 쉬프트 레지스터(202)에 공급하며, 전원공급부(205)는 상기 레벨 쉬프터(204)에 고전압원(Vgh) 및 저전압원(Vgl)을 공급한다.
- [0149] 상기 타이밍 콘트롤러(203)로부터 출력되는 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)는 서로 동일한 진폭 및 동일한 펄스폭을 갖는 클럭펄스들로서, 이 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)는 제 1 내지 제 4 전송라인(401 내지 404)을 통해 상기 레벨 쉬프터(204)에 공급된다.
- [0150] 상기 레벨 쉬프터(204)는 상기 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)를 공급받고, 이들을 전원공급부(205)로부터 공급되는 고전압원(Vgh) 및 저전압원(Vgl)을 이용하여 게이트 라인을 구동하기에 알맞은 크기로 레벨변환시킨다. 이 레벨 쉬프터(204)로부터의 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)는 제 1 내지 제 4 출력라인(601 내지 604)을 통해 쉬프트 레지스터(202)에 공급된다.
- [0151] 여기서, 상기 제 1 및 제 3 출력라인(601, 603)이 동일한 저항성분을 가지며, 제 2 및 제 2 및 제 4 출력라인(602, 604)이 서로 동일한 저항성분을 갖는다. 그리고, 제 1 및 제 3 출력라인(601, 603)과 상기 제 2 및 제 4 출력라인(602, 604)은 서로 다른 저항성분을 갖는다.
- [0152] 구체적으로, 상기 제 2 및 제 4 출력라인(602, 604)은 상기 제 1 및 제 3 출력라인(601, 603)보다 더 큰 저항성분을 가지며, 이를 구현하기 위해 상기 제 1 및 제 3 출력라인(601, 603)은 각각 제 1 저항(R1)을 포함하며, 상기 제 2 및 제 4 출력라인(602, 604)은 각각 상기 제 1 저항(R1)보다 더 큰 저항값을 갖는 제 2 저항(R2)을 포함한다.
- [0153] 이에 따라, 상기 제 1 출력라인(601)을 쉬프트 레지스터(202)에 공급되는 제 1 클럭펄스(CLK1)와 상기 제 3 출력라인(603)을 통해 상기 쉬프트 레지스터(202)에 공급되는 제 3 클럭펄스(CLK3)는 서로 동일한 진폭을 가지며, 상기 제 2 출력라인(602)을 통해 상기 쉬프트 레지스터(202)에 공급되는 제 2 클럭펄스(CLK2)와 상기 제 4 출력라인(604)을 통해 상기 쉬프트 레지스터(202)에 공급되는 제 4 클럭펄스(CLK4)는 서로 동일한 진폭을 갖는다. 그리고, 상기 제 1 및 제 3 클럭펄스(CLK1, CLK3)와 상기 제 2 및 제 4 클럭펄스(CLK2, CLK4)는 서로 다른 진폭을 갖는다.
- [0154] 한편, 별도의 저항을 사용하지 않고 상기 제 2 및 제 4 출력라인(602, 604)의 폭을 제 1 및 제 3 출력라인(601, 603)의 폭보다 줄여 상기 제 2 및 제 4 출력라인(602, 604)의 저항성분을 늘릴 수 도 있다.

- [0155] 또 다른 방법으로, 제 2 및 제 4 출력라인(602, 604)을 지그재그형태로 만들어 상기 제 2 및 제 4 출력라인(602, 604)의 저항성분을 늘릴 수 도 있다.
- [0156] 또 다른 방법으로, 상기 고정적인 저항대신 가변저항을 사용함으로써, 각 클럭펄스(CLK1 내지 CLK4)의 진폭의 크기를 자유롭게 변화시킬 수 있다.
- [0157] 도 14는 스캔펄스의 진폭 제어를 위한 타이밍 콘트롤러, 레벨 쉬프터, 및 전원공급부의 제 7 구성을 나타낸 도면이다.
- [0158] 도 14에 도시된 타이밍 콘트롤러(203), 레벨 쉬프터(204), 및 전원공급부(205)는 도 13에 도시된 그것들과 동일하다. 단, 상기 제 1 내지 제 4 출력라인(601 내지 604)은 다음과 같은 구성을 갖는다.
- [0159] 즉, 제 1 및 제 3 출력라인(601, 603)은 레벨 쉬프터(204)와 쉬프트 레지스터(202)간에 직접 접속되어 있으며, 제 2 및 제 4 출력라인(602, 604)은 저항(R)을 통해 상기 레벨 쉬프터(204)와 쉬프트 레지스터(202)간에 접속되어 있다. 이에 따라, 상기 제 2 및 제 4 출력라인(602, 604)은 상기 제 1 및 제 3 출력라인(601, 603)보다 더 큰 저항성분을 갖는다. 따라서, 제 1 및 제 3 출력라인(601, 603)을 통해 출력된 제 1 및 제 3 클럭펄스(CLK1, CLK3)와 제 2 및 제 4 출력라인(602, 604)을 통해 출력된 제 2 및 제 4 클럭펄스(CLK2, CLK4)는 서로 다른 진폭을 갖는다.
- [0160] 한편, 상기 고정적인 저항대신 가변저항을 사용함으로써, 상기 제 2 출력라인(602)을 통해 출력되는 제 2 클럭펄스(CLK2)의 진폭의 크기 및 상기 제 4 출력라인(604)을 통해 출력되는 제 4 클럭펄스(CLK4)의 진폭의 크기를 자유롭게 조절할 수 있다.
- [0161] 한편, 상기 클럭펄스들(CLK1 내지 CLK4)의 진폭을 서로 다르게 조절하기 위해 제 1 내지 제 4 클럭전송라인(801 내지 804)간의 폭을 조절할 수도 있다.
- [0162] 도 15는 도 6의 제 1 내지 제 4 클럭전송라인을 나타낸 도면이다.
- [0163] 이때, 상술한 타이밍 콘트롤러(203), 레벨 쉬프터(204), 및 전원공급부(205)는 다음과 같이 동작한다.
- [0164] 타이밍 콘트롤러(203)는 서로 위상차를 갖는 다수의 클럭펄스들(CLK1 내지 CLK4)을 출력하며, 레벨 쉬프터(204)는 타이밍 콘트롤러(203)로부터 제공된 각 클럭펄스(CLK1 내지 CLK4)를 레벨변환시켜 상기 쉬프트 레지스터(202)에 공급하며, 전원공급부(205)는 상기 레벨 쉬프터(204)에 고전압원(Vgh) 및 저전압원(Vgl)을 공급한다.
- [0165] 상기 타이밍 콘트롤러(203)로부터 출력되는 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)는 서로 동일한 진폭 및 동일한 펄스폭을 갖는 클럭펄스들로서, 이 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)는 제 1 내지 제 4 전송라인(401 내지 404)을 통해 상기 레벨 쉬프터(204)에 공급된다.
- [0166] 상기 레벨 쉬프터(204)는 상기 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)를 공급받고, 이들을 전원공급부(205)로부터 공급되는 고전압원(Vgh) 및 저전압원(Vgl)을 이용하여 게이트 라인을 구동하기에 알맞은 크기로 레벨변환시킨다. 이 레벨 쉬프터(204)로부터의 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)는 제 1 내지 제 4 출력라인(601 내지 604)을 통해 제 1 내지 제 4 클럭전송라인(801 내지 804)들에 공급한다.
- [0167] 여기서, 도 15에 도시된 바와 같이, 제 1 및 제 3 클럭전송라인(801, 803)은 서로 동일한 폭(d1)을 가지며, 제 2 및 제 4 클럭전송라인(802, 804)은 서로 동일한 폭(d2)을 가진다. 그리고, 상기 제 1 및 제 3 클럭전송라인(801, 803)의 각 폭(d1)은 상기 제 2 및 제 4 클럭전송라인(802, 804)의 폭(d2)보다 크다. 따라서, 제 2 및 제 4 클럭전송라인(802, 804)의 저항값이 상기 제 1 및 제 3 클럭전송라인(801, 803)의 저항값보다 더 크다. 따라서, 제 1 및 제 3 클럭전송라인(801, 803)을 통해 쉬프트 레지스터(202)에 공급되는 제 1 및 제 3 클럭펄스(CLK1, CLK3)의 진폭은 상기 제 2 및 제 4 클럭전송라인(802, 804)을 통해 상기 쉬프트 레지스터(202)에 공급되는 제 2 및 제 4 클럭펄스(CLK2, CLK4)의 진폭보다 더 크다.
- [0168] 다른 방법으로, 상기 제 1 및 제 3 클럭전송라인(801, 803)은 직선형태로 형성하고, 제 2 및 제 4 클럭전송라인(802, 804)을 지그재그형태로 형성하여 상기 제 2 및 제 4 클럭전송라인(802, 804)의 저항값을 상기 제 1 및 제 3 클럭전송라인(801, 803)에 비하여 높게 형성시킬 수 있다.
- [0169] 한편, 상기 클럭전송라인들(801 내지 804)의 폭을 일정하게 하고, 상술한 바와 같은 서로 다른 저항값을 갖는 저항을 각 클럭전송라인들(801 내지 804)에 설치하여 상기 클럭펄스들간의 진폭을 다르게 변조시킬 수 도 있다. 그러나, 상기 클럭전송라인들(801 내지 804)은 공간이 협소한 액정패널(300)의 가장자리에 형성되므로, 사이즈가 큰 별도의 저항을 사용하기보다는 상술한 바와 같이 클럭전송라인(801 내지 804)들의 폭을 변화시키는 것이

유리하다.

- [0170] 도 16은 도 6의 쉬프트 레지스터에 공급되는 또 다른 클럭펄스들 및 쉬프트 레지스터로부터 출력되는 스캔펄스들의 타이밍도 나타낸 도면이다.
- [0171] 도 16에 도시된 바와 같이, 쉬프트 레지스터(202)는 서로 다른 진폭 및 서로 다른 펄스폭을 갖는 스캔펄스(Vout1 내지 Voutn)를 출력할 수도 있다. 이를 위해, 상기 쉬프트 레지스터(202)에는 서로 다른 진폭 및 서로 다른 펄스폭을 갖는 클럭펄스들(CLK1 내지 CLK4)이 공급된다.
- [0172] 제 1 및 제 3 클럭펄스(CLK1, CLK3)는 제 2 및 제 4 클럭펄스(CLK2, CLK4)보다 더 큰 진폭 및 더 작은 펄스폭을 나타낸다.
- [0173] 상기 클럭펄스들(CLK1 내지 CLK4)간의 진폭은 상술한 바와 같은 방법을 통해 제어가능하며, 상기 클럭펄스들(CLK1 내지 CLK4)간의 펄스폭은 타이밍 콘트롤러(203)에서 제어가능하다.
- [0174] 한편, 제 k+1 클럭펄스는 제 k 클럭펄스가 출력된 후 바로 출력되는 것이 아니고, 제 k 클럭펄스가 출력된 후 소정의 마진시간이 경과된 후 출력된다. 즉, 제 k+1 클럭펄스는 제 k 클럭펄스의 폴링에지에서부터 바로 라이징에지로 상승하지 않고, 상기 제 k 클럭펄스의 폴링에지로부터 소정의 마진시간이 경과한 후 라이징에지로 상승한다(k는 0을 포함한 자연수).
- [0175] 이 마진시간내에서 각 클럭펄스의 펄스폭을 조절할 수 있다. 즉, 제 1 및 제 3 클럭펄스(CLK1, CLK3)는 원래의 진폭 및 원래의 펄스폭을 유지하도록 하고, 제 2 및 제 4 클럭펄스(CLK2, CLK4)는 상기 제 1 및 제 3 클럭펄스(CLK1, CLK3)보다 작은 진폭 및 큰 펄스폭을 가지도록 할 수 있다.
- [0176] 이러한 진폭 및 펄스폭의 제어는 저항 및 커패시터에 의한 RC 시정수를 다르게 하여 제어할 수 있다. 이를 좀 더 구체적으로 설명하면 다음과 같다. 즉, 상기 저항 및 커패시터를 사용하여 원래의 클럭펄스를 왜곡시킴으로써 상기 클럭펄스의 라이징타임 및 폴링타임을 증가시킬 수 있다. 즉, 펄스폭을 증가시킬 수 있다.
- [0177] 도 17은 스캔펄스의 진폭 및 펄스폭 제어를 위한 타이밍 콘트롤러, 레벨 쉬프터, 및 전원공급부의 제 1 구성을 나타낸 도면이다.
- [0178] 도 17에 도시된 타이밍 콘트롤러(203), 레벨 쉬프터(204) 및 전원공급부(205)는, 도 9에 도시된 그것들과 동일하므로 이에 대한 설명은 생략한다. 단, 도 17에 도시된 바와 같이, 제 2 전압전송라인(512)의 일측에는 커패시터(C)가 더 접속되어 있다. 이 커패시터(C)에 의해, 상기 제 2 전압전송라인(512)을 통하여 레벨 쉬프터(204)에 공급되는 제 2 고전압원(Vgh2)은 제 1 고전압원(Vgh1)에 비하여 더 높은 시정수를 갖는다. 이에 따라, 이 제 2 고전압원(Vgh2) 및 저전압원(Vgl)에 의해 상기 레벨 쉬프터(204)로부터 생성되는 제 2 및 제 4 클럭펄스(CLK2, CLK4)는 제 1 및 제 3 클럭펄스(CLK1, CLK3)보다 더 낮은 진폭 및 더 큰 펄스폭을 갖는다.
- [0179] 도 18은 스캔펄스의 진폭 및 펄스폭 제어를 위한 타이밍 콘트롤러, 레벨 쉬프터, 및 전원공급부의 제 2 구성을 나타낸 도면이다.
- [0180] 도 18에 도시된 타이밍 콘트롤러(203), 레벨 쉬프터(204) 및 전원공급부(205)는, 도 11에 도시된 그것들과 동일하므로 이에 대한 설명은 생략한다. 단, 도 18에 도시된 바와 같이, 제 1 및 제 3 전송라인(401, 403)의 일측에는 각각 제 1 커패시터(C1)가 더 접속되어 있으며, 제 2 및 제 4 전송라인(402, 404)의 일측에는 각각 제 2 커패시터(C2)가 더 접속되어 있다.
- [0181] 여기서, 상기 제 2 커패시터(C2)는 상기 제 1 커패시터(C1)보다 더 큰 용량을 갖는다.
- [0182] 이 제 2 커패시터(C2)에 의해, 상기 제 2 및 제 4 전송라인(402, 404)을 통해 레벨 쉬프터(204)에 공급되는 제 2 및 제 4 클럭펄스(CLK4)는 제 1 및 제 3 클럭펄스(CLK3)보다 더 높은 시정수를 갖는다. 이에 따라, 상기 레벨 쉬프터(204)로부터 생성되는 제 2 및 제 4 클럭펄스(CLK4)는 제 1 및 제 3 클럭펄스(CLK3)보다 더 낮은 진폭 및 더 큰 펄스폭을 갖는다.
- [0183] 도 19는 스캔펄스의 진폭 및 펄스폭 제어를 위한 타이밍 콘트롤러, 레벨 쉬프터, 및 전원공급부의 제 3 구성을 나타낸 도면이다.
- [0184] 도 19에 도시된 타이밍 콘트롤러(203), 레벨 쉬프터(204) 및 전원공급부(205)는, 도 12에 도시된 그것들과 동일하므로 이에 대한 설명은 생략한다. 단, 도 19에 도시된 바와 같이, 제 2 및 제 4 전송라인(402, 404)의 일측에는 각각 커패시터(C)가 더 접속되어 있다.

- [0185] 이 커패시터(C)에 의해, 상기 제 2 및 제 4 전송라인(402, 404)을 통해 레벨 쉬프터(204)에 공급되는 제 2 및 제 4 클럭펄스(CLK2, CLK4)는 제 1 및 제 3 클럭펄스(CLK1, CLK3)보다 더 높은 시정수를 갖는다. 이에 따라, 상기 레벨 쉬프터(204)로부터 생성되는 제 2 및 제 4 클럭펄스(CLK2, CLK4)는 제 1 및 제 3 클럭펄스(CLK1, CLK3)보다 더 낮은 진폭 및 더 큰 펄스폭을 갖는다.
- [0186] 도 20은 스캔펄스의 진폭 및 펄스폭 제어를 위한 타이밍 콘트롤러, 레벨 쉬프터, 및 전원공급부의 제 4 구성을 나타낸 도면이다.
- [0187] 도 20에 도시된 타이밍 콘트롤러(203), 레벨 쉬프터(204) 및 전원공급부(205)는, 도 13에 도시된 그것들과 동일하므로 이에 대한 설명은 생략한다. 단, 도 20에 도시된 바와 같이, 제 1 및 제 3 출력라인(601, 603)의 일측에는 각각 제 1 커패시터(C1)가 더 접속되어 있으며, 제 2 및 제 4 출력라인(602, 604)의 일측에는 각각 제 2 커패시터(C2)가 더 접속되어 있다.
- [0188] 여기서, 상기 제 2 커패시터(C2)는 상기 제 1 커패시터(C1)보다 더 큰 용량을 갖는다.
- [0189] 이 제 2 커패시터(C2)에 의해, 상기 제 2 및 제 4 출력라인(602, 604)을 통해 쉬프트 레지스터(202)에 공급되는 제 2 및 제 4 클럭펄스(CLK2, CLK4)는 제 1 및 제 3 클럭펄스(CLK1, CLK3)보다 더 높은 시정수를 갖는다. 즉, 상기 레벨 쉬프터(204)로부터 출력되는 제 2 및 제 4 클럭펄스(CLK2, CLK4)는 제 1 및 제 3 클럭펄스(CLK1, CLK3)보다 더 낮은 진폭 및 더 큰 펄스폭을 갖는다.
- [0190] 도 21은 스캔펄스의 진폭 및 펄스폭 제어를 위한 타이밍 콘트롤러, 레벨 쉬프터, 및 전원공급부의 제 5 구성을 나타낸 도면이다.
- [0191] 도 21에 도시된 타이밍 콘트롤러(203), 레벨 쉬프터(204) 및 전원공급부(205)는, 도 14에 도시된 그것들과 동일하므로 이에 대한 설명은 생략한다. 단, 도 21에 도시된 바와 같이, 제 2 및 제 4 출력라인(602, 604)의 일측에는 각각 커패시터(C)가 더 접속되어 있다.
- [0192] 이 커패시터(C)에 의해, 상기 제 2 및 제 4 출력라인(602, 604)을 통해 쉬프트 레지스터(202)에 공급되는 제 2 및 제 4 클럭펄스(CLK2, CLK4)는 제 1 및 제 3 클럭펄스(CLK1, CLK3)보다 더 높은 시정수를 갖는다. 즉, 상기 레벨 쉬프터(204)로부터 출력되는 제 2 및 제 4 클럭펄스(CLK2, CLK4)는 제 1 및 제 3 클럭펄스(CLK1, CLK3)보다 더 낮은 진폭 및 더 큰 펄스폭을 갖는다.
- [0193] 한편, 상기 제 2 전압전송라인(512)에 접속된 커패시터(C), 제 2 및 제 4 전송라인(402, 404)에 접속된 제 2 커패시터(C2), 또는 제 2 및 제 4 출력라인(602, 604)에 접속된 제 2 커패시터(C2)의 용량을 기준 용량보다 더 크게 설정함으로써 각 클럭펄스(CLK1 내지 CLK4)의 출력기간이 일정기간 중첩되도록 할 수도 있다. 이를 좀 더 구체적으로 설명하면 다음과 같다.
- [0194] 즉, 도 22는 도 6의 쉬프트 레지스터에 공급되는 또 다른 클럭펄스들 및 쉬프트 레지스터로부터 출력되는 스캔펄스의 타이밍도를 나타낸 도면으로서, 동 도면에 도시된 바와 같이, 서로 인접한 기간에 출력되는 클럭펄스들(CLK1 내지 CLK4)의 하이구간이 서로 일정기간 중첩되어 있다. 이에 따라, 제 k+1 클럭펄스에 의해 충전되는 제 k+1 게이트 라인은 제 k 클럭펄스와 제 k+1 클럭펄스가 동시에 출력되는 중첩기간에 예비충전되고, 이후 제 k+1 클럭펄스만이 출력되는 기간 및 제 k+1 클럭펄스와 제 k+2 클럭펄스가 동시에 출력되는 중첩기간에 목표로 하는 전압값으로 충전된다.
- [0195] 이와 같은 특성의 클럭펄스를 공급받는 쉬프트 레지스터(202)는, 도 21에 도시된 바와 같은 특성을 갖는 스캔펄스들(Vout1 내지 Voutn)을 출력한다.
- [0196] 한편, 도 23은 본 발명의 제 2 실시예에 따른 표시장치를 나타낸 도면으로서, 동 도면에 도시된 바와 같이, 각 화소셀그룹(Gr1 내지 Grp)은 3개의 화소셀(PXL)들을 갖는다. 또한, 도 24는 도 23의 게이트 라인들에 공급되는 스캔펄스들의 타이밍도를 나타낸 도면으로서, 동 도면에 도시된 바와 같이, 각 스캔펄스(Vout1 내지 Voutn)는 서로 다른 진폭을 갖는다.
- [0197] 기수번째 데이터 라인(DL1, DL3, ..., DLm-1)에 접속되며 기수번째 화소셀그룹(Gr1, Gr3, ..., Grp-1)에 포함되는 화소셀(PXL)들은 정극성의 데이터 신호를 공급받으며, 기수번째 데이터 라인(DL1, DL3, ..., DLm-1)에 접속되며 우수번째 화소셀그룹(Gr2, Gr4, ..., Grp)에 포함되는 화소셀(PXL)들은 부극성의 데이터 신호를 공급받는다.
- [0198] 또한, 우수번째 데이터 라인(DL2, DL4, ..., DLm)에 접속되며 기수번째 화소셀그룹(Gr1, Gr3, ..., Grp-1)에

포함되는 화소셀(PXL)들은 부극성의 데이터 신호를 공급받으며, 우수번째 데이터 라인(DL2, DL4, ..., DLm)에 접속되며 우수번째 화소셀그룹(Gr2, Gr4, ..., Grp)에 포함되는 화소셀(PXL)들은 정극성의 데이터 신호를 공급받는다.

- [0199] 이에 따라, 하나의 데이터 라인에 공통으로 접속된 화소셀(PXL)들은, 화소셀그룹별로 서로 다른 극성의 데이터 신호를 공급받는다. 예를들어, 제 1 데이터 라인(DL1)에 접속되며 제 1 화소셀그룹(Gr1)에 속한 세 개의 화소셀(PXL)은 모두 정극성의 데이터 신호를 공급받는 반면, 상기 제 1 데이터 라인(DL1)에 접속되며 제 2 화소셀그룹(Gr2)에 속한 세 개의 화소셀(PXL)은 모두 부극성의 데이터 신호를 공급받는다. 이때, 상기 데이터 드라이버(201)는 1프레임 주기로 각 데이터 라인(DL1 내지 DLm)에 공급되는 데이터 신호의 극성을 변화시킨다. 이에 따라, 기수번째 프레임에는 모든 화소셀(PXL)들이 도 23에 도시된 바와 같은 극성을 나타내며, 우수번째 프레임에는 도 23에 도시된 화소셀(PXL)들이 현재 표시된 극성과 반대의 극성을 나타내게 된다. 즉, 데이터 드라이버(201)는 3도트 방식으로 표시장치를 구동한다.
- [0200] 상기 쉬프트 레지스터(202)는 상기 게이트 라인들(GL1 내지 GLn)을 제 1 게이트 라인(GL1)부터 제 n 게이트 라인(GL1 내지 GLn)까지 순차적으로 구동하는데, 이때 하나의 데이터 라인에 공통으로 접속된 화소셀(PXL)들에 있어서, 서로 다른 극성의 데이터 신호를 공급받는 화소셀(PXL)들 중 먼저 구동되는 화소셀(PXL)에 접속된 게이트 라인에 제 2 진폭(Vamp2)을 갖는 스캔펄스를 공급하고, 이후 구동되는 화소셀(PXL)에 접속된 게이트 라인에 제 1 진폭(Vamp1)을 갖는 스캔펄스를 공급한다.
- [0201] 도 25는 도 4의 타이밍 컨트롤러와 클럭전송라인간의 접속관계를 나타낸 도면이다.
- [0202] 도 25에 도시된 바와 같이, 상기 타이밍 컨트롤러(203)로부터 출력된 클럭펄스들(CLK1 내지 CLK4)은 클럭전송라인들(801 내지 804)의 중심부에 공급된다.
- [0203] 종래에는 상기 타이밍 컨트롤러(203)로부터 출력된 클럭펄스들(CLK1 내지 CLK4)이 상기 클럭전송라인들(801 내지 804)의 일측 끝단에 공급되기 때문에, 상기 타이밍 컨트롤러(203)의 전송라인에 가장 근접하여 위치한 클럭전송라인들(801 내지 804)의 일측 끝단에 공급된 클럭펄스(CLK1 내지 CLK4)와 상기 타이밍 컨트롤러(203)의 전송라인(401 내지 404)으로부터 가장 멀리 위치한 클럭전송라인들(801 내지 804)의 타측 끝단에 공급된 클럭펄스(CLK1 내지 CLK4)간의 왜곡정도에 큰 편차가 발생하였다.
- [0204] 이러한 큰 편차에 의해 각 신호간의 타이밍 마진(timing margin)이 줄어들고, 화면의 상측과 하측간에 화질에 차이가 발생할 수 있다.
- [0205] 본 발명에서는 상기 타이밍 컨트롤러(203)의 각 전송라인(401 내지 404)이 각 클럭전송라인(801 내지 804)의 중심부에 연결되어 있기 때문에, 상기 타이밍 컨트롤러(203)로부터의 각 클럭펄스(CLK1 내지 CLK4)는 각 클럭전송라인(801 내지 804)의 어느 끝단이 아닌 중심부에 공급된다. 따라서, 각 클럭전송라인(801 내지 804)의 일측 끝단에서의 신호의 왜곡정도와 타측 끝단에서의 신호의 왜곡정도간의 편차를 크게 줄일 수 있다.
- [0206] 한편, 도 26은 도 4의 타이밍 컨트롤러와 클럭전송라인간의 또 다른 접속관계를 나타낸 도면으로서, 동 도면에 도시된 바와 같이, 상기 타이밍 컨트롤러(203)와 클럭전송라인들(801 내지 804)간에는 레벨 쉬프터(204)가 더 접속되어 있다.
- [0207] 즉, 상기 타이밍 컨트롤러(203)로부터의 클럭펄스들(CLK1 내지 CLK4)은 상기 레벨 쉬프터(204)를 경유하여 상기 각 클럭전송라인(801 내지 804)의 중심부에 공급된다. 여기서, 상기 레벨 쉬프터(204)의 각 출력라인(601 내지 604)이 각 클럭전송라인(801 내지 804)의 중심부에 연결되어 있기 때문에, 상기 레벨 쉬프터(204)로부터의 각 클럭펄스(CLK1 내지 CLK4)는 각 클럭전송라인(801 내지 804)의 어느 끝단이 아닌 중심부에 공급된다. 따라서, 각 클럭전송라인(801 내지 804)의 일측 끝단에서의 신호의 왜곡정도와 타측 끝단에서의 신호의 왜곡정도간의 편차를 크게 줄일 수 있다.
- [0208] 도 25 및 도 26에 도시된 구조는, 게이트 라인의 길이가 짧고 데이터 라인의 길이가 긴 형태의 표시장치에서 사용될 수도 있다. 예를 들어, 일반 핸드폰이나 세로형 디스플레이에서와 같이 가로보다 세로 길이가 긴 화면을 갖는 표시장치에 사용될 수 있다. 또한, 이러한 구조는 클럭전송라인이 짧은 패널보다 클럭전송라인이 긴 패널에 더 효과적일 수 있다.
- [0209] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

**발명의 효과**

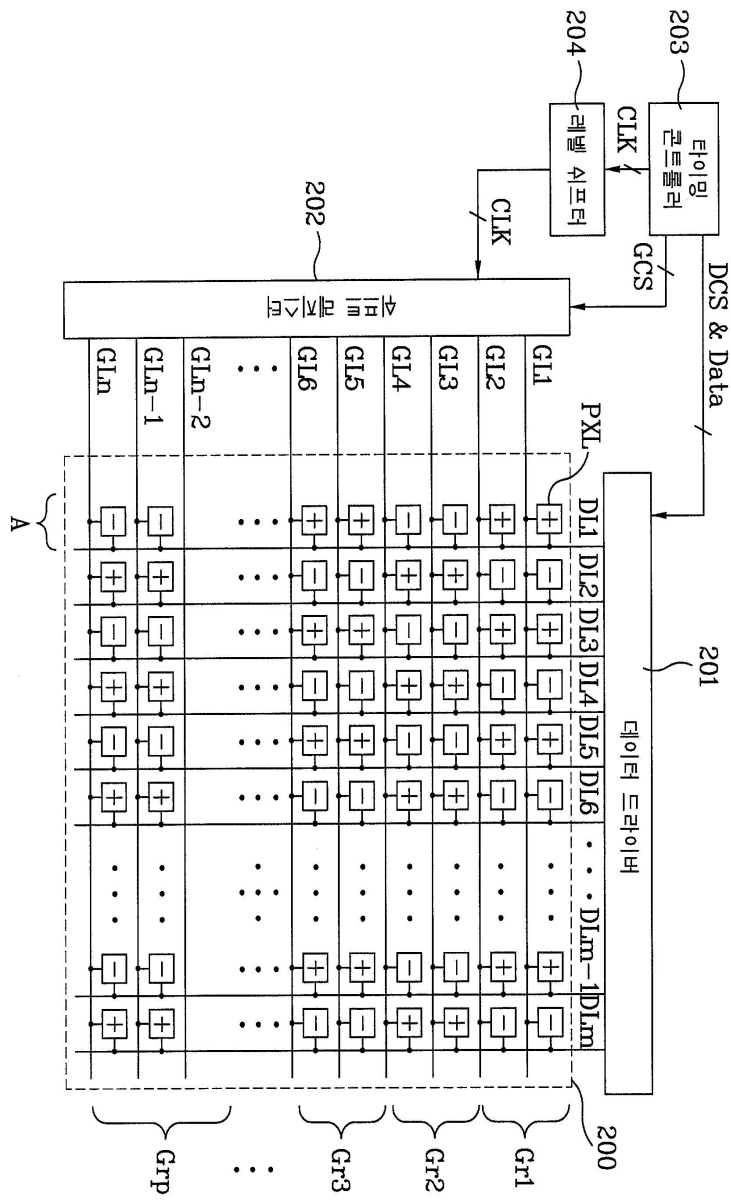
- [0210] 이상에서 설명한 바와 같은 본 발명에 따른 표시장치에는 다음과 같은 효과가 있다.
- [0211] 본 발명에 따른 표시장치는 차례로 데이터 신호를 공급받으며, 서로 다른 극성의 데이터 신호를 공급받는 화소 셀에 서로 다른 진폭 및 펄스폭을 갖는 스캔펄스를 공급함으로써, 상기 화소셀들간의 휘도편차를 방지할 수 있다.

**도면의 간단한 설명**

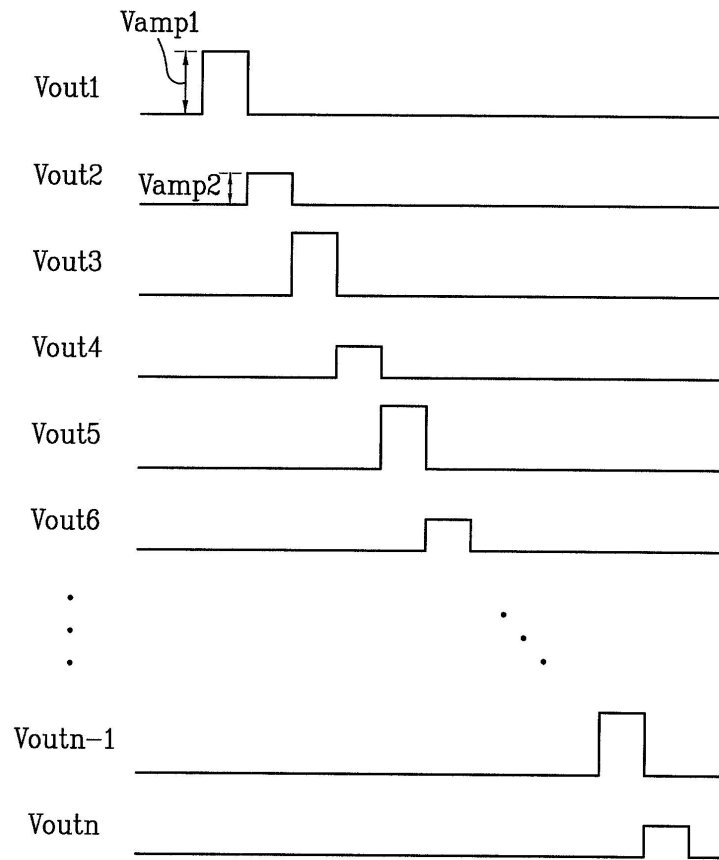
- [0001] 도 1은 종래의 2도트 인버전 구동 방식을 설명하기 위한 도면
- [0002] 도 2는 본 발명의 제 1 실시예에 따른 표시장치를 나타낸 도면
- [0003] 도 3은 도 2의 게이트 라인들에 공급되는 스캔펄스들의 타이밍도를 나타낸 도면
- [0004] 도 4는 도 2에 도시된 각 구성요소가 구비된 액정패널 및 인쇄회로기판을 나타낸 도면
- [0005] 도 5a 내지 도 5d는 도 2의 표시부에 공급되는 스캔펄스, 데이터 신호, 및 공통전압에 대한 타이밍도를 나타낸 도면
- [0006] 도 6은 도 2의 쉬프트 레지스터에 대한 상세 구성도
- [0007] 도 7은 도 6에 도시된 쉬프트 레지스터에 공급되는 각종 스캔펄스 및 상기 쉬프트 레지스터로부터 출력된 스캔펄스의 타이밍도를 나타낸 도면
- [0008] 도 8은 스캔펄스의 진폭 제어를 위한 타이밍 컨트롤러, 레벨 쉬프터, 및 전원공급부의 제 1 구성을 나타낸 도면
- [0009] 도 9는 스캔펄스의 진폭 제어를 위한 타이밍 컨트롤러, 레벨 쉬프터, 및 전원공급부의 제 2 구성을 나타낸 도면
- [0010] 도 10은 스캔펄스의 진폭 제어를 위한 타이밍 컨트롤러, 레벨 쉬프터, 및 전원공급부의 제 3 구성을 나타낸 도면
- [0011] 도 11은 스캔펄스의 진폭 제어를 위한 타이밍 컨트롤러, 레벨 쉬프터, 및 전원공급부의 제 4 구성을 나타낸 도면
- [0012] 도 12는 스캔펄스의 진폭 제어를 위한 타이밍 컨트롤러, 레벨 쉬프터, 및 전원공급부의 제 5 구성을 나타낸 도면
- [0013] 도 13은 스캔펄스의 진폭 제어를 위한 타이밍 컨트롤러, 레벨 쉬프터, 및 전원공급부의 제 6 구성을 나타낸 도면
- [0014] 도 14는 스캔펄스의 진폭 제어를 위한 타이밍 컨트롤러, 레벨 쉬프터, 및 전원공급부의 제 7 구성을 나타낸 도면
- [0015] 도 15는 도 6의 제 1 내지 제 4 클럭전송라인을 나타낸 도면
- [0016] 도 16은 도 6의 쉬프트 레지스터에 공급되는 또 다른 클럭펄스들 및 쉬프트 레지스터로부터 출력되는 스캔펄스들의 타이밍도 나타낸 도면
- [0017] 도 17은 스캔펄스의 진폭 및 펄스폭 제어를 위한 타이밍 컨트롤러, 레벨 쉬프터, 및 전원공급부의 제 1 구성을 나타낸 도면
- [0018] 도 18은 스캔펄스의 진폭 및 펄스폭 제어를 위한 타이밍 컨트롤러, 레벨 쉬프터, 및 전원공급부의 제 2 구성을 나타낸 도면
- [0019] 도 19는 스캔펄스의 진폭 및 펄스폭 제어를 위한 타이밍 컨트롤러, 레벨 쉬프터, 및 전원공급부의 제 3 구성을 나타낸 도면
- [0020] 도 20은 스캔펄스의 진폭 및 펄스폭 제어를 위한 타이밍 컨트롤러, 레벨 쉬프터, 및 전원공급부의 제 4 구성을 나타낸 도면
- [0021] 도 21은 스캔펄스의 진폭 및 펄스폭 제어를 위한 타이밍 컨트롤러, 레벨 쉬프터, 및 전원공급부의 제 5 구성을 나타낸 도면



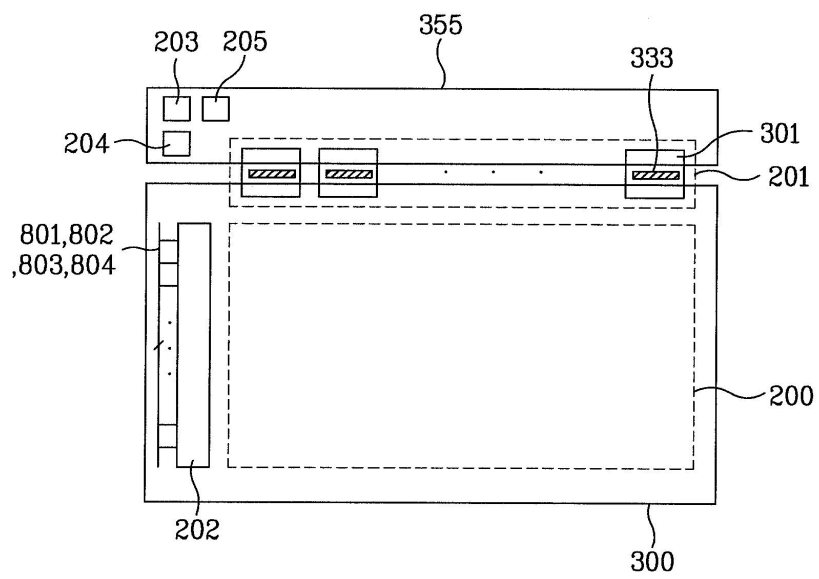
도면2



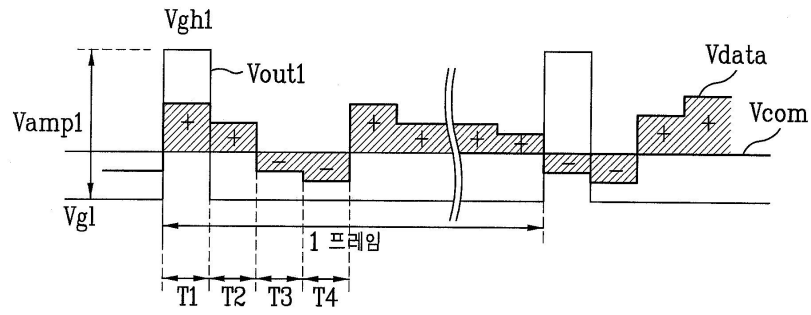
도면3



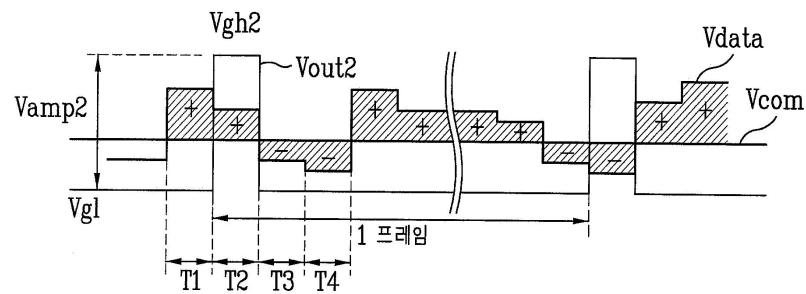
도면4



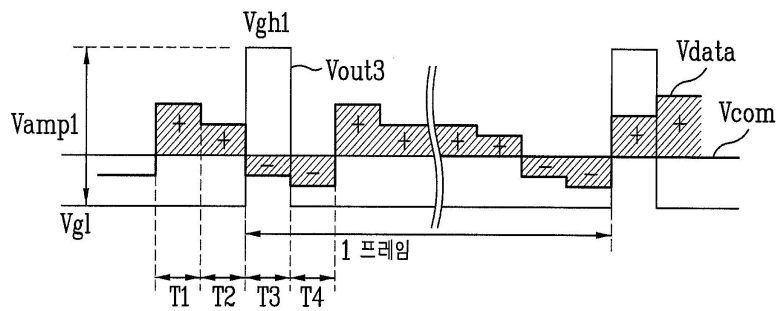
도면5a



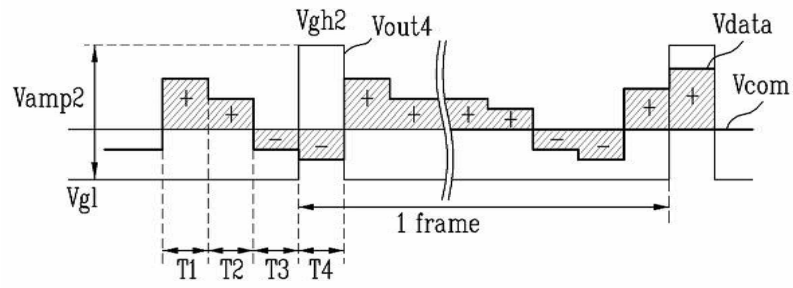
도면5b



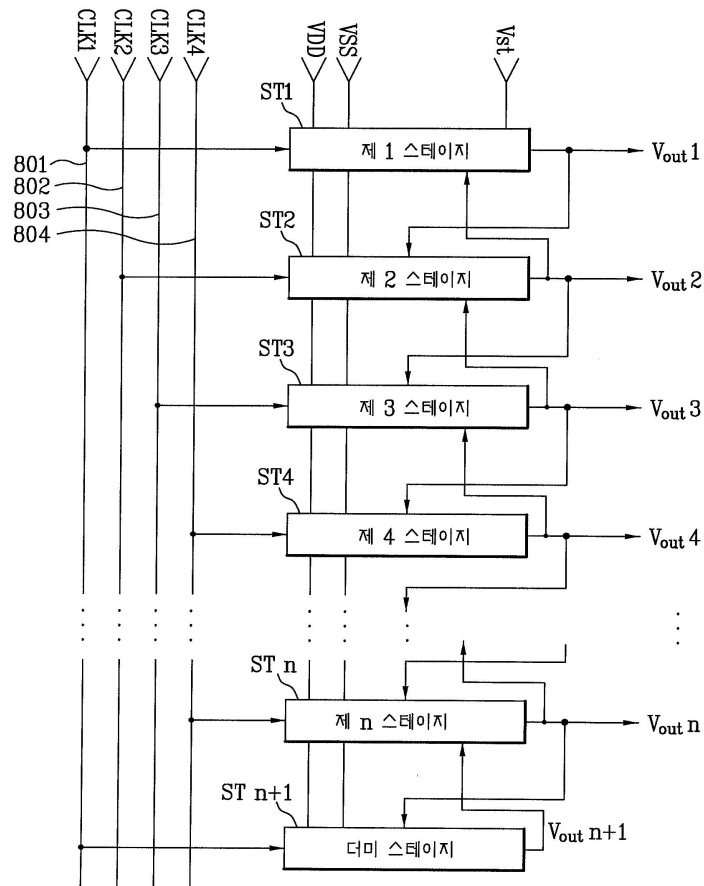
도면5c



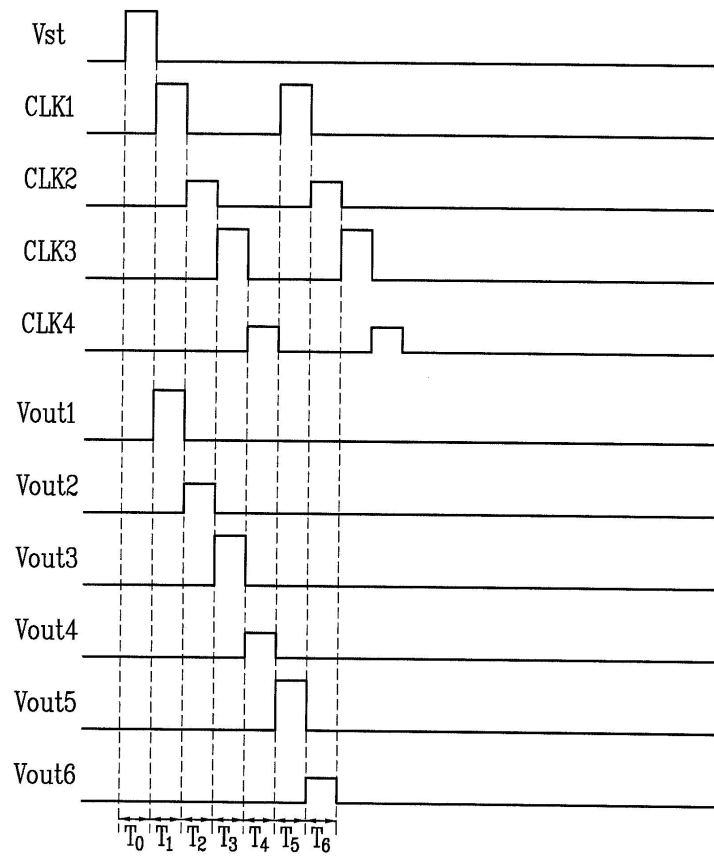
도면5d



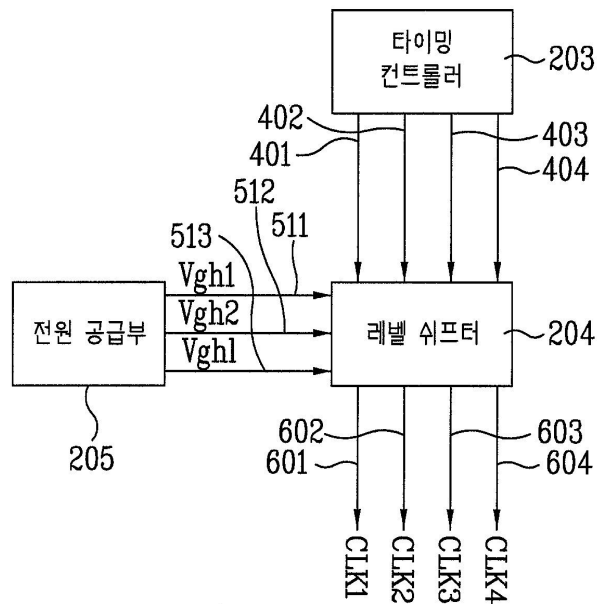
도면6



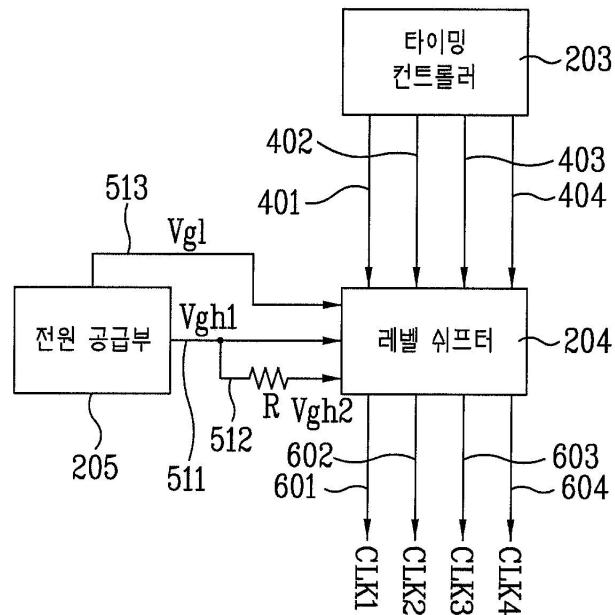
도면7



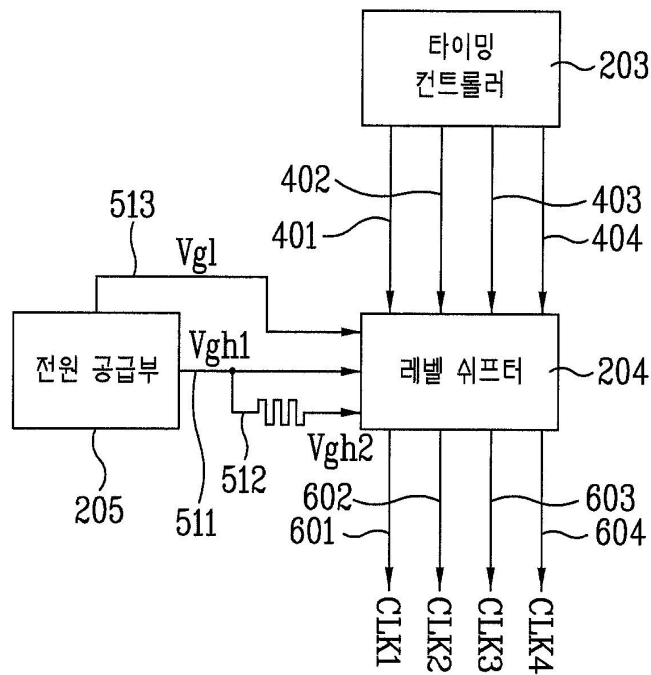
도면8



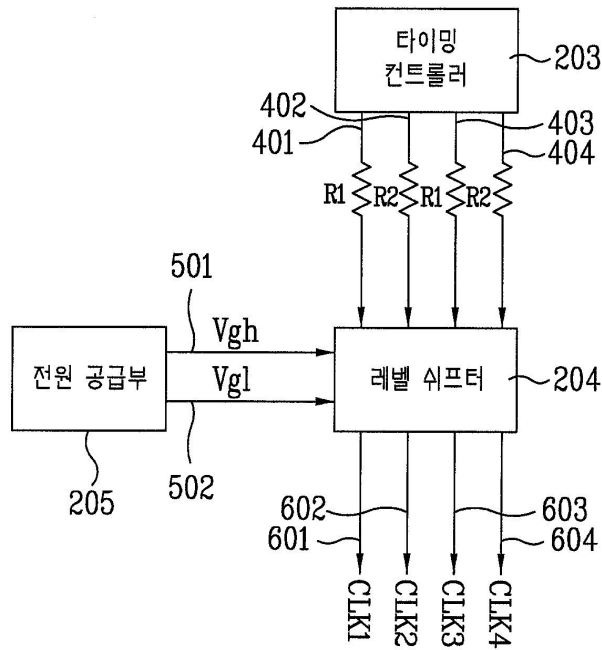
도면9



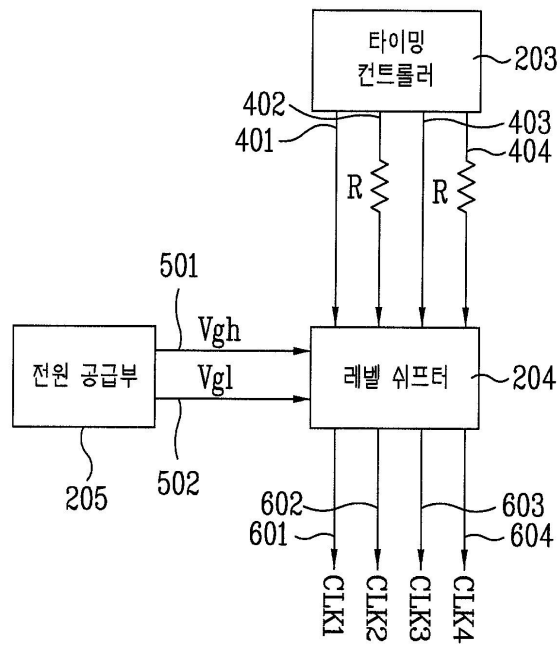
도면10



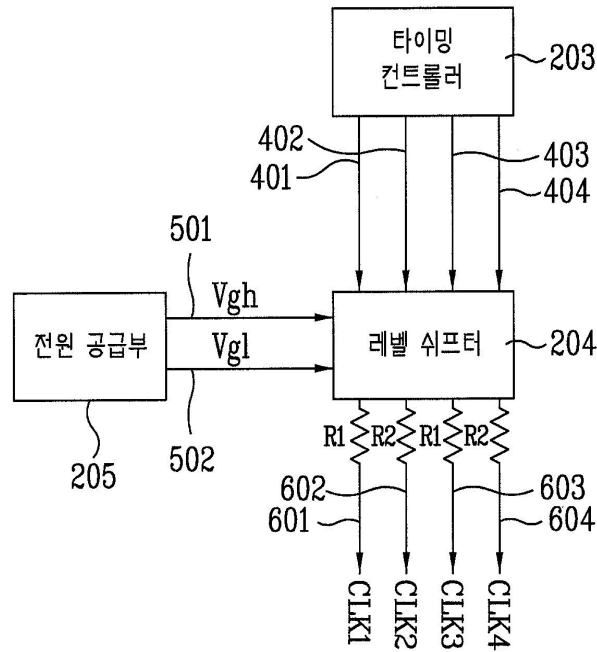
도면11



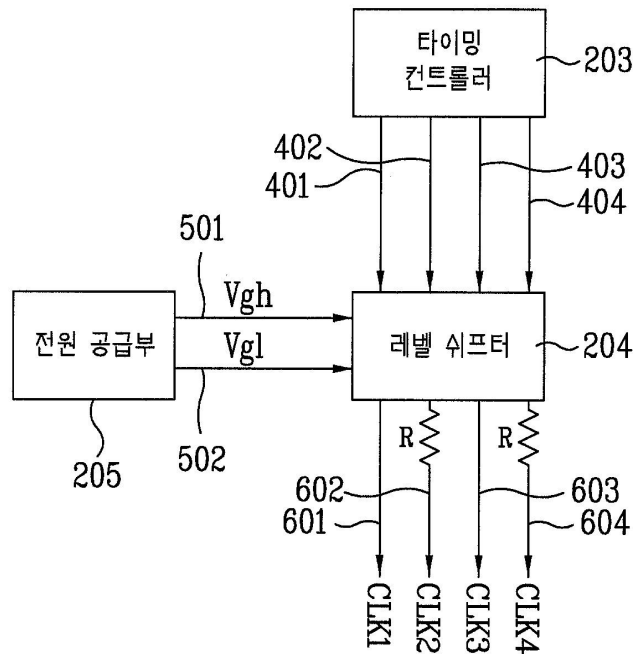
도면12



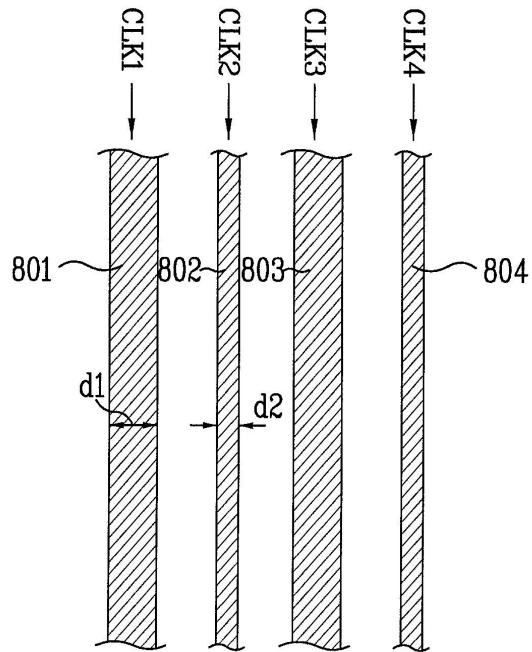
도면13



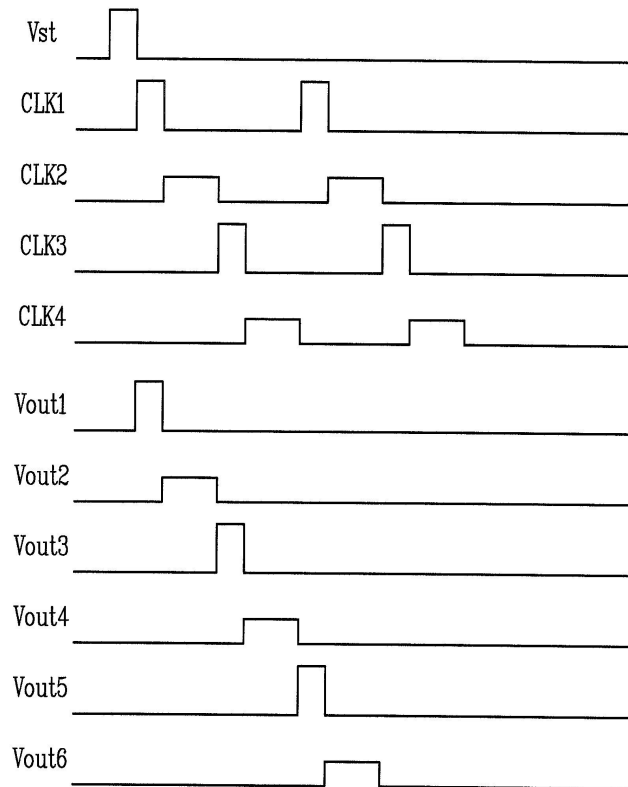
도면14



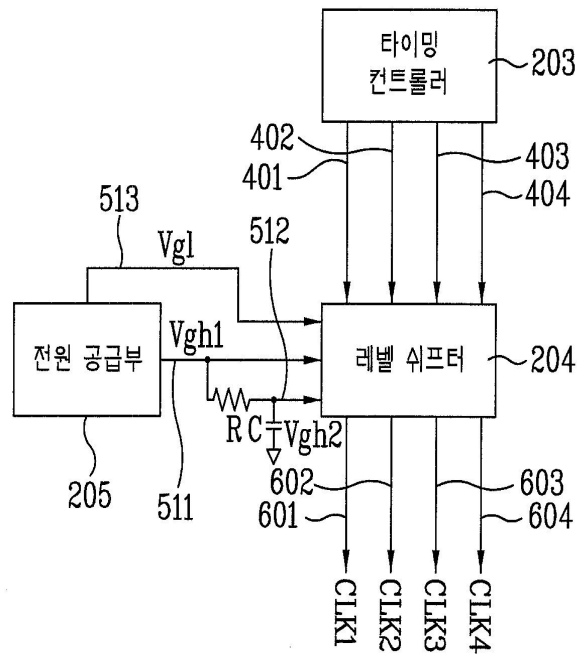
도면15



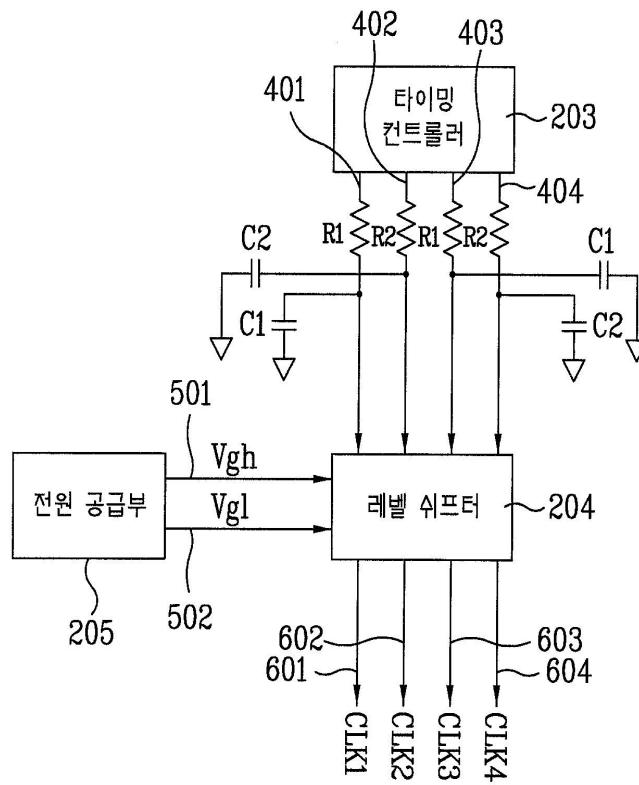
도면16



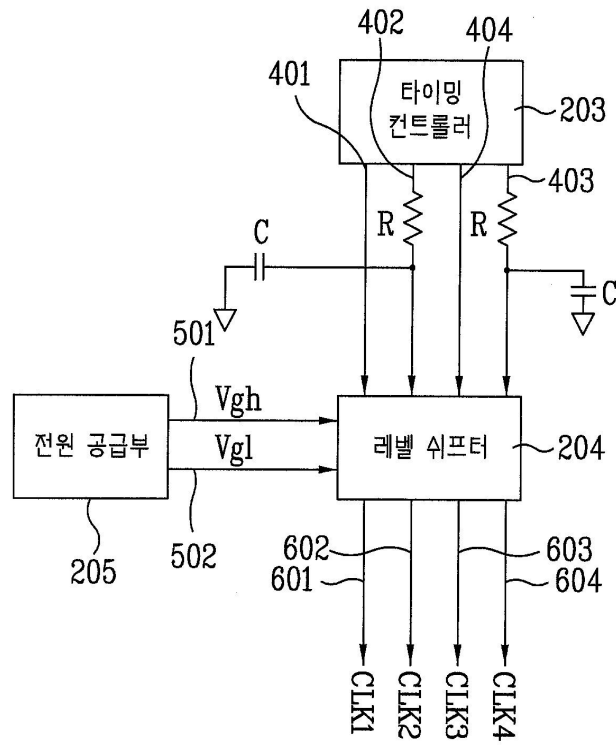
도면17



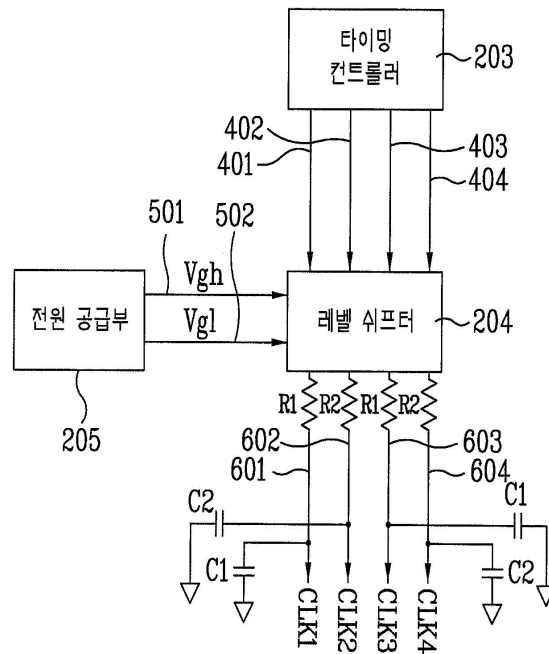
도면18



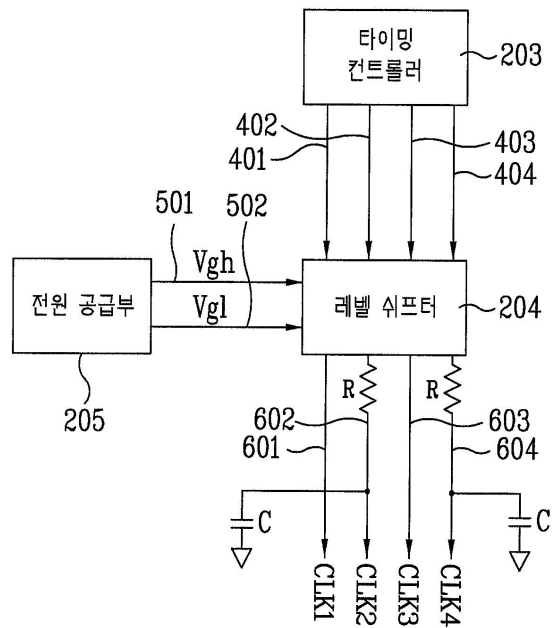
도면19



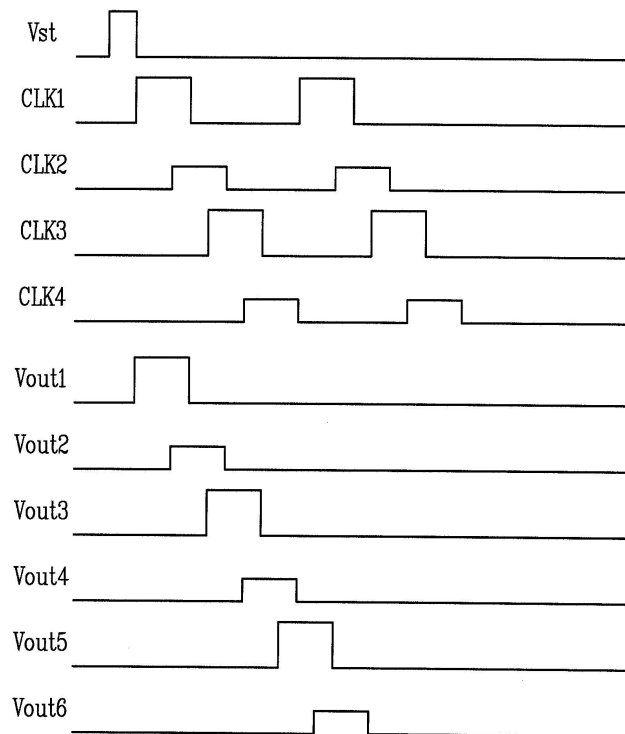
도면20



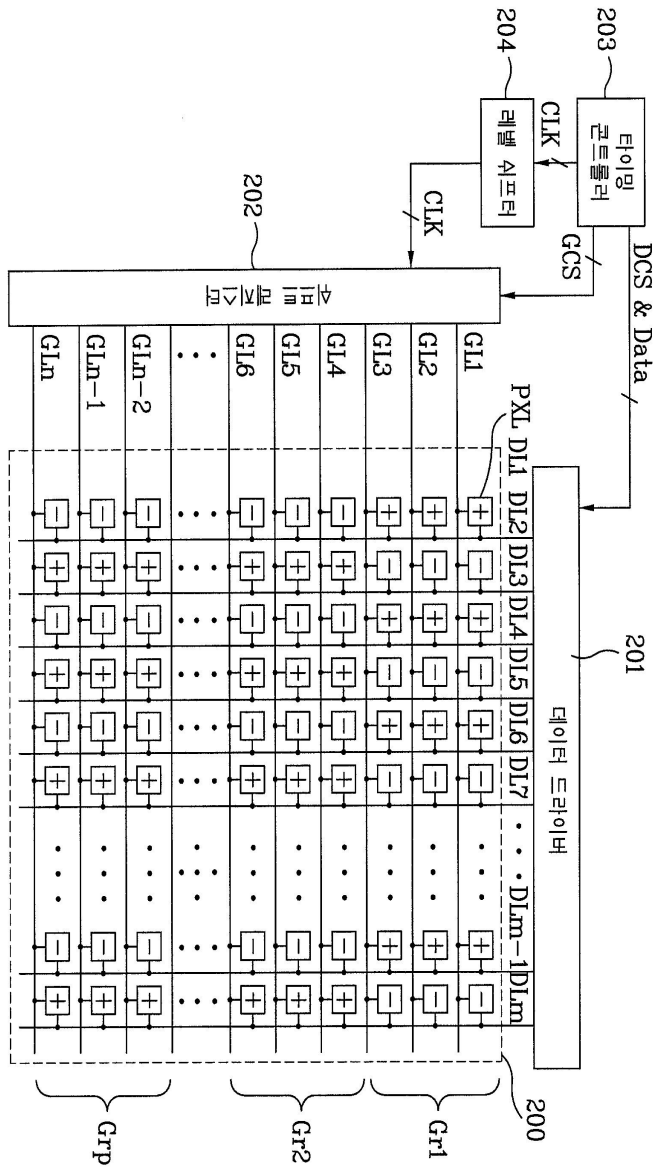
도면21



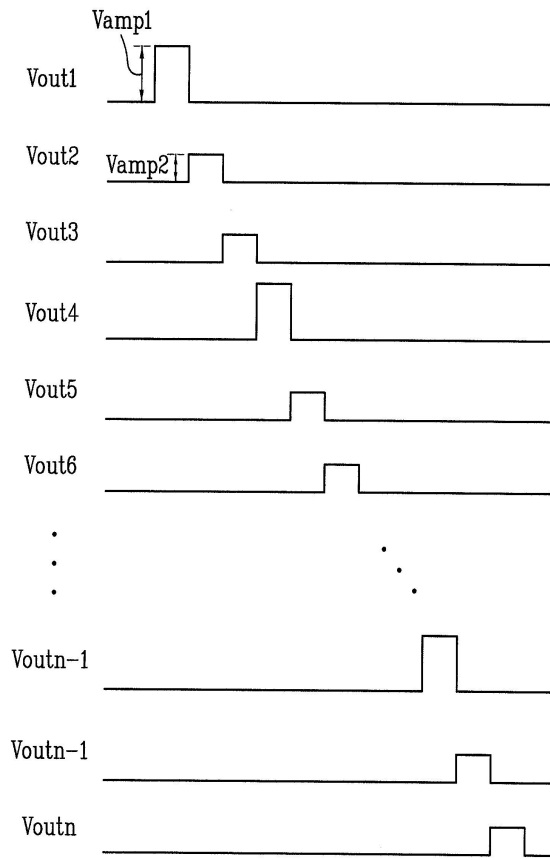
도면22



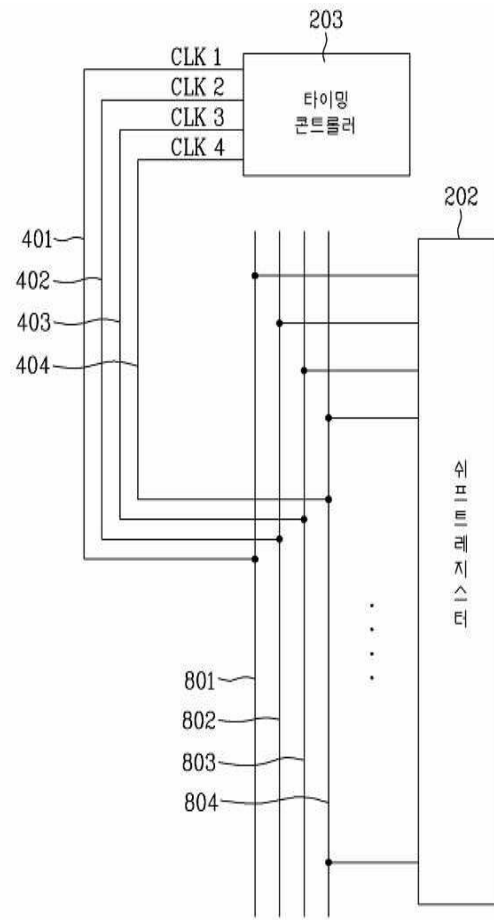
도면23



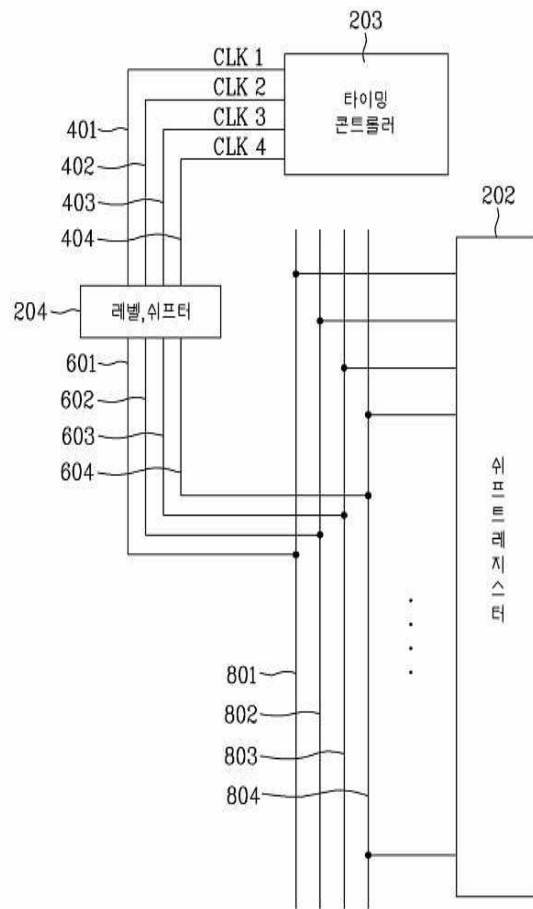
도면24



도면25



도면26



专利名称(译)	显示装置的标题		
公开(公告)号	<a href="#">KR101351387B1</a>	公开(公告)日	2014-01-14
申请号	KR1020070030191	申请日	2007-03-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHO HYUNG NYUCK 조혁력 CHUN MIN DOO 전민두 JANG YONG HO 장용호		
发明人	조혁력 전민두 장용호		
IPC分类号	G09G3/20 G09G G02F1/133 G02F G09G3/36		
CPC分类号	G09G3/3648 G09G2320/0233 G09G3/3696 G09G3/3614 G09G3/3677 G09G2320/0223		
代理人(译)	金勇 青岛公园 年轻的小公园		
优先权	1020060028979 2006-03-30 KR		
其他公开文献	KR1020070098591A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明涉及能够在2点反转驱动方法中防止像素单元之间的亮度变化的显示装置。并且用于驱动栅极线的移位寄存器为扫描脉冲提供不同幅度的至少2个像素单元，其由显示单元组成：连接到数据驱动器中的任意第一数据线的像素单元，其提供具有第二极性的数据信号分成多个像素单元组的极性具有第一极性的数据信号，并通过第一数据线向基数数目像素单元组的像素单元提供，并在偶数像素单元组的像素单元中反转关于第一极性和包括的像素单元与包括像素单元的不同像素单元组相邻，所述像素单元由用数据线交叉的多条栅极线限定的区域形成。液晶显示，2点（2点），移位寄存器，扫描脉冲，幅度，脉冲长度。

