



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년01월07일

(11) 등록번호 10-1347846

(24) 등록일자 2013년12월27일

(51) 국제특허분류(Int. Cl.)

G02F 1/1345 (2006.01) G02F 1/136 (2006.01)

G02F 1/13 (2006.01)

(21) 출원번호 10-2006-0134680

(22) 출원일자 2006년12월27일

심사청구일자 2011년11월21일

(65) 공개번호 10-2008-0060499

(43) 공개일자 2008년07월02일

(56) 선행기술조사문헌

JP2003344874 A

KR1020020061851 A

JP10170946 A

JP2000321599 A

전체 청구항 수 : 총 20 항

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

김덕성

전라남도 여수시 봉산서3길 17-11 (봉산동)

조성행

충청북도 청원군 오창읍 오창중앙로 94, 814-1304  
(한라비발디아파트)

(74) 대리인

오세준, 권혁수, 송윤호

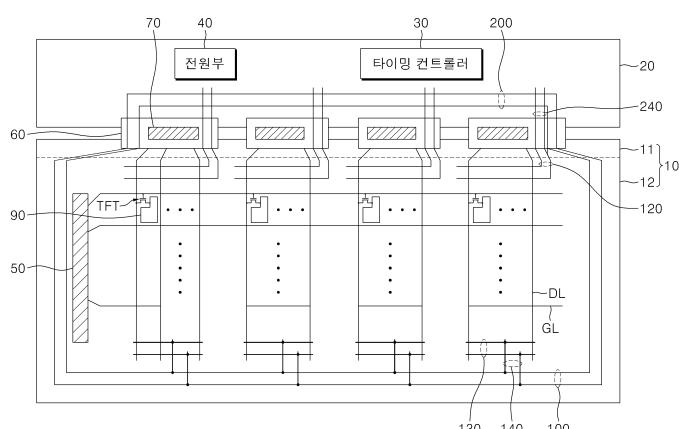
심사관 : 유창훈

(54) 발명의 명칭 박막 트랜지스터 기판, 이를 포함하는 액정표시장치 및 이의 리페어 방법

**(57) 요약**

본 발명은 리페어시 리페어 포인트 개수를 줄인 박막 트랜지스터 기판, 이를 포함하는 액정표시장치 및 이의 리페어 방법에 관한 것이다.

이를 위하여, 본 발명은 기판 위에 형성된 신호 라인, 신호 라인의 일측 끝단에 외부로부터 구동신호를 공급받는 접속 패드, 상기 기판 외곽을 따라 형성된 적어도 하나의 리페어 라인, 상기 신호 라인의 일측에 상기 신호 라인과 절연막을 사이에 두고 중첩되며, 그 일측이 상기 접속 패드와 연결되고, 리페어 시 리페어 되는 신호 라인의 일측과 연결되는 제1 보조 리페어 라인, 상기 신호 라인의 타측에 상기 신호 라인과 절연막을 사이에 두고 중첩되게 형성되며, 리페어시 상기 리페어 되는 신호 라인의 타측과 연결되는 제2 보조 리페어 라인 및 상기 제2 보조 리페어 라인과 상기 리페어 라인을 연결하는 연결 라인을 포함하는 박막 트랜지스터 기판, 이를 포함하는 액정표시장치 및 이의 리페어 방법을 제공한다.

**대 표 도 - 도1**

## 특허청구의 범위

### 청구항 1

기판 위에 형성된 신호 라인;

상기 신호 라인의 일측 끝단에 외부로부터 구동신호를 공급받는 접속 패드;

상기 기판 외곽을 따라 형성된 적어도 하나의 리페어 라인;

상기 신호 라인의 일측에 상기 신호 라인과 절연막을 사이에 두고 중첩되며, 그 일측이 상기 접속 패드와 연결되고, 리페어 시 리페어 되는 신호 라인의 일측과 연결되는 제1 보조 리페어 라인;

상기 신호 라인의 타측에 상기 신호 라인과 절연막을 사이에 두고 중첩되게 형성되며, 리페어시 상기 리페어 되는 신호 라인의 타측과 연결되는 제2 보조 리페어 라인; 및

상기 제2 보조 리페어 라인과 상기 리페어 라인을 연결하는 연결 라인을 포함하는 박막 트랜지스터 기판.

### 청구항 2

제 1 항에 있어서,

상기 신호 라인은 게이트 온/오프 전압을 공급하는 게이트 라인; 및

상기 게이트 라인과 상기 절연막을 사이에 두고 교차하여 형성된 데이터 라인을 포함하고,

상기 게이트 라인과 상기 데이터 라인이 교차하여 형성된 화소 영역에 상기 게이트 라인 및 상기 데이터 라인과 접속된 박막 트랜지스터; 및

상기 박막 트랜지스터와 접속된 화소 전극을 포함하는 박막 트랜지스터 기판.

### 청구항 3

제 2 항에 있어서,

상기 리페어 라인은 상기 게이트 라인과 동일 금속으로 동일 평면상에 형성된 것을 특징으로 하는 박막 트랜지스터 기판.

### 청구항 4

제 3 항에 있어서,

상기 제1 및 제2 보조 리페어 라인은 상기 리페어 라인과 동일한 금속으로 동일 평면상에 형성된 것을 특징으로 하는 박막 트랜지스터 기판.

### 청구항 5

제 4 항에 있어서,

상기 연결 라인은 상기 데이터 라인 및 상기 화소 전극 중 적어도 어느 하나와 동일한 금속으로 동일한 평면상에 형성된 것을 특징으로 하는 박막 트랜지스터 기판.

### 청구항 6

제 5 항에 있어서,

상기 접속 패드는 상기 게이트 라인과 연결된 게이트 접속 패드; 및

상기 데이터 라인과 접속된 데이터 접속 패드를 포함하는 박막 트랜지스터 기판.

### 청구항 7

제 6 항에 있어서,

상기 데이터 접속 패드 다수가 하나의 데이터 접속 패드 블록을 형성하는 것을 특징으로 하는 박막 트랜지스터

기판.

### 청구항 8

제 7 항에 있어서,

상기 제1 보조 리페어 라인은 상기 데이터 접속 패드 블록 단위로 상기 데이터 라인과 교차되게 형성되며, 일측이 어느 하나의 데이터 접속 패드 블록에 포함된 리페어 접속 패드와 연결되고 타측은 플로팅 되며,

상기 제2 보조 리페어 라인은 상기 데이터 접속 패드 블록 단위로 연결된 상기 데이터 라인들과 교차되게 형성되며, 플로팅 된 것을 특징으로 하는 박막 트랜지스터 기판.

### 청구항 9

제 8 항에 있어서,

상기 제1 및 제2 보조 리페어 라인 각각은 상기 리페어 라인의 개수와 동일한 개수로 형성된 것을 특징으로 하는 박막 트랜지스터 기판.

### 청구항 10

제 9 항에 있어서,

상기 제1 리페어 라인과 접속된 상기 데이터 접속 패드의 타측과 연결되며, 상기 리페어 라인과 중첩되어 리페어시 상기 리페어 라인과 연결되는 더미 라인을 더 포함하는 박막 트랜지스터 기판.

### 청구항 11

기판 위에 형성된 신호 라인, 상기 신호 라인의 일측 끝단에 외부로부터 구동신호를 공급받는 접속 패드, 상기 기판 외곽을 따라 형성된 적어도 하나의 제1 리페어 라인, 상기 신호 라인의 일측에 상기 신호 라인과 절연막을 사이에 두고 중첩되며, 그 일측이 상기 접속 패드와 연결되고, 리페어 시 리페어 되는 신호 라인의 일측과 연결되는 제1 보조 리페어 라인, 상기 신호 라인의 타측에 상기 신호 라인과 절연막을 사이에 두고 중첩되게 형성되며, 리페어시 상기 리페어 되는 신호 라인의 타측과 연결되는 제2 보조 리페어 라인; 및 상기 제2 보조 리페어 라인과 상기 제1 리페어 라인을 연결하는 연결 라인을 구비하는 제1 기판 및 액정을 사이에 두고 상기 제1 기판과 대향되어 형성된 제2 기판을 포함하는 액정패널;

상기 접속 패드에 연결되어 상기 신호 라인에 상기 구동신호를 공급하는 패널 구동부; 및

상기 제1 리페어 라인과 접속되는 제2 리페어 라인이 형성된 회로기판을 포함하는 액정표시장치.

### 청구항 12

제 11 항에 있어서,

상기 신호 라인은 게이트 라인 및 상기 게이트 라인과 절연되게 교차하는 데이터 라인을 포함하고,

상기 패널 구동부는 상기 게이트 라인에 게이트 온/오프 전압을 공급하는 게이트 구동회로;

상기 데이터 라인에 데이터 전압을 공급하는 데이터 구동회로; 및

상기 데이터 구동회로가 실장되며 일측이 상기 접속 패드와 연결되며, 타측은 상기 회로기판과 접속된 테이프 캐리어 패키지를 포함하는 액정표시장치.

### 청구항 13

제 12 항에 있어서,

상기 접속 패드는 상기 게이트 라인과 연결된 게이트 접속 패드; 및

상기 데이터 라인과 접속된 데이터 접속 패드를 포함하고, 상기 데이터 접속 패드 다수가 상기 테이프 캐리어 패키지 중 어느 하나와 연결되는 데이터 접속 패드 블록들로 형성된 것을 특징으로 하는 액정표시장치.

### 청구항 14

제 13 항에 있어서,

상기 제1 및 제2 보조 리페어 라인은 상기 데이터 접속 패드 블록별로 연결된 상기 데이터 라인과 교차되게 형성된 것을 특징으로 하는 액정표시장치.

### 청구항 15

제 14 항에 있어서,

상기 제1 보조 리페어 라인은 상기 데이터 접속 패드 블록에 형성된 어느 하나의 상기 데이터 접속 패드와 인접하여 형성된 리페어 접속 패드와 연결된 것을 특징으로 하는 액정표시장치.

### 청구항 16

제 15 항에 있어서,

상기 회로기판은 상기 제2 리페어 라인과 상기 제1 보조 리페어 라인과 리페어시 연결되는 제3 보조 리페어 라인을 포함하는 액정표시장치.

### 청구항 17

제 16 항에 있어서,

상기 제1 리페어 라인의 개수와 상기 제2 리페어 라인, 상기 제1 내지 제3 보조 리페어 라인의 개수가 서로 같은 것을 특징으로 하는 액정표시장치.

### 청구항 18

제1 기판의 신호 라인에 구동신호를 공급하여 상기 신호 라인 중 단선된 신호 라인을 검출하는 단계;

상기 단선된 신호 라인의 일측과 중첩된 제1 보조 리페어 라인, 상기 단선된 신호 라인의 타측과 중첩된 제2 보조 리페어 라인 각각을 레이저 용접하는 단계;

상기 제1 기판에 형성된 제1 리페어 라인을 단선하여 양측을 분리시키는 단계;

제2 리페어 라인이 형성된 회로기판을 상기 제1 기판과 접속하여 상기 제1 리페어 라인 및 상기 제2 리페어 라인을 연결하는 단계;

상기 제2 리페어 라인과 상기 단선된 신호 라인과 연결된 제1 보조 리페어 라인과 접속하는 단계; 및

상기 제2 리페어 라인을 상기 제1 리페어 라인이 단선된 것과 대응되게 절단하는 단계를 포함하는 액정표시장치의 리페어 방법.

### 청구항 19

제 18 항에 있어서,

상기 제1 리페어 라인을 단선하는 단계 이후에

상기 제1 기판의 기판 절단선을 따라 제1 기판의 일측을 절단하여 상기 기판 절단선과 상기 제1 기판의 가장자리에 사이에 형성된 상기 제1 리페어 라인 및 더미 라인을 상기 제1 기판으로부터 분리하는 단계; 및

상기 제1 기판과 대향하는 제2 기판을 합착하여 액정패널을 형성하는 단계를 포함하는 액정표시장치의 리페어 방법.

### 청구항 20

제 19 항에 있어서,

상기 제2 리페어 라인과 상기 단선된 신호 라인과 연결된 제1 보조 리페어 라인과 접속하는 단계는

상기 제2 리페어 라인과 상기 제1 보조 리페어 라인 사이에 상기 제1 보조 리페어 라인과 연결된 제3 보조 리페어 라인 중 상기 단선된 데이터 라인과 연결된 상기 제3 보조 리페어 라인과 상기 제2 리페어 라인을 연결하는 단계를 포함하는 액정표시장치의 리페어 방법.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

[0030]

본 발명은 박막 트랜지스터 기판, 이를 포함하는 액정표시장치 및 이의 리페어 방법에 관한 것으로, 특히 리페어 포인트 수를 줄여 리페어 공정 후 리페어 신뢰성이 향상되고, 리페어 된 신호라인의 RC 딜레이를 줄인 박막 트랜지스터 기판, 이를 포함하는 액정표시장치 및 이의 리페어 방법에 관한 것이다.

[0031]

액정표시장치는 전계를 이용하여 유전율 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시한다. 이러한 액정표시장치는 화상을 표시하는 액정패널과, 액정패널을 구동하는 패널 구동부 및 액정패널에 광을 공급하는 백라이트 유닛을 구비한다.

[0032]

액정패널은 컬러 필터 어레이가 형성된 컬러 필터 기판과 박막 트랜지스터 어레이가 형성된 박막 트랜지스터 기판이 액정을 사이에 두고 합착되어 형성된다. 컬러 필터 기판은 공통전압이 공급되는 공통전극이 형성되고, 박막 트랜지스터 기판은 데이터 전압이 개별적으로 공급되는 다수의 화소 전극이 매트릭스 형태로 형성된다. 또한, 박막 트랜지스터 기판은 다수의 화소 전극을 개별적으로 구동하기 위한 박막 트랜지스터와, 박막 트랜지스터를 순차적으로 턴온시키는 게이트 라인과, 박막 트랜지스터로 데이터 전압을 공급하는 데이터 라인이 형성된다.

[0033]

박막 트랜지스터 기판에 형성된 게이트 라인 및 데이터 라인을 포함하는 신호 라인은 수 마이크로미터 이하의 미세폭으로 형성되므로 단선 불량이 발생할 수 있다. 따라서, 박막 트랜지스터 기판은 단선된 신호 라인을 리페어하는 리페어 라인이 구비된다. 리페어 라인은 박막 트랜지스터 기판의 외곽을 따라 신호 라인과 중첩되게 링(Ring) 형태로 형성되어 리페어 라인과 신호 라인의 중첩부에 레이저 용접을 통해 단선된 신호 라인에 신호를 공급한다. 그러나, 리페어 라인과 단선된 신호 라인의 리페어 공정시 리페어 포인트 개수가 적어도 5개 이상이 된다. 이와 같이, 리페어 포인트 수가 증가하면 리페어 성공율이 줄어드는 문제점이 있다. 그리고 리페어 포인트 수가 증가하면 리페어 포인트에서 발생되는 콘택저항에 의해 신호 라인에 공급되는 신호가 RC 딜레이의 영향을 크게 받아 리페어 후 리페어된 신호 라인의 화질 불량이 발생될 수 있다.

##### 발명이 이루고자 하는 기술적 과제

[0034]

따라서, 본 발명이 이루고자 하는 기술적 과제는 리페어 포인트 수를 줄여 신뢰성이 향상되며, 리페어 된 신호 라인의 RC 딜레이를 줄인 박막 트랜지스터 기판, 이를 포함하는 액정표시장치 및 이의 리페어 방법을 제공하는데 있다.

#### 발명의 구성 및 작용

[0035]

상기의 기술적 과제를 해결하기 위하여, 본 발명은 기판 위에 형성된 신호 라인; 신호 라인의 일측 끝단에 외부로부터 구동신호를 공급받는 접속 패드; 상기 기판 외곽을 따라 형성된 적어도 하나의 리페어 라인; 상기 신호 라인의 일측에 상기 신호 라인과 절연막을 사이에 두고 중첩되며, 그 일측이 상기 접속 패드와 연결되고, 리페어 시 리페어 되는 신호 라인의 일측과 연결되는 제1 보조 리페어 라인; 상기 신호 라인의 타측에 상기 신호 라인과 절연막을 사이에 두고 중첩되게 형성되며, 리페어시 상기 리페어 되는 신호 라인의 타측과 연결되는 제2 보조 리페어 라인; 및 상기 제2 보조 리페어 라인과 상기 리페어 라인을 연결하는 연결 라인을 포함하는 박막 트랜지스터 기판을 제공한다.

[0036]

여기서, 상기 신호 라인은 게이트 온/오프 전압을 공급하는 게이트 라인; 및

[0037]

상기 게이트 라인과 상기 절연막을 사이에 두고 교차하여 형성된 데이터 라인을 포함하고, 상기 게이트 라인과 상기 데이터 라인이 교차하여 형성된 화소 영역에 상기 게이트 라인 및 상기 데이터 라인과 접속된 박막 트랜지스터 기판을 제공한다.

스터; 및 상기 박막 트랜지스터와 접속된 화소 전극을 포함한다.

[0038] 그리고 상기 리페어 라인은 상기 게이트 라인과 동일 금속으로 동일 평면상에 형성된다.

[0039] 또한, 상기 제1 및 제2 보조 리페어 라인은 상기 리페어 라인과 동일한 금속으로 동일 평면상에 형성된다.

[0040] 이때, 상기 연결 라인은 상기 데이터 라인 및 상기 화소 전극 중 적어도 어느 하나와 동일한 금속으로 동일한 평면상에 형성된다.

[0041] 그리고 상기 접속 패드는 상기 게이트 라인과 연결된 게이트 접속 패드; 상기 데이터 라인과 접속된 데이터 접속 패드를 포함한다.

[0042] 여기서, 상기 데이터 접속 패드 다수가 하나의 데이터 접속 패드 블록을 형성한다.

[0043] 이때, 상기 제1 보조 리페어 라인은 상기 데이터 접속 패드 블록 단위로 상기 데이터 라인과 중첩되게 형성되며, 일측이 어느 하나의 데이터 접속 패드 블록에 포함된 리페어 접속 패드와 연결되며 타측은 플로팅 되며, 상기 제2 보조 리페어 라인은 상기 데이터 접속 패드 블록 단위로 연결된 상기 데이터 라인들과 중첩되며, 플로팅 된다.

[0044] 또한, 상기 제1 및 제2 보조 리페어 라인 각각은 상기 리페어 라인의 개수와 동일한 개수로 형성된다.

[0045] 이때, 상기 제1 리페어 라인과 접속된 상기 데이터 접속 패드의 타측과 연결되며, 상기 리페어 라인과 중첩되어 리페어시 상기 리페어 라인과 연결되는 더미 라인을 더 포함할 수 있다.

[0046] 그리고 상기의 기술적 과제를 해결하기 위하여, 본 발명은 기판 위에 형성된 신호 라인, 신호 라인의 일측 끝단에 외부로부터 구동신호를 공급받는 접속 패드, 상기 기판 외곽을 따라 형성된 적어도 하나의 제1 리페어 라인, 상기 신호 라인의 일측에 상기 신호 라인과 절연막을 사이에 두고 중첩되며, 그 일측이 상기 접속 패드와 연결되고, 리페어 시 리페어 되는 신호 라인의 일측과 연결되는 제1 보조 리페어 라인, 상기 신호 라인의 타측에 상기 신호 라인과 절연막을 사이에 두고 중첩되게 형성되며, 리페어시 상기 리페어 되는 신호 라인의 타측과 연결되는 제2 보조 리페어 라인; 및 상기 제2 보조 리페어 라인과 상기 제1 리페어 라인을 연결하는 연결 라인을 구비하는 제1 기판 및 액정을 사이에 두고 상기 제1 기판과 대향되어 형성된 제2 기판을 포함하는 액정패널; 상기 접속 패드에 연결되어 상기 신호 라인에 구동신호를 공급하는 패널 구동부; 및 상기 제1 리페어 라인과 접속되는 제2 리페어 라인이 형성된 회로기판을 포함하는 액정표시장치를 제공한다.

[0047] 그리고 상기 패널 구동부는 상기 게이트 라인에 게이트 온/오프 전압을 공급하는 게이트 구동회로; 상기 데이터 라인에 데이터 전압을 공급하는 데이터 구동회로; 및 상기 데이터 구동회로가 실장되며 일측이 상기 접속 패드와 연결되며, 타측은 상기 회로기판과 접속된 테이프 캐리어 패키지를 포함한다.

[0048] 이때, 상기 접속 패드는 상기 게이트 라인과 연결된 게이트 접속 패드; 상기 데이터 라인과 접속된 데이터 접속 패드를 포함하고, 상기 데이터 접속 패드 다수와 상기 리페어 접속 패드가 상기 테이프 캐리어 패키지 중 어느 하나와 연결되는 데이터 접속 패드 블록들로 형성된다.

[0049] 여기서, 상기 제1 및 제2 보조 리페어 라인은 상기 데이터 접속 패드 블록별로 연결된 상기 데이터 라인과 교차되게 형성된다.

[0050] 그리고 상기 제1 보조 리페어 라인은 상기 데이터 접속 패드 블록에 형성된 어느 하나의 상기 데이터 접속 패드와 인접하여 형성된 리페어 접속 패드와 연결된다.

[0051] 또한, 상기 회로기판은 상기 제2 리페어 라인과 상기 제1 보조 리페어 라인과 리페어시 연결되는 제3 보조 리페어 라인을 포함한다.

[0052] 이때, 상기 제1 리페어 라인의 개수와 상기 제2 리페어 라인, 상기 제1 내지 제3 보조 리페어 라인의 개수가 서로 같은 것을 특징으로 한다.

[0053] 그리고 상기의 기술적 과제를 해결하기 위하여, 본 발명은 제1 기판의 신호 라인에 구동신호를 공급하여 상기 신호 라인 중 단선된 신호 라인을 검출하는 단계; 상기 단선된 신호 라인의 일측과 중첩된 제1 보조 리페어 라인, 상기 단선된 신호 라인의 타측과 중첩된 제2 보조 리페어 라인 각각을 레이저 용접하는 단계; 상기 제1 기판에 형성된 제1 리페어 라인을 단선하여 양측을 분리시키는 단계; 제2 리페어 라인이 형성된 회로기판을 상기 액정패널과 접속하여 상기 제1 리페어 라인 및 상기 제2 리페어 라인을 연결하는 단계; 상기 제2 리페어 라인과 상기 단선된 신호 라인과 연결된 제1 보조 리페어 라인과 접속하는 단계; 및 상기 제2 리페어 라인을 상기 제1

리페어 라인이 단선된 것과 대응되게 절단하는 단계를 포함하는 액정표시장치의 리페어 방법을 제공한다.

[0054] 그리고 상기 제1 리페어 라인을 단선하는 단계 이후에 상기 제1 기판의 기판 절단선을 따라 제1 기판의 일측을 절단하여 상기 기판 절단선과 상기 제1 기판의 가장자리에 사이에 형성된 상기 제1 리페어 라인 및 더미 라인을 상기 제1 기판으로부터 분리하는 단계; 및 상기 제1 기판과 대향하는 제2 기판을 합착하여 액정패널을 형성하는 단계를 포함한다.

[0055] 또한, 상기 제2 리페어 라인과 상기 단선된 신호 라인과 연결된 제1 보조 리페어 라인과 접속하는 단계는 상기 제2 리페어 라인과 상기 제1 보조 리페어 라인 사이에 상기 제1 보조 리페어 라인과 연결된 제3 보조 리페어 라인 중 상기 단선된 데이터 라인과 연결된 상기 제3 보조 리페어 라인과 상기 제2 리페어 라인을 연결하는 단계를 포함한다.

[0056] 상기 기술적 과제 외에 본 발명의 다른 기술적 과제 및 특징들은 첨부한 도면을 참조한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

[0057] 이하, 도 1 내지 도 9를 참조하여 본 발명의 바람직한 실시 예를 상세히 설명하기로 한다.

[0058] 도 1은 본 발명의 실시 예에 따른 액정표시장치를 도시한 평면도이다.

[0059] 도 1을 참조하면, 본 발명의 실시 예에 따른 액정표시장치는, 화상을 표시하며, 제1 리페어 라인(100)이 형성된 액정패널(10), 액정패널(10)의 신호 라인(GL, DL)에 구동신호를 공급하는 게이트 구동회로(50) 및 데이터 구동회로(70), 제2 리페어 라인(200)이 형성되며 타이밍 컨트롤러(30) 및 전원부(40)가 실장된 데이터 인쇄회로기판(20), 데이터 인쇄회로기판(20) 및 액정패널(10)과 각각 연결되며 데이터 구동회로(70)가 실장된 데이터 테이프 캐리어 패키지(60)를 포함한다.

[0060] 구체적으로, 데이터 인쇄회로기판(20)은 게이트 구동회로(50) 및 데이터 구동회로(70)에 전원신호를 공급하는 전원부(40)와, 제어신호를 공급하는 타이밍 컨트롤러(30)가 실장된다. 그리고 제1 리페어 라인(100)과 추후 연결될 제2 리페어 라인(200) 및 리페어 공정시 액정패널(10)의 제1 보조 리페어 라인(120)과 제2 리페어 라인(200)을 연결하는 제3 보조 리페어 라인(240)을 포함한다.

[0061] 전원부(40)는 게이트 구동회로(50)에 게이트 온 전압 및 게이트 오프 전압을 공급하며, 데이터 구동회로(70)에 아날로그 구동전압을 공급한다.

[0062] 타이밍 컨트롤러(30)는 게이트 구동회로(50)에 게이트 스타트 펄스, 게이트 쉬프트 클럭, 게이트 출력 제어신호를 생성하여 공급한다. 그리고, 타이밍 컨트롤러(30)는 데이터 구동회로(70)에 데이터 스타트 펄스, 데이터 쉬프트 클럭, 구성 제어신호를 포함하는 데이터 제어신호를 공급한다. 또한, 타이밍 컨트롤러(30)는 외부로부터 입력된 디지털 데이터 신호를 데이터 구동회로(70)에 공급한다.

[0063] 제2 리페어 라인(200)은 박막 트랜지스터 기판(11)에 형성된 제1 리페어 라인(100)의 수와 동일한 수로 형성되며, 추후 제1 리페어 라인(100)과 연결되어 폐루프를 형성한다. 제3 보조 리페어 라인(240)은 제1 보조 리페어 라인(120)으로 공급되는 데이터 전압을 제2 리페어 라인(200)으로 공급하도록 일측은 데이터 TCP(60)에 연결되고, 타측은 제2 리페어 라인(200)에 연결된다. 여기서, 제2 보조 리페어 라인(130)은 리페어 공정시 선택적으로 제2 리페어 라인(200)과 연결되는 것이 바람직하다.

[0064] 이러한 데이터 인쇄회로기판(20)은 데이터 구동회로(70)가 실장된 데이터 TCP(60)의 일측과 전기적으로 연결된다.

[0065] 데이터 TCP(60)는 신호를 공급하는 패턴이 형성되며 특히, 데이터 인쇄회로기판(20)의 좌측 및 우측 끝에 접속되는 데이터 TCP(60)는 제1 리페어 라인(100)과 제2 리페어 라인(200)을 연결하는 신호 패턴이 형성된다. 그리고 데이터 TCP(60) 각각은 제1 보조 리페어 라인(120)과 제3 제1 리페어 라인(100)을 연결하도록 하는 신호 패턴이 형성된다. 이러한 데이터 TCP(60)는 타측이 액정패널(10)의 일측에 형성된 데이터 접속 패드 블록(180) 각각에 하나씩 접속되어 신호 패턴과 데이터 접속 패드(82) 및 리페어 접속 패드(122)와 전기적으로 연결된다.

[0066] 액정패널(10)은 박막 트랜지스터 어레이가 형성되며, 박막 트랜지스터 어레이의 신호 라인(GL, DL)을 리페어 하기 위한 제1 리페어 라인(100)이 형성된 제1 기판(11), 액정을 사이에 두고 대향되어 형성되는 제2 기판(12)을 포함한다. 여기서, 제1 기판(11)은 박막 트랜지스터 기판(11)이라 하고, 제2 기판(12)은 컬러 필터 기판(12)이라 한다.

[0067] 컬러 필터 기판(12)은 빛샘을 방지하는 블랙 매트릭스, 블랙 매트릭스로 구획된 화소 영역에 형성되어 색을 표

시하는 컬러 필터, 박막 트랜지스터 기판(11)에 형성된 화소 전극(90)과 대향하여 수직 전계를 형성하는 공통전극을 포함한다.

[0068] 액정은 유전율 이방성을 갖는 물질로 형성되며 박막 트랜지스터 기판(11)에 형성된 화소 전극(90)과 컬러 필터 기판(12)에 형성된 공통전극 사이의 수직 전계에 의해 구동되어 광 투과율을 제어한다.

[0069] 박막 트랜지스터 기판(11)은 도 2 내지 도 7을 참조하여 자세히 설명하기로 한다.

[0070] 도 2는 본 발명의 실시 예에 따른 박막 트랜지스터 기판을 도시한 평면도이고, 도 3은 도 2에 도시된 박막 트랜지스터 기판의 영역 A를 확대하여 도시한 확대도이고, 도 4는 도 3에 도시된 박막 트랜지스터 기판의 영역 A의 확대도의 I-I'선을 따라 절단된 단면을 도시한 단면도이다.

[0071] 도 2 내지 도 4를 참조하면, 박막 트랜지스터 기판(11)은 기판(15) 위의 표시영역에 형성된 신호 라인(GL, DL), 신호 라인(GL, DL)과 접속된 박막 트랜지스터(TFT) 및 박막 트랜지스터(TFT)와 접속된 화소 전극(90), 기판(15)의 외곽의 비표시영역에 형성된 제1 리페어 라인(100), 신호 라인(GL, DL)의 일측에 신호 라인(GL, DL)과 중첩되며 리페어시 연결되는 제1 보조 리페어 라인(120), 신호 라인(GL, DL) 타측에 신호 라인(GL, DL)과 중첩되며 리페어시 연결되는 제2 보조 리페어 라인(130) 및 제2 보조 리페어 라인(130)과 제1 리페어 라인(100)을 연결하는 연결 라인(140)을 포함한다.

[0072] 구체적으로, 신호 라인(GL, DL)은 화소 전극(90)이 형성되어 화상을 표시하는 표시영역에 형성되며 게이트 온/오프 전압을 공급하는 게이트 라인(GL), 게이트 라인(GL)과 교차하게 형성되어 데이터 전압을 공급하는 데이터 라인(DL)을 포함한다.

[0073] 접속 패드(51, 82)는 게이트 라인(GL)의 일측 끝단에 형성된 게이트 접속 패드(51) 및 데이터 라인(DL)의 일측 끝단에 형성된 데이터 접속 패드(82)를 포함한다. 게이트 접속 패드(51)는 게이트 구동회로(50)와 직접 연결되거나, 게이트 구동회로(50)가 실장된 테이프 캐리어 패키지(Tape Carrier Package; 이하, "TCP"라 함)와 연결될 수 있다. 데이터 접속 패드(82)는 데이터 구동회로(70)와 직접 연결되거나, 데이터 구동회로(70)가 실장된 데이터 TCP(60)와 연결될 수 있다. 그리고 데이터 접속 패드(82)는 데이터 라인(DL)의 끝단에 제1 콘택홀(81)을 통해 데이터 라인(DL)과 연결된다. 이때, 데이터 접속 패드(82)는 하나의 구동회로와 연결되는 데이터 접속 패드 블록(180) 단위로 형성될 수 있다. 예를 들면, 데이터 구동회로(70)의 경우 각각의 데이터 구동회로(70)는 300 내지 600개의 데이터 라인(DL)에 데이터 전압을 공급하며, 해상도가 높은 경우 다수의 데이터 구동회로(70)가 필요하다. 따라서, 데이터 접속 패드(82)는 300 내지 600 개의 데이터 라인(DL)을 뮤음으로 하는 데이터 접속 패드 블록(180)에 포함된다. 그리고, 데이터 구동회로(70) 또는 데이터 TCP(60)는 데이터 접속 패드 블록(180)에 하나씩 접속된다.

[0074] 한편, 리페어 접속 패드(122)는 제1 보조 리페어 라인(120)의 일측 끝단에 형성되며, 제1 보조 리페어 라인(120)을 노출하도록 형성된 제2 콘택홀(121)을 통해 제1 보조 리페어 라인(120)에 접속된다. 여기서, 게이트 접속 패드(51), 데이터 접속 패드(82) 및 리페어 접속 패드(122)는 화소 전극(90)과 동일한 금속으로 동일 평면상에 형성되는 것이 바람직하다.

[0075] 게이트 라인(GL)과 데이터 라인(DL)은 서로 교차하여 화소 영역을 정의하며, 화소 영역에는 게이트 라인(GL) 및 데이터 라인(DL) 각각과 접속된 박막 트랜지스터(TFT) 및 박막 트랜지스터(TFT)와 접속된 화소 전극(90)이 형성된다. 박막 트랜지스터(TFT)는 게이트 라인(GL)으로부터 공급된 게이트 온 전압에 의해 턴온(Turn-On)되어 데이터 라인(DL)으로부터 공급된 데이터 전압을 화소 전극(90)에 공급한다. 이때, 제1 기판(11)은 화소 전극(90)에 공급된 데이터 전압을 한 프레임 동안 유지시키는 스토리지 전극이 더 형성될 수 있다.

[0076] 도 3를 참조하면, 박막 트랜지스터(TFT)는 게이트 라인(GL)과 접속된 게이트 전극(71), 데이터 라인(DL)과 접속된 소스 전극(72), 소스 전극(72)과 마주하며, 화소 전극(90)과 접속된 드레인 전극(73), 게이트 전극(71)과 게이트 절연막(74)을 사이에 두고 중첩되어 소스 전극(72)과 드레인 전극(73) 사이에 채널을 형성하는 반도체층(75)을 구비한다. 또한, 박막 트랜지스터(TFT)는 소스 전극(72) 및 드레인 전극(73)과 반도체층(75) 사이의 오믹 접촉을 위한 오믹 콘택층(76)을 더 구비한다. 이러한 박막 트랜지스터(TFT)는 게이트 라인(GL)에 공급된 게이트 온 전압에 응답하여 데이터 라인(DL)에 공급된 데이터 전압을 화소 전극(90)에 공급한다.

[0077] 화소 전극(90)은 박막 트랜지스터(TFT)를 덮는 보호막(77) 위에 형성되고, 보호막(77)을 관통하는 화소 콘택홀(91)를 경유하여 드레인 전극(73)과 접속된다. 화소 전극(90)은 박막 트랜지스터(TFT)로부터의 데이터 전압이 공급되면 컬러 필터 기판(12)에 형성된 공통 전극(도시하지 않음)과의 전압차로 액정을 구동하여 광 투과율을 조절한다. 이러한 화소 전극(90)은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등의 투명 도전성 금

속물질로 형성되는 것이 바람직하다.

[0078] 제1 리페어 라인(100)은 박막 트랜지스터 기판(11)의 외곽의 비표시영역을 따라 링(Ring) 형태로 형성된다. 이 때, 제1 리페어 라인(100)은 1개 또는 다수개가 서로 평행하게 형성될 수 있다. 본 발명에서는 도 2에 도시된 바와 같이, 2개의 제1 리페어 라인(100)이 형성된 것을 예를 들어 설명하기로 한다. 이러한, 제1 리페어 라인(100)은 게이트 라인(GL)과 동일한 금속으로 동일 평면상에 형성된다.

[0079] 제1 보조 리페어 라인(120)은 데이터 접속 패드 블록(180)에 연결된 데이터 라인(DL)과 중첩되어 형성된다. 즉, 제1 보조 리페어 라인(120)은 하나의 데이터 접속 패드 블록(180)에 포함된 데이터 접속 패드(82)들과 연결된 데이터 라인(DL)들과 중첩된다. 그리고 제1 보조 리페어 라인(120)은 일측이 플로팅 되며 타측은 제2 콘택홀(121)을 통해 리페어 접속 패드(122)와 연결된다. 여기서, 제1 보조 리페어 라인(120)은 상술한 제1 리페어 라인(100)의 개수와 동일한 개수로 형성된다. 이때, 제1 보조 리페어 라인(120)과 데이터 라인의 중첩부는 추후 데이터 라인(DL)의 단선시 중첩부에 레이저 용접을 하여 단선된 데이터 라인과 제1 보조 리페어 라인(120)을 전기적으로 연결한다. 여기서, 제1 보조 리페어 라인(120)은 게이트 라인(GL)과 동일한 금속으로 동일 평면상에 형성된다. 이에 따라, 제1 보조 리페어 라인(120)은 게이트 절연막(74)을 사이에 두고 데이터 라인(DL)과 교차되어 형성됨으로써 리페어시 제1 보조 리페어 라인(120)과 데이터 라인(DL)의 교차부를 레이저 용접하므로 리페어 포인트가 1개로 줄어 종래와 대비하여 리페어 포인트의 개수가 감소된다.

[0080] 도 5는 도 2에 도시된 박막 트랜지스터 기판의 영역 B를 확대하여 도시한 확대도의 일 예이고, 도 6은 도 5에 도시된 박막 트랜지스터 기판의 영역 A의 확대도의 II-II'선을 따라 절단된 단면을 도시한 단면도이다.

[0081] 도 5 및 도 6은 제2 보조 리페어 라인(130)과 리페어 라인이 형성된 영역을 나타낸다. 도 5 및 도 6을 참조하면, 제2 보조 리페어 라인(130)은 데이터 라인(DL)과 교차되게 형성된다. 그리고 제2 보조 리페어 라인(130)은 플로팅 되어 형성된다. 이러한 제2 보조 리페어 라인(130)은 데이터 라인(DL)과 절연을 위하여 게이트 라인(GL)과 동일한 금속층으로 형성되는 것이 바람직하다. 다시 말하면, 제2 보조 리페어 라인(130)은 데이터 라인(DL)과 게이트 절연막(74)을 사이에 두고 서로 교차하도록 형성된다. 또한, 제2 보조 리페어 라인(130)은 데이터 접속 패드 블록(180) 단위로 형성된다. 여기서, 제2 보조 리페어 라인(130)은 제1 리페어 라인(100)의 개수와 동일한 개수로 형성되는 것이 바람직하다. 그리고 제2 보조 리페어 라인(130)은 데이터 라인(DL)과 중첩된 영역이 추후 데이터 라인(DL)의 단선 발생시 레이저 용접되어 데이터 라인(DL)과 접속된다.

[0082] 제2 보조 리페어 라인(130)은 연결 라인(140)을 통해 제1 리페어 라인(100)과 전기적으로 연결된다. 연결 라인(140)은 제1 리페어 라인(100)에 형성된 제3 콘택홀(141)과 제2 보조 리페어 라인(130)에 형성된 제4 콘택홀(143)을 통해 전기적으로 연결된다. 제3 및 제4 콘택홀(141, 143)은 게이트 절연막(74) 및 보호막(77)을 관통하여 형성된다. 이러한 연결 라인(140)은 도 5에 도시된 바와 같이, 화소 전극(90)과 동일한 투명 금속층으로 형성된다. 예를 들어, 제1 리페어 라인(100) 및 제2 보조 리페어 라인(130)의 개수가 2개 이상일 경우 제1 리페어 라인(100) 각각과 제2 보조 리페어 라인(130) 각각이 1대1로 연결되어야 하므로 연결 라인(140)은 제1 리페어 라인(100)과 제2 보조 리페어 라인(130)과 교차되게 형성되고 제3 및 제4 콘택홀(141, 143)과 같은 콘택홀들을 통해 연결되는 것이 바람직하다.

[0083] 한편, 연결 라인(140)은 도 7 및 도 8에 도시된 바와 같이 데이터 라인(DL)과 동일한 금속으로 형성될 수 있다. 이때, 연결 라인(140)은 제2 보조 리페어 라인(130) 및 제1 리페어 라인(100) 사이에 형성되고 브리지 전극(142)을 통해 전기적으로 연결된다. 다시 말하면, 연결 라인(140)은 제1 리페어 라인(100)에 형성된 제3 콘택홀(141)과 연결 라인(140)의 양측 끝단을 노출하는 제5 콘택홀(144)을 경유하여 브리지 전극(142)으로 접속되어 제1 리페어 라인(100)과 연결 라인(140)을 전기적으로 연결한다. 그리고 연결 라인(140)은 타측에 형성된 제5 콘택홀(144)과 제2 보조 리페어 라인(130)에 형성된 제4 콘택홀(143)을 경유하는 브리지 전극(142)을 통해 제2 보조 리페어 라인(130)과 연결된다. 연결 라인(140)을 노출하는 제5 콘택홀(144)은 보호막(77)을 관통하여 형성된다. 그리고 브리지 전극(142)은 화소 전극(90)과 동일한 투명도전층으로 형성되는 것이 바람직하다.

[0084] 더미 라인(260)은 데이터 접속 패드(82)가 데이터 라인(DL)과 접속된 타측으로 부터 제1 리페어 라인(100)으로 형성되며, 제1 리페어 라인(100)과 게이트 절연막(74) 및 보호막(77) 중 적어도 어느 하나를 사이에 두고 교차하여 형성된다. 더미 라인(260)은 추후 리페어 시 제1 리페어 라인(100)과 레이저 용접을 통해 연결된다. 그러나, 더미 라인(260)은 액정패널(10)의 제조과정에서 제거된다. 더미 라인(260)의 제거는 추후 설명하기로 한다.

[0085] 박막 트랜지스터 기판(11)은 검사 과정을 통해 데이터 라인(DL)의 단선을 검출한다. 박막 트랜지스터 기판(11)

1)은 데이터 접속 패드(82)에 테스트 신호를 인가하고 타측에서 입력된 테스트 신호를 측정하여 신호 유무에 따라 단선을 판단한다. 이때, 단선이 발생된 데이터 라인의 일측 다시 말하면 제1 보조 리페어 라인(120)과 교차하는 영역은 제1 보조 리페어 라인(120)과 교차부를 레이저 용접하고, 제2 보조 리페어 라인(130)과 교차부를 레이저 용접한다. 다음으로, 데이터 접속 패드(82)의 상부에 위치에 제1 리페어 라인(100)과 교차된 더미 라인(260)을 전기적으로 연결하여 단선 된 데이터 라인(DL)의 양쪽으로 데이터 전압을 공급할 수 있도록 한다. 여기서, 제1 리페어 라인(100)은 도 9에 도시된 바와 같이, 레이저 절단선(270)에 따라 단선되어 양측으로 리페어 신호 즉, 데이터 전압을 공급한다. 예를 들어, 각각의 데이터 TCP(60)와 접속된 데이터 접속 패드 블록(180)에 데이터 라인(DL)이 하나씩 단선된 경우, 레이저 절단선(270)은 기판(15)의 중앙에서 제1 리페어 라인(100)을 절단한다. 그러나, 단선된 데이터 라인(DL)이 좌 또는 우측에 집중될 경우 리페어 된 데이터 라인의 수를 양분하도록 제1 리페어 라인(100)을 절단하는 것이 바람직하다. 다시 말하면, 하나의 데이터 접속 패드 블록(180)에 2개의 데이터 라인(DL)이 단선되고, 이와 인접한 다른 데이터 접속 패드 블록(180)에 적어도 하나의 데이터 라인(DL)이 단선되어 이들을 리페어 하는 경우 2개의 데이터 라인(DL)이 단선된 데이터 접속 패드 블록(180)을 기준으로 제1 리페어 라인(100)을 절단하는 것이 바람직하다.

[0086] 상술한 바와 같이, 데이터 라인(DL)의 단선 테스트 후 도 2에 도시된 기판 절단선(250)을 따라 박막 트랜지스터 기판(11)을 절단한다. 이때, 기판 절단선(250)과 기판(15)의 외곽 사이에 형성된 제1 리페어 라인(100) 및 더미 라인(260)은 모두 제거된다.

[0087] 다음으로, 컬러 필터 어레이가 형성된 컬러 필터 기판을 합착한다. 이때, 액정을 두 기판(11, 12) 사이에 미리 형성하거나, 두 기판(11, 12)을 합착한 후 액정을 주입할 수 있다.

[0088] 다음으로, 액정패널(10)의 일측에 데이터 구동회로(70)가 실장된 데이터 TCP(60)을 접속한다. 이때, 데이터 TCP(60)의 타측은 데이터 인쇄회로기판(20)에 연결된다. 데이터 인쇄회로기판(20)에 형성된 제2 리페어 라인(200)의 일측은 데이터 인쇄회로기판(20)의 일측 끝단쪽에 형성된 데이터 TCP(60) 신호 패턴과 연결되어 박막 트랜지스터 기판(11)에 형성된 제1 리페어 라인(100)의 일측과 연결되며, 제2 리페어 라인(200)의 타측은 데이터 인쇄회로기판(20)의 타측 끝단에 형성된 데이터 TCP(60)의 신호 패턴을 통해 제1 리페어 라인(100)의 타측과 연결된다. 이때, 데이터 인쇄회로기판(20)에 형성된 제2 리페어 라인(200)은 박막 트랜지스터 기판(11)에 레이저 절단선(270)과 대응되어 단선시킨다. 그리고, 제1 보조 리페어 라인(120) 및 제2 보조 리페어 라인(200)을 연결하는 제3 보조 리페어 라인(240)을 통해 리페어 공정을 완료한다. 이에 따라, 2개의 제1 리페어 라인(100)이 형성된 경우 단선된 4개의 데이터 라인을 리페어 할 수 있다.

[0089] 한편, 본 발명에서는 데이터 라인이 단선되었을 때 이를 리페어 하는 예를 들어 설명하였으나 게이트 라인이 단선되어도 동일한 방법을 통해 리페어 할 수 있다. 즉, 게이트 라인을 리페어 하는 경우는 제1 리페어 라인, 제1 및 제2 보조 리페어 라인을 데이터 라인과 동일한 금속을 형성하여 리페어 공정시 상술한 바와 동일하게 할 수도 있다.

### 발명의 효과

[0090] 상술한 바와 같이, 본 발명에 따른 박막 트랜지스터 기판, 이를 포함하는 액정표시장치 및 이의 리페어 방법은 제1 보조 리페어 라인을 리페어 라인과 동일한 금속으로 형성하고, 제2 보조 리페어 라인과 리페어 라인을 연결하는 연결라인을 구비하여 리페어 포인트의 개수를 줄일 수 있다.

[0091] 이에 따라, 리페어 공정시간이 단축되며, 리페어 포인트 개수의 감소에 따라 콘택저항이 감소되어 리페어된 신호라인의 RC 딜레이에 의한 표시 불량이 방지된다.

[0092] 그리고, 리페어 포인트의 개수가 줄어 리페어 성공 확율이 증가함으로써 수율이 향상된다.

[0093] 이상에서 상술한 본 발명은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 여러 가지 치환, 변형 및 변경이 가능하다 할 것이다. 따라서, 본 발명은 상술한 실시 예 및 첨부된 도면에 한정하지 않고 청구범위에 의해 그 권리가 정해져야 할 것이다.

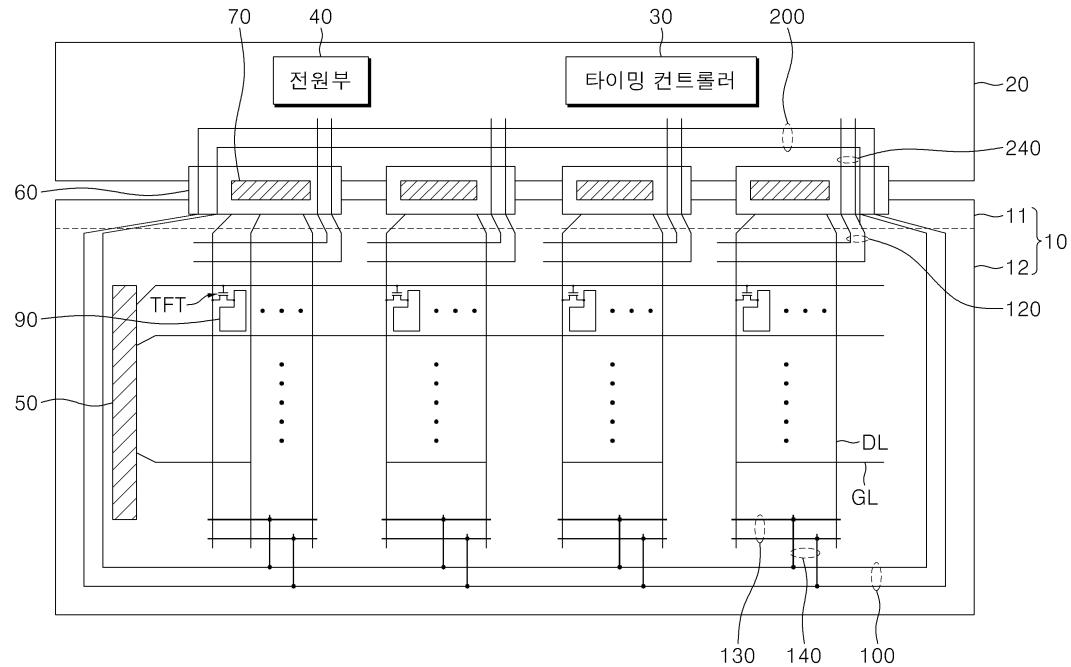
### 도면의 간단한 설명

[0001] 도 1은 본 발명의 실시 예에 따른 액정표시장치를 도시한 평면도이다.

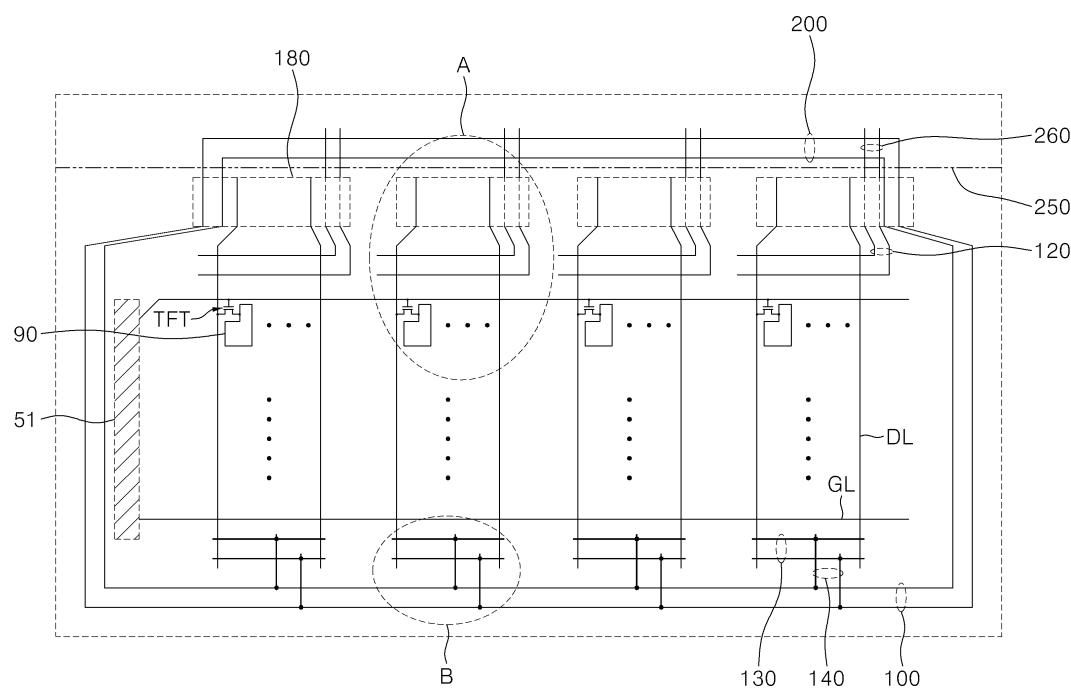
- [0002] 도 2는 도 1에 도시된 액정표시장치의 박막 트랜지스터 기판을 도시한 평면도이다.
- [0003] 도 3은 도 2에 도시된 박막 트랜지스터 기판의 영역 A를 확대하여 도시한 확대도이다.
- [0004] 도 4는 도 3에 도시된 박막 트랜지스터 기판의 I-I'선을 따라 절단된 단면을 도시한 단면도이다.
- [0005] 도 5는 도 2에 도시된 박막 트랜지스터 기판의 영역 B를 확대하여 도시한 확대도의 일 예이다.
- [0006] 도 6은 도 5에 도시된 박막 트랜지스터 기판의 영역 A의 확대도의 II-II'선을 따라 절단된 단면을 도시한 단면도이다.
- [0007] 도 7은 도 2에 도시된 박막 트랜지스터 기판의 영역 B를 확대하여 도시한 확대도의 다른 예이다.
- [0008] 도 8은 도 7에 도시된 박막 트랜지스터 기판의 영역 B의 확대도의 III-III'선을 따라 절단된 단면을 도시한 단면도이다.
- [0009] 도 9은 본 발명의 실시 예에 따른 리페어 후의 액정표시장치를 도시한 평면도이다.
- [0010] <도면부호의 간단한 설명>
- |                          |                   |
|--------------------------|-------------------|
| [0011] 10: 액정패널          | 11: 박막 트랜지스터 기판   |
| [0012] 12: 컬러 필터 기판      | 15: 기판            |
| [0013] 20: 데이터 인쇄회로기판    | 30: 타이밍 컨트롤러      |
| [0014] 40: 전원부           | 50: 게이트 구동회로      |
| [0015] 51: 게이트 접속 패드     | 60: 데이터 TCP       |
| [0016] 70: 데이터 구동회로      | 71: 게이트 전극        |
| [0017] 72: 소스 전극         | 73: 드레인 전극        |
| [0018] 74: 게이트 절연막       | 75: 반도체층          |
| [0019] 76: 오믹 콘택층        | 77: 보호막           |
| [0020] 81: 제1 콘택홀        | 82: 데이터 접속 패드     |
| [0021] 90: 화소 전극         | 91: 화소 콘택홀        |
| [0022] 100: 제1 리페어 라인    | 120: 제1 보조 리페어 라인 |
| [0023] 121: 제2 콘택홀       | 122: 리페어 접속 패드    |
| [0024] 130: 제2 보조 리페어 라인 | 140: 연결 라인        |
| [0025] 141: 제3 콘택홀       | 142: 브리지 전극       |
| [0026] 143: 제4 콘택홀       | 144: 제5 콘택홀       |
| [0027] 200: 제2 리페어 라인    | 240: 제3 보조 리페어 라인 |
| [0028] 250: 기판 절단선       | 260: 더미 라인        |
| [0029] 270: 데이터 절단선      | 280: 제2 리페어 절단선   |

## 도면

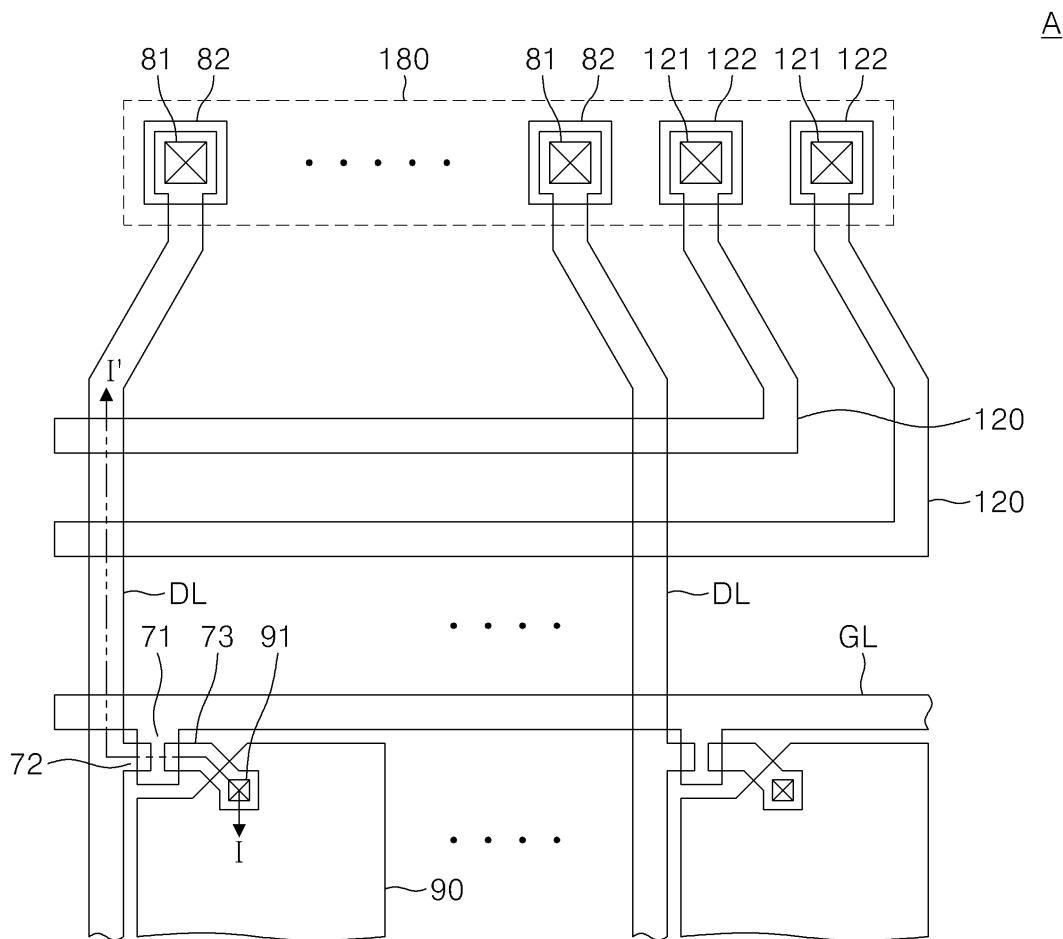
도면1



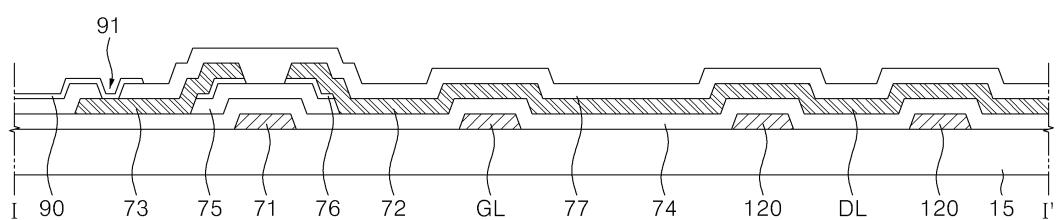
도면2



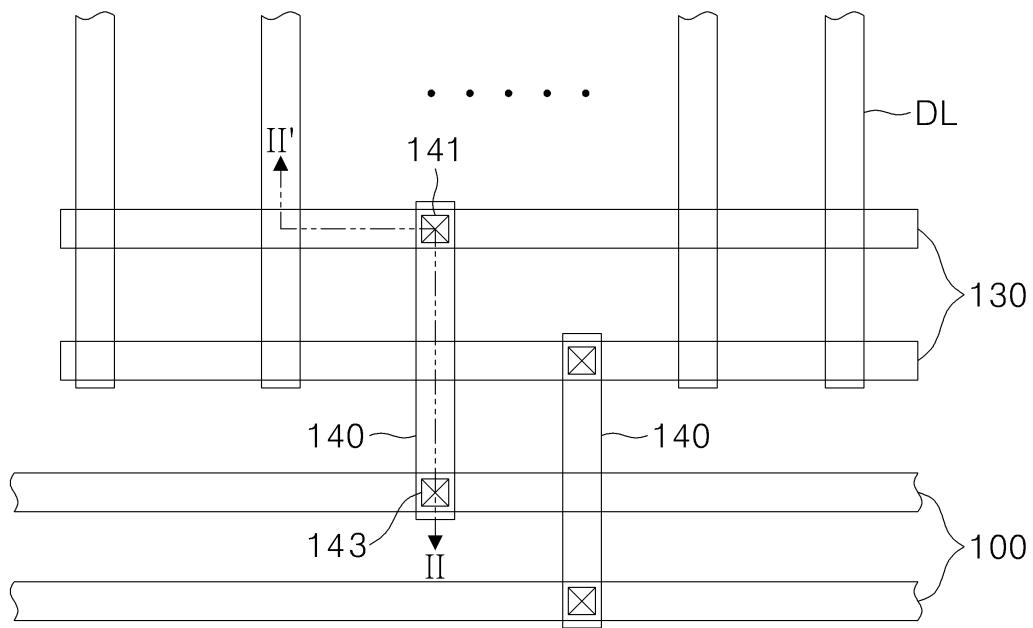
## 도면3



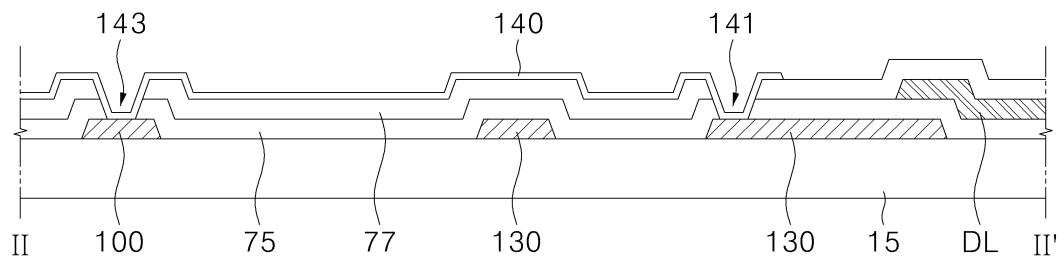
## 도면4



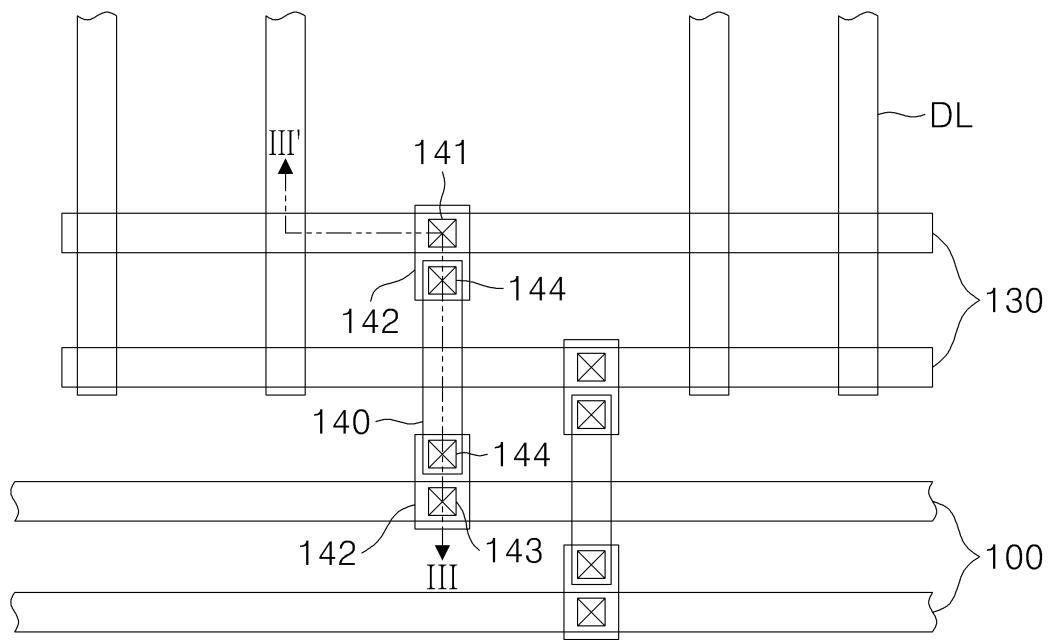
도면5



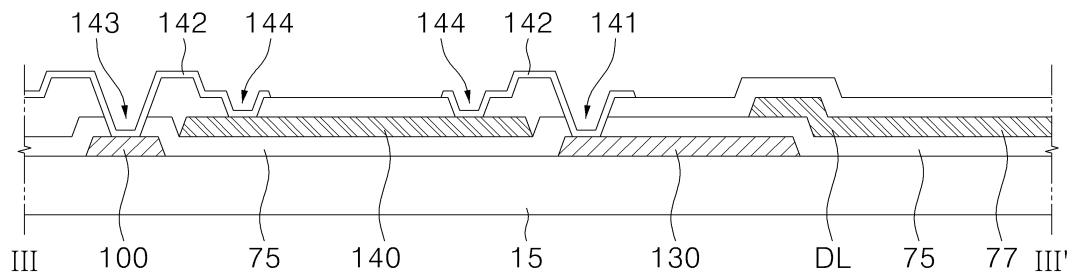
도면6



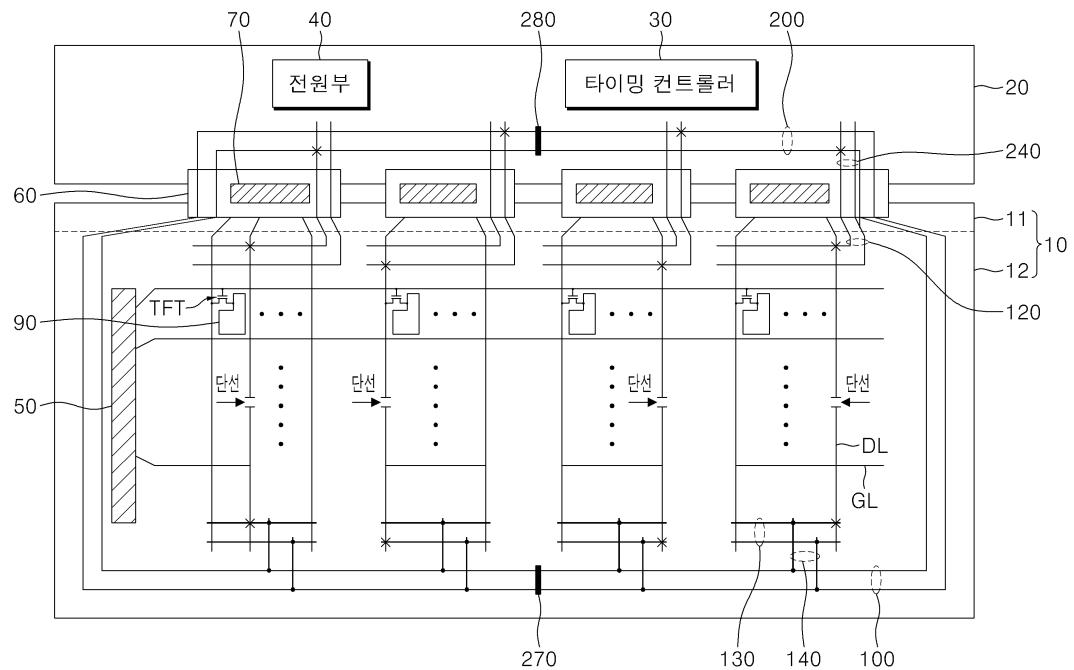
도면7



도면8



## 도면9



专利名称(译)	标题 : 薄膜晶体管基板 , 包括其的液晶显示器及其修复方法		
公开(公告)号	<a href="#">KR101347846B1</a>	公开(公告)日	2014-01-07
申请号	KR1020060134680	申请日	2006-12-27
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM DUK SUNG 김덕성 CHO SUNG HAENG 조성행		
发明人	김덕성 조성행		
IPC分类号	G02F1/136 G02F G02F1/13 G02F1/1345		
CPC分类号	G09G2330/08 G02F1/1309 G02F1/1345 Y10T29/49117		
代理人(译)	KWON , HYUK SOO OH , SE六月 宋 , 云何		
其他公开文献	KR1020080060499A		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

显示基板包括形成在基板上的信号线 , 接收来自信号线的驱动信号的连接垫 , 沿基板的外周形成的至少一条修复线 , 第一辅助修复线 , 第一辅助修复线与信号精细重叠其间设置有绝缘层 , 第二辅助修复线在第二位置处与信号线重叠 , 绝缘层设置在第二位置 , 第二辅助修复线与第二辅助修复线连接至至少一条修复线。

