



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년04월09일
(11) 등록번호 10-1252854
(24) 등록일자 2013년04월03일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)
(21) 출원번호 10-2006-0059214
(22) 출원일자 2006년06월29일
심사청구일자 2011년06월24일
(65) 공개번호 10-2008-0001097
(43) 공개일자 2008년01월03일
(56) 선행기술조사문헌
JP2005077424 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이주영
경북 구미시 상모동 우방신세계타운 206-905
(74) 대리인
서교준

전체 청구항 수 : 총 31 항

심사관 : 이성현

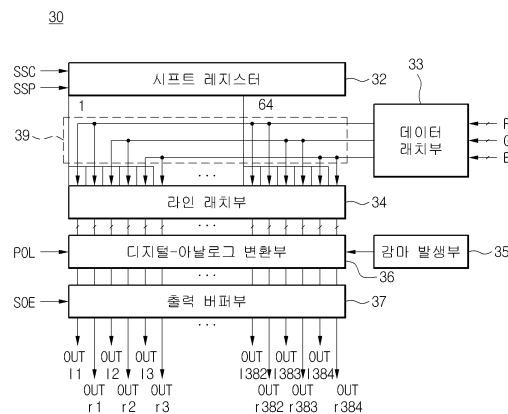
(54) 발명의 명칭 액정 패널, 데이터 드라이버, 이를 구비한 액정표시장치 및 그 구동 방법

(57) 요약

액정 패널, 데이터 드라이버, 이를 구비한 액정표시장치 및 그 구동 방법이 개시된다.

본 발명의 데이터 드라이버는, 각 데이터 신호를 제1 및 제2 데이터 신호로 분기하기 위한 수단; 래치 이네이블 신호를 순차적으로 출력하는 시프트 레지스터; 상기 래치 이네이블 신호에 따라 상기 분기된 제1 및 제2 데이터 신호를 래치하는 래치부; 및 다수의 정극성 감마 전압과 다수의 부극성 감마 전압을 이용하여 상기 제1 및 제2 데이터 신호에 상응하는 제1 및 제2 데이터 전압을 출력하는 디지털-아날로그 변환부를 포함하고, 상기 제1 및 제2 데이터 전압은 기준 전압을 기준으로 서로 대칭적인 전압 레벨을 갖는다.

대표도 - 도5



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

다수의 게이트라인과 다수의 제1 및 제2 데이터 라인이 교차 배열되고, 상기 게이트 라인과 상기 제1 및 제2 데이터 라인의 교차에 의해 화소가 정의되고, 상기 화소는, 상기 게이트 라인과 상기 제1 데이터 라인에 연결된 제1 박막트랜지스터; 상기 게이트 라인과 상기 제2 데이터 라인에 연결된 제2 박막트랜지스터; 및 상기 제1 및 제2 박막트랜지스터 사이에 연결된 액정셀을 포함하는 액정 패널을 구동하기 위한 데이터 드라이버에 있어서,

각 데이터 신호를 제1 및 제2 데이터 신호로 분기하기 위한 수단;

래치 이네이블 신호를 순차적으로 출력하는 시프트 레지스터;

상기 래치 이네이블 신호에 따라 상기 분기된 제1 및 제2 데이터 신호를 래치하는 래치부; 및

다수의 정극성 감마 전압과 다수의 부극성 감마 전압을 이용하여 상기 제1 및 제2 데이터 신호에 상응하는 제1 및 제2 데이터 전압을 출력하는 디지털-아날로그 변환부를 포함하고,

상기 제1 및 제2 데이터 전압은 기준 전압을 기준으로 서로 대칭적인 전압 레벨을 갖는 것을 특징으로 하는 데이터 드라이버.

청구항 6

제5항에 있어서, 상기 제1 및 제2 데이터 신호는 서로 동일한 데이터 값을 갖는 것을 특징으로 하는 데이터 드라이버.

청구항 7

제5항에 있어서, 상기 제1 및 제2 데이터 신호는 분기되지 전의 데이터 신호와 동일한 데이터 값을 갖는 것을 특징으로 하는 데이터 드라이버.

청구항 8

제5항에 있어서, 상기 다수의 감마 전압은 다수의 정극성 감마 전압과 다수의 부극성 감마 전압을 포함하는 것을 특징으로 하는 데이터 드라이버.

청구항 9

제8항에 있어서, 상기 다수의 정극성 감마 전압과 상기 다수의 부극성 감마 전압은 상기 기준 전압을 기준으로 대칭적인 전압 레벨을 갖는 것을 특징으로 하는 데이터 드라이버.

청구항 10

제5항에 있어서, 상기 디지털-아날로그 변환부는,

상기 제1 데이터 신호에 상응하는 제1 데이터 전압을 출력하는 제1 멀티플렉서;

상기 제2 데이터 신호에 상응하는 제2 데이터 전압을 출력하는 제2 멀티플렉서; 및

상기 다수의 정극성 감마 전압과 상기 다수의 부극성 감마 전압을 소정 구간마다 교대로 상기 제1 및 제2 멀티플렉서에 공급하는 스위치를 포함하는 것을 특징으로 하는 데이터 드라이버.

청구항 11

제10항에 있어서, 상기 소정 구간은 도트 단위, 라인 단위 및 프레임 단위 중 어느 하나인 것을 특징으로 하는 데이터 드라이버.

청구항 12

제10항에 있어서, 상기 제1 멀티플렉서는, 상기 다수의 정극성 감마 전압 또는 상기 다수의 부극성 감마 전압 중 어느 하나의 다수의 감마 전압 중에서 상기 제1 데이터 신호에 상응하는 감마 전압을 선택하여 상기 제1 데이터 전압으로 출력하는 것을 특징으로 하는 데이터 드라이버.

청구항 13

제10항에 있어서, 상기 제2 멀티플렉서는, 상기 다수의 정극성 감마 전압 또는 상기 다수의 부극성 감마 전압 중 어느 하나의 다수의 감마 전압 중에서 상기 제2 데이터 신호에 상응하는 감마 전압을 선택하여 상기 제2 데이터 전압으로 출력하는 것을 특징으로 하는 데이터 드라이버.

청구항 14

제5항에 있어서, 상기 기준 전압을 기준으로 상기 제1 및 제2 데이터 전압은 반전되는 것을 특징으로 하는 데이터 드라이버.

청구항 15

다수의 게이트라인과 다수의 제1 및 제2 데이터 라인이 교차 배열되고, 상기 게이트 라인과 상기 제1 및 제2 데이터 라인의 교차에 의해 화소가 정의되고, 상기 화소는, 상기 게이트 라인과 상기 제1 데이터 라인에 연결된 제1 박막트랜지스터; 상기 게이트 라인과 상기 제2 데이터 라인에 연결된 제2 박막트랜지스터; 및 상기 제1 및 제2 박막트랜지스터 사이에 연결된 액정셀을 포함하는 액정 패널을 구동하기 위한 데이터 드라이버에 있어서,

래치 이네이블 신호를 순차적으로 출력하는 시프트 레지스터;

상기 래치 이네이블 신호에 따라 각 데이터 신호를 래치하는 래치부;

상기 각 데이터 신호를 제1 및 제2 데이터 신호로 분기하기 위한 수단; 및

다수의 정극성 감마 전압과 다수의 부극성 감마 전압을 이용하여 상기 제1 및 제2 데이터 신호에 상응하는 제1 및 제2 데이터 전압을 출력하는 디지털-아날로그 변환부를 포함하고,

상기 제1 및 제2 데이터 전압은 기준 전압을 기준으로 서로 대칭적인 전압 레벨을 갖는 것을 특징으로 하는 데이터 드라이버.

청구항 16

제15항에 있어서, 상기 제1 및 제2 데이터 신호는 서로 동일한 데이터 값을 갖는 것을 특징으로 하는 데이터 드라이버.

청구항 17

제15항에 있어서, 상기 제1 및 제2 데이터 신호는 분기되지 전의 데이터 신호와 동일한 데이터 값을 갖는 것을 특징으로 하는 데이터 드라이버.

청구항 18

제15항에 있어서, 상기 다수의 감마 전압은 다수의 정극성 감마 전압과 다수의 부극성 감마 전압을 포함하는 것을 특징으로 하는 데이터 드라이버.

청구항 19

제18항에 있어서, 상기 다수의 정극성 감마 전압과 상기 다수의 부극성 감마 전압은 상기 기준 전압을 기준으로 대칭적인 전압 레벨을 갖는 것을 특징으로 하는 데이터 드라이버.

청구항 20

제15항에 있어서, 상기 디지털-아날로그 변환부는,

상기 제1 데이터 신호에 상응하는 제1 데이터 전압을 출력하는 제1 멀티플렉서;

상기 제2 데이터 신호에 상응하는 제2 데이터 전압을 출력하는 제2 멀티플렉서; 및

상기 다수의 정극성 감마 전압과 상기 다수의 부극성 감마 전압을 소정 구간마다 교대로 상기 제1 및 제2 멀티플렉서에 공급하는 스위치를 포함하는 것을 특징으로 하는 데이터 드라이버.

청구항 21

제20항에 있어서, 상기 소정 구간은 도트 단위, 라인 단위 및 프레임 단위 중 어느 하나인 것을 특징으로 하는 데이터 드라이버.

청구항 22

제20항에 있어서, 상기 제1 멀티플렉서는, 상기 다수의 정극성 감마 전압 또는 상기 다수의 부극성 감마 전압 중 어느 하나의 다수의 감마 전압 중에서 상기 제1 데이터 신호에 상응하는 감마 전압을 선택하여 상기 제1 데이터 전압으로 출력하는 것을 특징으로 하는 데이터 드라이버.

청구항 23

제20항에 있어서, 상기 제2 멀티플렉서는, 상기 다수의 정극성 감마 전압 또는 상기 다수의 부극성 감마 전압 중 어느 하나의 다수의 감마 전압 중에서 상기 제2 데이터 신호에 상응하는 감마 전압을 선택하여 상기 제2 데이터 전압으로 출력하는 것을 특징으로 하는 데이터 드라이버.

청구항 24

제15항에 있어서, 상기 기준 전압을 기준으로 상기 제1 및 제2 데이터 전압은 반전되는 것을 특징으로 하는 데이터 드라이버.

청구항 25

매트릭스로 다수의 화소가 배열되고, 상기 각 화소는 게이트 라인과 제1 및 제2 데이터 라인에 의해 정의된 액정 패널;

상기 게이트 라인을 활성화하기 위한 스캔 신호를 공급하는 게이트 드라이버; 및

상기 제1 및 제2 데이터 라인에 서로 상이한 제1 및 제2 데이터 전압을 공급하는 데이터 드라이버를 포함하고,

상기 데이터 드라이버는 각 데이터 신호를 제1 및 제2 데이터 신호로 분기하기 위한 수단;

래치 이네이블 신호를 순차적으로 출력하는 시프트 레지스터;

상기 래치 이네이블 신호에 따라 상기 분기된 제1 및 제2 데이터 신호를 래치하는 래치부; 및

다수의 정극성 감마 전압과 다수의 부극성 감마 전압을 이용하여 상기 제1 및 제2 데이터 신호에 상응하는 제1 및 제2 데이터 전압을 출력하는 디지털-아날로그 변환부를 포함하고, 상기 제1 및 제2 데이터 전압은 기준 전압을 기준으로 서로 대칭적인 전압 레벨을 갖는 것을 특징으로 하는 액정표시장치.

청구항 26

제25항에 있어서, 상기 제1 및 제2 데이터 신호는 서로 동일한 데이터 값을 갖는 것을 특징으로 하는 액정표시장치.

청구항 27

제25항에 있어서, 상기 제1 및 제2 데이터 신호는 분기되지 전의 데이터 신호와 동일한 데이터 값을 갖는 것을 특징으로 하는 액정표시장치.

청구항 28

제25항에 있어서, 상기 디지털-아날로그 변환부는,

상기 제1 데이터 신호에 상응하는 제1 데이터 전압을 출력하는 제1 멀티플렉서;

상기 제2 데이터 신호에 상응하는 제2 데이터 전압을 출력하는 제2 멀티플렉서;

상기 다수의 정극성 감마 전압과 상기 다수의 부극성 감마 전압을 소정 구간마다 교대로 상기 제1 및 제2 멀티플렉서에 공급하는 스위치를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 29

삭제

청구항 30

제25항에 있어서, 상기 다수의 정극성 감마 전압과 상기 다수의 부극성 감마 전압은 상기 기준 전압을 기준으로 대칭적인 전압 레벨을 갖는 것을 특징으로 하는 액정표시장치.

청구항 31

제28항에 있어서, 상기 소정 구간은 도트 단위, 라인 단위 및 프레임 단위 중 어느 하나인 것을 특징으로 하는 액정표시장치.

청구항 32

제28항에 있어서, 상기 제1 멀티플렉서는, 상기 다수의 정극성 감마 전압 또는 상기 다수의 부극성 감마 전압 중 어느 하나의 다수의 감마 전압 중에서 상기 제1 데이터 신호에 상응하는 감마 전압을 선택하여 상기 제1 데이터 전압으로 출력하는 것을 특징으로 하는 액정표시장치.

청구항 33

제28항에 있어서, 상기 제2 멀티플렉서는, 상기 다수의 정극성 감마 전압 또는 상기 다수의 부극성 감마 전압 중 어느 하나의 다수의 감마 전압 중에서 상기 제2 데이터 신호에 상응하는 감마 전압을 선택하여 상기 제2 데이터 전압으로 출력하는 것을 특징으로 하는 액정표시장치.

청구항 34

매트릭스로 다수의 화소가 배열되고, 상기 각 화소는 게이트 라인과 제1 및 제2 데이터 라인에 의해 정의된 액정 패널과 상기 액정 패널을 구동하기 위한 구동부를 포함하는 액정표시장치에 있어서,

상기 게이트 라인을 활성화하기 위한 스캔 신호를 공급하는 단계;

상기 제1 및 제2 데이터 라인에 서로 상이한 제1 및 제2 데이터 전압을 공급하는 단계; 및

상기 제1 및 제2 데이터 전압 간의 전위차를 이용하여 상기 액정 패널을 표시하는 단계를 포함하고,

상기 제1 및 제2 데이터 전압을 공급하는 단계는,

입력 데이터 신호를 제1 및 제2 데이터 신호로 분기하는 단계;

래치 이네이블 신호를 시프트 레지스터에서 순차적으로 출력하는 단계;

상기 래치 이네이블 신호에 따라 상기 분기된 제1 및 제2 데이터 신호를 래치하는 단계; 및

다수의 정극성 감마 전압과 다수의 부극성 감마 전압을 이용하여 상기 제1 및 제2 데이터 신호에 상응하는 제1 및 제2 데이터 전압을 출력하는 단계;를 포함하고,

상기 제1 및 제2 데이터 전압은 기준 전압을 기준으로 서로 대칭적인 전압 레벨을 갖는 것을 특징으로 하는 액정표시장치의 구동 방법.

청구항 35

삭제

청구항 36

삭제

청구항 37

제34항에 있어서, 상기 제1 및 제2 데이터 신호는 서로 동일한 데이터 값을 갖는 것을 특징으로 하는 액정표시장치의 구동 방법.

청구항 38

제34항에 있어서, 상기 제1 및 제2 데이터 신호는 분기되지 전의 데이터 신호와 동일한 데이터 값을 갖는 것을 특징으로 하는 액정표시장치의 구동 방법.

청구항 39

삭제

청구항 40

삭제

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0020] 본 발명은 액정표시장치에 관한 것으로, 특히 고전압 구동으로 화질을 향상시킬 수 있는 액정 패널, 데이터 드라이버, 이를 구비한 액정표시장치 및 그 구동 방법에 관한 것이다.
- [0021] 정보화 사회가 발전함에 따라 표시장치에 대한 요구도 다양한 형태로 증대하고 있다. 이에 부응하여 근래에는 액정표시장치(LCD: Liquid Crystal Display device), 플라즈마 디스플레이 패널(PDP: Plasma Display Panel), 전계발광소자(ELD: Electro Luminescent Display) 등을 포함한 다양한 평판표시장치가 연구되어 왔고 일부는 이미 표시장치로 널리 활용되고 있다.
- [0022] 그 중에, 액정표시장치는 현재 화질이 우수하고 경량, 박형, 저소비 전력 등의 장점이 있고, 이에 따라 브라운관(CRT)을 신속히 대체시키고 있다. 상기 액정표시장치는 노트북의 모니터, 텔레비전의 표시 패널 등으로 다양하게 개발되고 있다.
- [0023] 상기 액정표시장치는 매트릭스 형태로 배열된 화소(pixel)들에 개별적으로 데이터를 공급하여, 그 화소들의 광 투과율을 조절하여 원하는 화상을 표시한다.
- [0024] 도 1은 종래의 액정표시장치를 개략적으로 도시한 블록도이고, 도 2는 도 1의 액정 패널을 회로적으로 도시한 도면이며, 도 3은 도 1의 데이터 드라이버를 상세하게 도시한 블록도이다.
- [0025] 도 1에 도시된 바와 같이, 종래의 액정표시장치는, 매트릭스 형태로 배열된 다수의 화소들을 갖는 액정 패널(9)과, 상기 액정 패널(9)에 스캔 신호를 공급하는 게이트 드라이버(3)와, 감마 전압을 발생하는 감마 발생부(7)와, 화상을 구성하는 R, G, B 데이터 신호에 상응하는 상기 감마 전압을 반영한 데이터 전압을 상기 액정 패널(9)에 공급하는 데이터 드라이버(5)와, 상기 액정 패널(9)로 공급하기 위한 공통 전압(Vcom)을 생성하는 공통 전압 발생부(8)와, 상기 게이트 드라이버(3)와 상기 데이터 드라이버(5)를 제어하기 위한 제어 신호를 생성하는

타이밍 콘트롤러(1)를 포함한다.

- [0026] 상기 액정 패널(9)은 다양한 모드에 따라 구조가 상이하다. 도 1에 도시된 상기 액정 패널은 IPS(In-Plane Switching) 모드이다.
- [0027] 도 2에 도시된 바와 같이, 상기 액정 패널(9)은 다수의 게이트 라인(G1 내지 Gn)과 다수의 데이터 라인(D1 내지 Dm)이 교차 배열된다. 상기 게이트 라인(G1 내지 Gn)과 상기 데이터 라인(D1 내지 Dm)의 교차에 의해 화소(P)가 정의된다. 상기 화소(P)에는 상기 게이트 라인(G1 내지 Gn)과 상기 데이터 라인(D1 내지 Dm)에 연결된 박막트랜지스터(TFT)와 상기 박막트랜지스터(TFT)에 연결된 화소전극(미도시)이 형성된다. 상기 각 게이트 라인(G1 내지 Gn)과 평행하게 다수의 공통라인(VL1 내지 VLn)이 배열된다.
- [0028] 상기 화소전극에는 데이터 전압이 공급되고 상기 공통라인(VL1 내지 VLn)에는 공통 전압(Vcom)이 공급된다. 상기 화소전극과 상기 공통라인(VL1 내지 VLn) 사이에는 상기 데이터 전압과 상기 공통 전압(Vcom)의 차이에 해당하는 전위차가 발생한다. 상기 전위차에 의해 상기 화소 전극과 상기 공통라인(VL1 내지 VLn) 사이에는 존재하는 액정들이 구동하게 된다. 이러한 경우, 상기 액정들에 액정셀(Clc)이 형성된다. 도면에는 도시되지 않았지만, 상기 화소에 공급된 데이터 전압이 한 프레임 동안 유지되도록 하기 위한 스토리지 캐패시턴스가 상기 게이트 라인(G1 내지 Gn)과 상기 화소전극 사이에 형성될 수 있다.
- [0029] 상기 타이밍 콘트롤러(1)는 외부의 비디오 카드 등으로부터 입력되는 영상 데이터 및 동기신호를 이용하여 상기 액정 패널(9)을 구동시키기 위한 제어신호를 생성한다. 상기 제어신호는 상기 게이트 드라이버(3)를 제어하는 제1 제어신호와 상기 데이터 드라이버(5)를 제어하는 제2 제어신호를 포함한다. 상기 제1 제어신호는 GSC(Gate shift Clock), GSP(Gate Start Pulse), GOE(Gate Output Enable) 등을 갖는다, 상기 제2 제어신호는 SSC(Source Shift Clock), SSP(Source Start Pulse), SOE(Source Output Enable), POL 등을 갖는다.
- [0030] 상기 게이트 드라이버(3)는 상기 타이밍 콘트롤러(1)로부터 공급된 제1 제어신호에 응답하여 스캔 신호를 액정 패널의 각 게이트 라인(G1 내지 Gn)에 순차적으로 공급한다. 이에 따라, 상기 액정 패널(9)의 각 게이트 라인(G1 내지 Gn)은 순차적으로 활성화된다. 즉, 상기 각 게이트 라인(G1 내지 Gn) 상에 연결된 각 박막트랜지스터(TFT)가 턴-온되어 상기 박막트랜지스터(TFT)를 경유하여 신호가 지나갈 수 있다.
- [0031] 이에 따라, 상기 데이터 드라이버(5)로부터 공급된 데이터 전압이 상기 활성화된 게이트 라인 상에 연결된 박막트랜지스터를 경유하여 화소전극으로 공급된다.
- [0032] 상기 데이터 드라이버(5)는 도 3에 도시된 바와 같이, 데이터 래치부(13), 시프트 레지스터(12), 라인 래치부(14), 디지털-아날로그 변환부(16) 및 출력 버퍼부(17) 등과 같은 다양한 구성요소들로 구성된다.
- [0033] 상기 데이터 래치부(13)는 상기 타이밍 콘트롤러(1)로부터 공급된 n bit의 R, G, B 데이터 신호를 화소 단위로 래치한다. 상기 시프트 레지스터(12)는 SSP가 인가되는 경우 SSC에 동기하여 상기 데이터 래치부(13)에 래치된 R, G, B 데이터 신호를 라인 래치부(14)에 래치하기 위한 래치 인에이블 신호를 순차적으로 발생한다. 이와 같이 순차적으로 발생된 래치 인에이블 신호에 따라 상기 데이터 래치부(13)에 래치된 R, G, B 데이터 신호가 상기 라인 래치부(14)에 순차적으로 래치된다. 예컨대, 상기 시프트 레지스터(12)에서 출력된 제1 래치 인에이블 신호에 의해 R 데이터 신호, G 데이터 신호 및 B 데이터 신호가 동시에 라인 래치부에 래치된다. 다음에 상기 시프트 레지스터에서 출력된 제2 래치 인에이블 신호에 의해 다음 R 데이터 신호, G 데이터 신호 및 B 데이터 신호가 동시에 라인 래치부(14)에 래치된다. 이와 같은 동작에 의해 라인 래치부(14)에는 1 라인분의 데이터가 래치된다.
- [0034] 상기 라인 래치부(14)는 설정된 채널 수에 상응하는 데이터 신호를 래치할 수 있다. 도 3의 상기 라인 래치부(14)는 192개의 채널 수에 대응된 데이터 신호를 래치할 수 있다.
- [0035] 예컨대, 상기 액정 패널(9)의 데이터 라인이 576개인 경우, 각 데이터 라인에 대응된 상기 데이터 드라이버(5)의 채널 수 또한 576개이어야 한다. 하지만, 도 3에는 192개의 채널수를 가지므로, 상기 데이터 드라이버(5)에는 3개의 데이터 드라이버 IC가 구비되어야, 576개의 채널수를 만족시킬 수 있다.
- [0036] 상기 디지털-아날로그 변환부(16)는 상기 라인 래치부(14)에 래치된 R, G, B 데이터 신호를 상기 감마 발생부(7)로부터 공급된 감마 전압에 상응하는 R, G, B 데이터 전압으로 변환한다. 상기 디지털-아날로그 변환부(16)는 POL에 따라 상기 감마 발생부(7)로부터 공급된 정극성(+) 감마 전압 또는 부극성(-) 감마 전압 중 어느 하나를 참조할 수 있다.
- [0037] 상기 출력 버퍼부(17)는 SOE에 의해 상기 R, G, B 데이터 전압을 각 채널(OUT1 내지 OUT192)로 출력한다. 상기

각 채널은 상기 액정 패널(9)의 각 데이터 라인에 대응된다.

[0038] 이상의 구성으로부터 종래의 액정표시장치는 공통 전압을 중심으로 정극성(-) 감마 전압을 반영한 데이터 전압과 부극성(-) 감마 전압을 반영한 데이터 전압을 교대로 공급하여 줌으로써, 인버전 구동이 가능하다.

[0039] 하지만, 종래의 액정표시장치는 액정 패널(9)에 각 게이트 라인의 개수만큼의 다수의 공통라인이 구비된다. 따라서 단위 화소에는 게이트 라인과 데이터 라인뿐만 아니라 공통라인까지도 포함되므로, 전체적으로 개구율이 현저하게 저하되는 문제점이 있다.

[0040] 또한, 종래의 액정표시장치는 액정을 구동하기 위한 전압, 즉 데이터 전압과 공통 전압 간의 차이를 높이는 데 한계가 있다. 즉, 비록 데이터 전압을 높더라도, 그 중간을 공통 전압으로 설정하여 이를 중심으로 데이터 전압이 생성되므로, 실질적인 데이터 전압의 증가를 기대하기가 용이하지 않다.

발명이 이루고자 하는 기술적 과제

[0041] 따라서 본 발명은 고전압 구동이 가능한 액정 패널, 데이터 드라이버, 이를 구비한 액정표시장치 및 그 구동 방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

[0042] 상기 목적을 달성하기 위한 본 발명의 제1 실시예에 따르면, 액정 패널은, 다수의 게이트라인과 다수의 제1 및 제2 데이터 라인이 교차 배열되고, 상기 게이트 라인과 상기 제1 및 제2 데이터 라인의 교차에 의해 화소가 정의되고, 상기 화소는, 상기 게이트 라인과 상기 제1 데이터 라인에 연결된 제1 박막트랜지스터; 상기 게이트 라인과 상기 제2 데이터 라인에 연결된 제2 박막트랜지스터; 및 상기 제1 및 제2 박막트랜지스터 사이에 연결된 액정셀을 포함하고, 상기 액정셀은 제1 및 제2 데이터 라인으로 공급된 제1 및 제2 데이터 전압 간의 전위차에 의해 형성된다.

[0043] 본 발명의 제2 실시예에 따르면, 다수의 게이트라인과 다수의 제1 및 제2 데이터 라인이 교차 배열되고, 상기 게이트 라인과 상기 제1 및 제2 데이터 라인의 교차에 의해 화소가 정의되고, 상기 화소는, 상기 게이트 라인과 상기 제1 데이터 라인에 연결된 제1 박막트랜지스터; 상기 게이트 라인과 상기 제2 데이터 라인에 연결된 제2 박막트랜지스터; 및 상기 제1 및 제2 박막트랜지스터 사이에 연결된 액정셀을 포함하는 액정 패널을 구동하기 위한 데이터 드라이버는, 각 데이터 신호를 제1 및 제2 데이터 신호로 분기하기 위한 수단; 래치 이네이블 신호를 순차적으로 출력하는 시프트 레지스터; 상기 래치 이네이블 신호에 따라 상기 분기된 제1 및 제2 데이터 신호를 래치하는 래치부; 및 다수의 정극성 감마 전압과 다수의 부극성 감마 전압을 이용하여 상기 제1 및 제2 데이터 신호에 상응하는 제1 및 제2 데이터 전압을 출력하는 디지털-아날로그 변환부를 포함하고, 상기 제1 및 제2 데이터 전압은 기준 전압을 기준으로 서로 대칭적인 전압 레벨을 갖는다.

[0044] 본 발명의 제3 실시예에 따르면, 다수의 게이트라인과 다수의 제1 및 제2 데이터 라인이 교차 배열되고, 상기 게이트 라인과 상기 제1 및 제2 데이터 라인의 교차에 의해 화소가 정의되고, 상기 화소는, 상기 게이트 라인과 상기 제1 데이터 라인에 연결된 제1 박막트랜지스터; 상기 게이트 라인과 상기 제2 데이터 라인에 연결된 제2 박막트랜지스터; 및 상기 제1 및 제2 박막트랜지스터 사이에 연결된 액정셀을 포함하는 액정 패널을 구동하기 위한 데이터 드라이버는, 래치 이네이블 신호를 순차적으로 출력하는 시프트 레지스터; 상기 래치 이네이블 신호에 따라 각 데이터 신호를 래치하는 래치부; 상기 각 데이터 신호를 제1 및 제2 데이터 신호로 분기하기 위한 수단; 및 다수의 정극성 감마 전압과 다수의 부극성 감마 전압을 이용하여 상기 제1 및 제2 데이터 신호에 상응하는 제1 및 제2 데이터 전압을 출력하는 디지털-아날로그 변환부를 포함하고, 상기 제1 및 제2 데이터 전압은 기준 전압을 기준으로 서로 대칭적인 전압 레벨을 갖는다.

[0045] 본 발명의 제4 실시예에 따르면, 액정표시장치는, 매트릭스로 다수의 화소가 배열되고, 상기 각 화소는 게이트 라인과 제1 및 제2 데이터 라인에 의해 정의된 액정 패널; 상기 게이트 라인을 활성화하기 위한 스캔 신호를 공급하는 게이트 드라이버; 및 상기 제1 및 제2 데이터 라인에 서로 상이한 제1 및 제2 데이터 전압을 공급하는 데이터 드라이버를 포함하고, 상기 제1 및 제2 데이터 전압은 기준 전압을 기준으로 서로 대칭적인 전압 레벨을 갖는다.

[0046] 본 발명의 제5 실시예에 따르면, 매트릭스로 다수의 화소가 배열되고, 상기 각 화소는 게이트 라인과 제1 및 제

2 데이터 라인에 의해 정의된 액정 패널과 상기 액정 패널을 구동하기 위한 구동부를 포함하는 액정표시장치의 구동 방법은, 상기 게이트 라인을 활성화하기 위한 스캔 신호를 공급하는 단계; 상기 제1 및 제2 데이터 라인에 서로 상이한 제1 및 제2 데이터 전압을 공급하는 단계; 및 상기 제1 및 제2 데이터 전압 간의 전위차를 이용하여 상기 액정 패널을 표시하는 단계를 포함하고, 상기 제1 및 제2 데이터 전압은 기준 전압을 기준으로 서로 대칭적인 전압 레벨을 갖는다.

[0047] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.

[0048] 도 4는 본 발명의 액정 패널을 회로적으로 도시한 도면이다.

[0049] 도 4에 도시된 바와 같이, 본 발명의 액정 패널(66)은 다수의 게이트 라인(G1 내지 Gn)과 다수의 제1 및 제2 데이터 라인(D11 내지 D1m, Dr1 내지 Drm)이 교차 배열된다. 상기 게이트 라인(G1 내지 Gn)과 상기 제1 및 제2 데이터 라인(D11 내지 D1m, Dr1 내지 Drm)의 교차에 의해 화소(P)가 정의된다. 예컨대, 단위 화소(P)는 하나의 게이트 라인(G2)과 하나의 제1 데이터 라인(D11)과 하나의 제2 데이터 라인(Dr1)에 의해 정의된다. 모든 화소가 이와 같이 구성될 수 있다.

[0050] 상기 화소(P)는 상기 게이트 라인(G2)과 상기 제1 데이터 라인(D11)에 연결된 제1 박막트랜지스터(TFT1)와, 상기 게이트 라인(G2)과 상기 제2 데이터 라인(Dr1)에 연결된 제2 박막트랜지스터(TFT2)와, 상기 제1 박막트랜지스터(TFT1)에 연결된 제1 화소 전극(미도시)과, 상기 제2 박막트랜지스터(TFT2)에 연결된 제2 화소 전극(미도시), 상기 제1 및 제2 화소 전극 사이에 연결된 액정셀(C1c)을 포함한다. 상기 액정 셀(C1c)은 상기 제1 및 제2 화소 전극 사이에 존재하는 액정에 의해 형성된 캐패시턴스를 의미한다.

[0051] 상기 제1 박막트랜지스터(TFT1)는 게이트 전극이 상기 게이트 라인(G2)에 연결되고, 소오스 전극이 상기 제1 데이터 라인(D11)에 연결되며, 드레인 전극이 상기 액정셀(C1c)에 연결된다. 상기 제2 박막트랜지스터(TFT2)는 게이트 전극이 상기 게이트 라인(G2)에 연결되고, 소오스 전극이 상기 제2 데이터 라인(Dr1)에 연결되며, 드레인 전극이 상기 액정셀(C1c)에 연결된다. 실제로는 상기 제1 박막트랜지스터(TFT1)의 드레인 전극과 상기 액정셀(C1c) 사이에 제1 화소 전극이 존재하고, 상기 제2 박막트랜지스터(TFT2)의 드레인 전극과 상기 액정셀(C1c) 사이에 제2 화소 전극이 존재하지만, 설명의 편의를 위해 상기 제1 박막트랜지스터(TFT1)의 드레인 전극과 상기 제2 박막트랜지스터(TFT2)의 드레인 전극이 상기 액정셀(C1c)에 연결되는 것으로 설명하였다.

[0052] 이로부터 상기 제1 및 제2 박막트랜지스터(TFT1, TFT2)는 게이트 전극이 상기 게이트 라인(G2)에 공통 연결되고 드레인 전극이 상기 액정셀(C1c)에 공통 연결되는데 반해, 소오스 전극은 서로 상이한 데이터 라인인 제1 및 제2 데이터 라인(D11, Dr1)에 개별적으로 연결된다.

[0053] 따라서 상기 게이트 라인(G2)에 공급된 스캔 신호에 의해 상기 제1 및 제2 박막트랜지스터(TFT1, TFT2)가 동시에 턴-온되지만, 상기 액정셀(C1c)은 상기 제1 및 제2 데이터 라인(D11, Dr1)으로 서로 상이하게 공급된 제1 및 제2 데이터 전압 간의 차이, 즉 전위차에 의해 형성된다.

[0054] 도시되지 않았지만, 이전 단의 게이트 라인(G1)과 화소 전극에 의해 스토리지 캐패시턴스(Cst)가 형성될 수 있다.

[0055] 상기 각 게이트 라인(G1 내지 Gn)에는 1수평기간(H) 동안 스캔 신호, 즉 게이트 하이 전압(Vgh)이 공급되고, 1수평기간(H) 이후로부터 다음 프레임까지 게이트 로우 전압(Vgl)이 공급된다.

[0056] 상기 스캔 신호, 즉 게이트 하이 전압(Vgh)이 상기 각 게이트 라인(G1 내지 Gn)으로 공급되는 경우, 상기 각 게이트 라인(G1 내지 Gn)에 연결된 제1 및 제2 박막트랜지스터(TFT1, TFT2)가 동시에 턴-온된다.

[0057] 상기 제1 및 제2 데이터 라인(D11 내지 D1m, Dr1 내지 Drm)에는 서로 상이한 제1 및 제2 전압이 공급될 수 있다. 상기 제1 데이터 전압은 상기 제2 데이터 전압으로부터 생성될 수 있고, 또는 상기 제2 데이터 전압은 상기 제1 데이터 전압으로부터 생성될 수 있다. 예컨대, 상기 제1 데이터 전압이 정극성(+) 감마 전압으로부터 생성되는 경우, 상기 제2 데이터 전압은 소정의 기준 전압(Vref)을 기준으로 상기 정극성(+) 감마 전압에 대칭된 부극성(-) 감마 전압으로부터 생성될 수 있다. 반대로, 상기 제2 데이터 전압이 부극성(-) 감마 전압으로부터 생성되는 경우, 상기 제1 데이터 전압은 상기 기준 전압(Vref)을 기준으로 상기 부극성(-) 감마 전압으로부터 생성될 수 있다.

[0058] 이를 이해하기 쉽게 설명하면, 부극성(-) 감마가 1V 내지 8V의 범위를 갖고 정극성(+) 감마가 8V 내지 15V의 범위를 가지며 기준 전압(Vref)이 8V인 경우, 제1 데이터 전압이 5V의 부극성(-) 감마 전압으로 선택되는 경우, 상기 제2 데이터 전압은 8V의 기준 전압(Vref)을 기준으로 5V의 부극성(-) 감마 전압에 대칭인 11V의 정극성(-)

감마 전압으로 선택될 수 있다. 따라서 5V의 부극성(-) 감마 전압은 8V의 기준 전압(Vref)보다 3V 낮은 전압이지만, 11V의 정극성(+) 감마 전압은 8V의 기준 전압(Vref)보다 3V 높은 전압으로서, 5V의 부극성(-) 감마 전압과 11V의 정극성(+) 감마 전압은 8V의 기준 전압(Vref)을 기준으로 대칭되게 된다. 그러므로 제1 및 제2 데이터 전압은 둘 중 어느 하나의 데이터 전압을 아는 경우, 앞서 살펴본 대칭 관계를 이용하여 다른 데이터 전압을 용이하게 생성할 수 있다. 여기서, 제1 데이터 전압에 의해 생성되는 제2 데이터 전압을 미러(mirror) 전압이라 부를 수 있다.

- [0059] 도 4에 도시된 바와 같이, 상기 액정 패널(66)에는 공통 전압이 공급되는 어떠한 공통 라인도 존재하지 않는다. 그러므로 본 발명의 액정 패널(66)은 공통 라인이 필요 없기 때문에 제조가 용이하고 비용이 절감될 수 있다. 또한, 본 발명의 액정 패널(66)은 공통 라인이 필요 없기 때문에 공통 라인이 차지하는 면적만큼 개구율이 향상될 수 있다. 또한, 공통 라인을 통해 공급되는 공통 전압 또한 필요 없기 때문에 소비 전력을 감소시킬 수 있다.
- [0060] 상기 제1 및 제2 데이터 전압은 각 화소(P)의 제1 및 제2 데이터 라인(D11 내지 D1m, Dr1 내지 Drm)으로 공급되므로, 상기 액정셀(C1c)은 제1 및 제2 데이터 전압 간의 전위차에 의해 형성된다. 따라서 액정이 이러한 제1 및 제2 데이터 전압 간의 전위차에 의해 구동되게 된다.
- [0061] 종래에는 공통 전압을 기준으로 화소에 공급된 데이터 전압과의 전위차에 의해 액정이 구동되는데 반해, 본 발명은 서로 대칭적인 제1 및 제2 데이터 전압 간의 전위차에 의해 액정이 구동될 수 있다.
- [0062] 인버전 구동을 위해서 상기 제1 및 제2 데이터 라인(D11 내지 D1m, Dr1 내지 Drm)은 프레임 단위로 반전될 수 있다. 예컨대, 제1 프레임 동안 제1 데이터 라인(D11 내지 D1m)에 정극성(+) 감마 전압을 반영한 제1 데이터 전압이 공급되고 제2 데이터 라인(Dr1 내지 Drm)에 부극성(-) 감마 전압을 반영한 제2 데이터 전압이 공급되는 경우, 제2 프레임 동안 제1 데이터 라인(D11 내지 D1m)에 부극성(-) 감마 전압을 반영한 제1 데이터 전압이 공급되고 제2 데이터 라인(Dr1 내지 Drm)에 정극성(+) 감마 전압을 반영한 제2 데이터 전압이 공급될 수 있다.
- [0063] 이하, 도 5 내지 도 9를 참조하여 대칭적인 제1 및 제2 데이터 전압을 생성하는 방법에 대해 상세히 설명한다.
- [0064] 도 5는 도 4의 액정 패널을 구동하기 위한 일 실시예에 따른 데이터 드라이버를 도시한 블록도이고, 도 6은 도 5의 감마 발생부를 상세하게 도시한 도면이고, 도 7은 도 5의 디지털-아날로그 변환부를 개략적으로 도시한 도면이고, 도 8은 도 5의 디지털-아날로그 변환부를 도시한 블록도이고, 도 9는 도 5의 데이터 드라이버에서 공급되는 데이터 전압의 파형을 도시한 도면이다.
- [0065] 도 5에 도시된 바와 같이, 상기 데이터 드라이버(30)는 데이터 래치부(33), 시프트 레지스터(32), 라인 래치부(34), 디지털-아날로그 변환부(36) 및 출력 버퍼부(37)를 포함하여 구성된다.
- [0066] 도 5의 데이터 드라이버(30)는 하나의 데이터 드라이버 IC일 수 있다. 즉, 통상적으로 데이터 드라이버에는 다수의 데이터 드라이버 IC가 구비될 수 있는데, 본 발명에서는 설명의 편의를 위해 데이터 드라이버(30)가 하나의 데이터 드라이버 IC로 구성되는 예를 설명한다. 만일 다수의 데이터 드라이버 IC가 구비되는 경우, 각 데이터 드라이버 IC가 병렬로 연결되고, 각 데이터 드라이버 IC에 구비된 시프트 레지스터(32)는 서로 종속 연결된다. 이에 따라, 첫 번째 데이터 드라이버 IC에 구비된 시프트 레지스터의 동작이 완료된 후, 두 번째 데이터 드라이버 IC에 구비된 시프트 레지스터가 동작된다. 이와 같은 동작에 의해 각 데이터 드라이버 IC가 동작된다.
- [0067] 상기 데이터 래치부(33)는 n bit의 R, G, B 데이터 신호를 화소 단위로 래치한다.
- [0068] 상기 시프트 레지스터(32)는 SSP가 인가되는 경우 SSC에 동기하여 상기 데이터 래치부(33)에 래치된 R, G, B 데이터 신호를 라인 래치부(34)에 래치하기 위한 래치 인에이블 신호를 순차적으로 발생한다.
- [0069] 상기 래치 인에이블 신호에 따라 상기 데이터 래치부(33)에 래치된 R, G, B 데이터 신호가 라인 래치부(34)에 래치될 수 있다.
- [0070] 하지만, 본 발명은 상기 데이터 래치부(33)에 래치된 R, G, B 데이터 신호가 곧바로 상기 라인 래치부(34)에 래치되지 않고 제1 및 제2 데이터 신호로 분기된 후 래치된다. 즉, R 데이터 신호는 2개의 제1 및 제2 R 데이터 신호(R1, Rr)로 분기되어 래치되고, G 데이터 신호는 2개의 제1 및 제2 G 데이터 신호(G1, Gr)로 분기되어 래치되며, B 데이터 신호는 2개의 제1 및 제2 B 데이터 신호(B1, Br)로 분기되어 래치된다. 따라서 각 R, G, B 데이터 신호는 동일한 데이터 값을 갖는 2개의 제1 및 제2 데이터 신호(R1, Rr, G1, Gr, B1, Br)로 분기되어 상기 라인 래치부(34)로 래치된다. 소정의 데이터 신호로부터 분기되어 동일한 데이터 값을 갖는 2개의 데이터 신호를 제1 및 제2 데이터 신호로 명명하기로 한다. 그러므로 각 데이터 신호(R, G, B)는 동일한 데이터 값을 갖는

제1 및 제2 데이터 신호(R1, Rr, G1, Gr, B1, Br)로 분기되어 상기 라인 래치부(34)에 래치된다. 상기 제1 및 제2 데이터 신호(R1, Rr)는 분기되어도 원래의 데이터 신호(R)와 동일한 데이터 값을 가진다. 예컨대, 원래의 데이터 신호(R)가 001111인 경우, 상기 제1 및 제2 데이터 신호(R1, Rr) 또한 001111이 된다.

[0071] R, G, B 데이터 신호 각각을 제1 및 제2 데이터 신호(R1, Rr, G1, Gr, B1, Br)로 분기하기 위한 분기 수단(39)이 구비될 수 있다. 도 5에 도시된 바와 같이, 상기 분기 수단(39)은 단순히 하나의 라인을 두개의 라인으로 분리하여 구성될 수 있다. 또는 상기 분기 수단(39)은 별도의 회로를 통해 구성될 수도 있다.

[0072] 이와 같이 각 R, G, B 데이터 신호로부터 분기된 제1 및 제2 데이터 신호는 상기 시프트 레지스터(32)에서 출력된 래치 이네이블 신호에 따라 상기 라인 래치부(34)에 래치된다. R, G, B 데이터 신호 각각으로부터 제1 및 제2 데이터 신호(R1, Rr, G1, Gr, B1, Br)가 분기되므로, 상기 시프트 레지스터(32)로부터 출력된 하나의 래치 이네이블 신호에 의해 6개의 제1 및 제2 데이터 신호(R1, Rr, G1, Gr, B1, Br)가 상기 라인 래치부(34)로 래치된다. 따라서 각 래치 이네이블 신호에 따라 6개씩의 제1 및 제2 데이터 신호(R1, Rr, G1, Gr, B1, Br)가 상기 라인 래치부(34)에 순차적으로 래치된다. 이와 같은 동작에 의해 상기 라인 래치부(34)에는 1라인분의 제1 및 제2 데이터 신호(R1, Rr, G1, Gr, B1, Br)가 래치될 수 있다.

[0073] 상기 디지털-아날로그 변환부(36)는 상기 라인 래치부(34)에 래치된 R, G, B 데이터 신호 각각에 대한 제1 및 제2 데이터 신호(R1, Rr, G1, Gr, B1, Br)를 감마 발생부(35)로부터 공급된 감마 전압에 상응하는 제1 및 제2 데이터 전압으로 변환한다. 상기 디지털-아날로그 변환부(36)는 POL에 따라 감마 발생부(35)로부터 공급된 정극성(+) 감마 전압 또는 부극성(-) 감마 전압 중 어느 하나를 참조할 수 있다.

[0074] 상기 감마 발생부(35)는 도 6에 도시된 바와 같이, 정극성 감마 발생부(35a)와 부극성 감마 발생부(35b)를 포함한다. 상기 정극성 감마 발생부(35a)는 제1 공급 전압(VDD)과 기준 전압(Vref) 사이에서 다수의 정극성(+) 감마 전압을 생성하고, 상기 부극성 감마 발생부(35b)는 상기 기준 전압(Vref)과 제2 공급 전압(VSS) 사이에서 다수의 부극성(-) 감마 전압을 생성한다. 감마 전압은 상기 디지털-아날로그 변환부(36)에서 디지털인 데이터를 이에 상응하는 아날로그인 데이터 전압으로 변환하기 위해 제공되는 것으로서, 두 전압 사이, 즉 제1 공급 전압(VDD)과 기준 전압(Vref) 사이 또는 기준 전압(Vref)과 제2 공급 전압(VSS) 사이에서 전압 분배를 이용하여 서로 상이한 전압 레벨이 생성된다. 여기서, 상기 각 전압 레벨이 상기 감마 전압이 된다. 상기 감마 전압은 상기 디지털-아날로그 변환부(36)로 공급되어 각 계조에 대응되도록 더욱 세분화될 수 있다. 또는 상기 감마 발생부(35)에서 각 계조에 대응되도록 감마 전압을 생성할 수도 있다. 본 발명은 상기 감마 발생부(35)에서 각 계조에 대응되도록 감마 전압을 갖는 것으로 설명한다. 이러한 경우, 계조가 0부터 255까지 범위를 갖는 경우, 정극성 감마 발생부(35a)는 각 계조에 대응되는 256개의 감마 전압을 생성하고, 부극성 감마 발생부(35b)는 각 계조에 대응되는 256개의 감마 전압을 생성할 수 있다.

[0075] 상기 정극성(+) 감마 전압과 상기 부극성(-) 감마 전압은 상기 기준 전압(Vref)을 기준으로 대칭적인 전압 레벨을 가질 수 있다. 예를 들어, 기준 전압(Vref)이 15V이고 기준 전압(Vref)이 8V이며 제2 공급 전압이 1V라고 한다. 계조가 125계조인 경우, 정극성(+) 감마 전압이 12V일 때, 부극성(-) 감마 전압은 기준 전압(Vref)을 기준으로 8V와 대칭인 4V가 된다. 이와 같이, 정극성 감마 발생부(35a)와 부극성 감마 발생부(35b) 각각은 풀 계조(full gray scale)를 발생시킬 수 있고, 또한 각 감마 발생부에서 감마 전압은 기준 전압(Vref)을 기준으로 서로 대칭적인 전압 레벨을 갖는다.

[0076] 상기 디지털-아날로그 변환부(36)는 도 7 및 도 8에 도시된 바와 같이, 스위치(42)와 멀티플렉서(44)를 포함하여 구성될 수 있다.

[0077] 상기 멀티플렉서(44)는 제1 및 제2 멀티플렉서(44a, 44b)를 포함한다. 상기 제1 멀티플렉서(44a)는 상기 제1 데이터 신호(R1, G1, B1)에 상응하는 제1 데이터 전압(VR1, VG1, VB1)을 출력하고, 상기 제2 멀티플렉서(44b)는 상기 제2 데이터 신호(Rr, Gr, Br)에 상응하는 제2 데이터 전압(VRr, VGr, VBr)을 출력한다.

[0078] 상기 제1 멀티플렉서(44a)는 다수의 정극성(+) 감마 전압 또는 다수의 부극성(-) 감마 전압의 어느 하나의 다수의 감마 전압에서 상기 제1 데이터 신호(R1, G1, B1)에 상응하는 감마 전압을 선택하여 제1 데이터 전압(VR1, VG1, VB1)으로 출력한다. 또한, 상기 제2 멀티플렉서(44b)도 다수의 정극성(+) 감마 전압 또는 다수의 부극성(-) 감마 전압의 어느 하나의 다수의 감마 전압에서 상기 제2 데이터 신호(Rr, Gr, Br)에 상응하는 감마 전압을 선택하여 제2 데이터 전압(VRr, VGr, VBr)으로 출력한다. 상기 정극성(+) 감마 전압은 상기 정극성 감마 발생부(35a)에서 생성되고, 상기 부극성(-) 감마 전압은 상기 부극성 감마 발생부(35b)에서 생성된다.

[0079] 상기 제1 및 제2 멀티플렉서(44a, 44b)로 공급되는 정극성(+) 감마 전압과 부극성(-) 감마 전압은 도트 단위,

라인 단위, 프레임 단위로 교대로 공급될 수 있다. 본 발명에서 도트는 단위 화소를 의미한다. 필요에 따라 단위 화소는 3도트로 구성될 수도 있다.

- [0080] 예컨대, 제1 프레임 동안 제1 멀티플렉서(44a)에 정극성(+) 감마 전압을 공급하고 제2 멀티플렉서(44b)에 부극성(-) 감마 전압을 공급한다. 이러한 경우, 제2 프레임에서는 제1 멀티플렉서(44a)에 부극성(-) 감마 전압을 공급하고 제2 멀티플렉서(44b)에 정극성(+) 감마 전압을 공급할 수 있다.
- [0081] 이와 같이, 도트 단위, 라인 단위, 프레임 단위로 정극성(+) 감마 전압과 부극성(-) 감마 전압을 교대로 상기 제1 및 제2 멀티플렉서(44a, 44b)에 공급되도록 하기 위해 스위치(42)가 상기 멀티플렉서(44)의 전단에서 상기 멀티플렉서(44)에 연결된다. 따라서 상기 스위치(42)에 의해 상기 정극성(+) 감마 전압과 상기 부극성(-) 감마 전압은 도트 단위, 라인 단위, 프레임 단위로 스위칭되어, 정극성(+) 감마 전압과 부극성(-) 감마 전압이 교대로 상기 제1 및 제2 멀티플렉서(44a, 44b)로 공급될 수 있다.
- [0082] 상기 다수의 정극성(+) 감마 전압이 상기 제1 멀티플렉서(44a)로 공급되고 상기 다수의 부극성(-) 감마 전압이 상기 제2 멀티플렉서(44b)로 공급될 때, 상기 제1 멀티플렉서(44a)는 상기 다수의 정극성(+) 감마 전압 중에서 상기 제1 데이터 신호(R1, G1, B1)에 상응하는 정극성(+) 감마 전압을 선택하여 제1 데이터 전압(VR1, VG1, VB1)으로 출력하고 상기 제2 멀티플렉서(44b)는 상기 다수의 부극성(-) 감마 전압 중에서 상기 제2 데이터 신호(Rr, Gr, Br)에 상응하는 부극성(-) 감마 전압을 선택하여 제2 데이터 전압(VRr, VGr, VBr)으로 출력한다. 상기 제1 및 제2 데이터 전압은 기준 전압(Vref)을 기준으로 대칭적인 전압 레벨을 가질 수 있다.
- [0083] 결국, 상기 디지털-아날로그 변환부(36)는 정극성(+) 감마 전압과 부극성(-) 감마 전압을 이용하여 제1 및 제2 데이터 신호(R1, Rr, G1, Gr, B1, Br) 각각에 상응하는 제1 및 제2 데이터 전압(VR1, VRr, VG1, VGr, VB1, VBr)을 출력한다.
- [0084] 한편, 도 5에서, 상기 출력 버퍼부(37)는 상기 디지털-아날로그 변환부(36)로부터 출력된 제1 및 제2 데이터 전압(VR1, VRr, VG1, VGr, VB1, VBr)을 POL에 따라 각 채널로 출력한다. 상기 채널의 개수는 상기 액정 패널(66)의 데이터 라인(D11 내지 D1m, Dr1 내지 Drm) 내지 의 개수에 대응될 수 있다.
- [0085] 이상으로부터 R, G, B 데이터 신호 각각에 대해 제1 및 제2 데이터 전압(VR1, VRr, VG1, VGr, VB1, VBr)이 생성되고, 상기 액정 패널(66)의 각 화소에 상기 제1 및 제2 데이터 전압(VR1, VRr, VG1, VGr, VB1, VBr)이 공급된다. 예컨대, 액정 패널(66)의 제1 데이터 라인(D11)에 제1 데이터 전압(VR1)이 공급되고 제2 데이터 라인(Dr1)에 제2 데이터 전압(VRr)이 공급될 수 있다.
- [0086] 상기 데이터 드라이버(30)는 제1 및 제2 데이터 전압(VR1, VRr, VG1, VGr, VB1, VBr)을 정극성(+) 감마 전압과 부극성(-) 감마 전압을 이용하여 기준 전압(Vref)을 기준으로 도트 단위, 라인 단위 프레임 단위로 교대로 반전 시킴으로써, 도 9에 도시된 바와 같은 파형을 얻을 수 있다.
- [0087] 예컨대, 제1 프레임 동안에는 제1 데이터 전압(VR1, VG1, VB1)이 정극성(+) 감마 전압으로부터 생성되고 제2 데이터 전압(VRr, VGr, VBr)이 부극성(-) 감마 전압으로부터 생성될 수 있다. 제2 프레임 동안에는 제1 데이터 전압(VR1, VG1, VB1)이 부극성(-) 감마 전압으로부터 생성되고 제2 데이터 전압(VRr, VGr, VBr)이 정극성(+) 감마 전압으로부터 생성될 수 있다. 이와 같이 각 프레임마다 정극성(+) 감마 전압과 부극성(-) 감마 전압을 교대로 이용하여 상기 제1 및 제2 데이터 전압(VR1, VRr, VG1, VGr, VB1, VBr)이 생성될 수 있다.
- [0088] 상기 액정 패널(66)의 각 화소(P)에 대응된 액정은 상기 데이터 드라이버(30)에서 생성된 상기 제1 및 제2 데이터 전압(VR1 또는 VRr, VG1 또는 VGr, VB1 또는 VBr) 간의 차이, 즉 전위차(Vd)에 의해 구동되게 된다. 그러므로 종래에 공통전압을 기준으로 데이터 전압과의 전위차에 의해 액정을 구동하는 것에 비해, 본 발명은 별도의 공통 전압을 사용하지 않고, 예컨대 기존의 공통 전압에 해당하는 기준 전압(Vref)을 이용하여 생성된 제1 및 제2 데이터 전압(VR1 또는 VRr, VG1 또는 VGr, VB1 또는 VBr) 간의 전위차(Vd)에 의해 액정을 구동하므로, 액정에 보다 큰 고전압을 공급할 수 있으므로, 액정의 응답 속도를 증가시켜 화질을 향상시킬 수 있다.
- [0089] 도 10은 도 4의 액정 패널과 도 5의 데이터 드라이버를 포함한 액정표시장치를 개략적으로 도시한 블록도이다.
- [0090] 도 10에 도시된 바와 같이, 상기 액정표시장치(60)는 매트릭스 형태로 배열된 다수의 화소들을 갖고 각 화소에 게이트 라인과 제1 및 제2 데이터 라인이 교차 배열되고 상기 게이트 라인과 상기 제1 데이터 라인에 제1 박막 트랜지스터가 연결되고 상기 게이트 라인과 상기 제2 데이터 라인에 제2 박막 트랜지스터가 연결된 액정 패널(66)과, 상기 액정 패널(66)에 스캔 신호를 공급하는 게이트 드라이버(64)와, 감마 전압을 이용하여 화상을 구성하는 R, G, B 데이터 신호 각각에 대해 제1 및 제2 데이터 전압을 생성하여 상기 액정 패널(66)의 상기 제1

및 제2 데이터 라인에 공급하는 데이터 드라이버(30)와, 상기 게이트 드라이버(64)와 상기 데이터 드라이버(30)를 제어하기 위한 제어 신호를 생성하는 타이밍 콘트롤러(62)를 포함한다.

- [0091] 상기 액정 패널(66)은 도 4에서 설명되었고, 상기 데이터 드라이버(30)는 도 5에서 설명되었으므로, 더 이상의 상세한 설명은 생략한다.
- [0092] 상기 타이밍 콘트롤러(62)는 외부의 비디오 카드 등으로부터 입력되는 영상 데이터 및 동기신호를 이용하여 상기 게이트 드라이버(64)와 데이터 드라이버(30)를 제어하기 위한 제1 및 제2 제어신호를 생성한다. 상기 제어신호는 상기 게이트 드라이버(64)를 제어하는 제1 제어신호와 상기 데이터 드라이버(30)를 제어하는 제2 제어신호를 포함한다. 상기 제1 제어신호는 GSC(Gate shift Clock), GSP(Gate Start Pulse), GOE(Gate Output Enable) 등을 갖는다, 상기 제2 제어신호는 SSC(Source Shift Clock), SSP(Source Start Pulse), SOE(Source Output Enable), POL 등을 갖는다.
- [0093] 상기 게이트 드라이버(64)는 상기 타이밍 콘트롤러(62)로부터 공급된 제1 제어신호에 응답하여 스캔 신호를 액정 패널(66)의 각 게이트 라인에 순차적으로 공급한다. 이에 따라, 상기 액정 패널(66)의 각 게이트 라인 순차적으로 활성화된다. 즉, 상기 각 게이트 라인 상에 연결된 각 화소의 제1 및 제2 박막트랜지스터(TFT1, TFT2)가 턴-온되어 상기 제1 및 제2 박막트랜지스터(TFT1, TFT2)를 경유하여 상기 데이터 드라이버(30)에서 공급된 제1 및 제2 데이터 전압이 지나갈 수 있다.
- [0094] 상기 데이터 드라이버(30)는 상기 제2 제어신호에 따라 R, G, B 데이터 각각에 대해 제1 및 제2 데이터 전압을 생성하여 상기 액정 패널(66)의 각 화소에 구비된 제1 및 제2 데이터 라인으로 공급한다.
- [0095] 상기 제1 및 제2 데이터 전압은 기준 전압(Vref)을 기준으로 대칭적인 전압 레벨을 가질 수 있다. 예컨대, 기준 전압(Vref)이 8V이고 제1 데이터 전압이 6V인 경우, 상기 제2 데이터 전압은 상기 제1 데이터 전압과 대칭되어야 하므로 10V가 될 수 있다.
- [0096] 상기 제1 및 제2 데이터 전압은 상기 액정 패널(66)의 각 화소에 구비된 제1 및 제2 데이터 라인으로 공급되고, 게이트 라인에 연결된 제1 및 제2 박막트랜지스터가 상기 스캔 신호에 의해 턴-온되는 경우, 상기 제1 및 제2 박막트랜지스터(TFT1, TFT3) 각각을 경유하여 상기 제1 및 제2 박막트랜지스터(TFT1, TFT2)에 연결된 제1 및 제2 화소 전극으로 공급된다. 따라서 상기 화소 상에 존재하는 액정이 상기 제1 및 제2 데이터 전압 간의 전위차에 의해 구동될 수 있다.
- [0097] 따라서 본 발명의 액정표시장치(60)는 공통라인이 필요 없는 액정 패널(66)을 사용함으로써, 제조가 단순하고 공정 비용이 절감되며 개구율이 향상될 수 있다.
- [0098] 또한, 본 발명의 액정표시장치(60)는 액정 패널(66)의 화소에 제1 및 제2 데이터 라인을 구비하고, 상기 제1 및 제2 데이터 라인에 제1 및 제2 데이터 전압을 공급하기 위한 데이터 드라이버를 구비함으로써, 상기 제1 및 제2 데이터 전압 간의 전위차에 의해 액정을 구동할 수 있다. 따라서 상기 제1 및 제2 데이터 전압 간의 전위차가 증가되어 고전압 구동에 의한 액정의 응답 속도가 증가됨에 따라 화질을 향상시킬 수 있다.
- [0099] 한편, 도 5의 데이터 드라이버(30)는 데이터 래치부(33)에서 출력된 R, G, B 데이터 신호를 각각 제1 및 제2 데이터 신호로 분기하여 라인 래치부(34)에 래치하는 구성으로 되어 있다.
- [0100] 이와 같이, R, G, B 데이터 신호는 라인 래치부(34) 전단에서 분기될 수 있다.
- [0101] 다른 실시예로, R, G, B 데이터 신호를 라인 래치부와 디지털-아날로그 변환부(36) 사이에서 분기할 수도 있다.
- [0102] 도 11은 도 4의 액정 패널(66)을 구동하기 위한 다른 실시예에 따른 데이터 드라이버를 도시한 블록도이다.
- [0103] 도 11에 도시된 바와 같이, 본 발명의 다른 실시예에 따른 데이터 드라이버(70)는 기본적인 구성에 있어서는 도 5와 동일하다. 즉, 본 발명의 다른 실시예에 따른 데이터 드라이버(70)는 데이터 래치부(33), 시프트 레지스터(32), 라인 래치부(73), 디지털-아날로그 변환부(36) 및 출력 버퍼부(37)를 포함하여 구성된다. 따라서 본 발명의 다른 실시예에 따른 데이터 드라이버(70)의 각 구성 요소에 대해서는 이미 도 5에 대한 도면 설명에서 상세히 설명하였으므로, 더 이상의 설명은 생략한다.
- [0104] 다만, 본 발명의 다른 실시예에 따른 데이터 드라이버(70)에서는 라인 래치부(73)와 디지털-아날로그 변환부(36) 사이에서 R, G, B 데이터 신호 각각이 제1 및 제2 데이터 신호로 분기될 수 있다. 이를 위해 상기 라인 래치부(73)가 상기 디지털-아날로그 변환부(36) 사이에 분기 수단(75)이 구비될 수 있다.

[0105] 이와 같이, 상기 라인 래치부(73)에서 출력된 R, G, B 데이터 신호 각각이 제1 및 제2 데이터 신호로 분기되어 디지털-아날로그 변환부(36)로 공급되고, 상기 디지털-아날로그 변환부(36)는 도 7과 도 8과 같이 제1 및 제2 멀티플렉서(44a, 44b)에서 정극성(+) 감마 전압 또는 부극성(-) 감마 전압을 이용하여 제1 및 제2 데이터 신호에 상응하는 제1 및 제2 데이터 전압을 출력한다.

[0106] 따라서 본 발명의 다른 실시예에 따른 데이터 드라이버(70)는 라인 래치부(73)를 경유한 R, G, B 데이터 신호 각각에 대해 제1 및 제2 데이터 전압으로 분기함으로써, 도 5의 데이터 드라이버(30)의 라인 래치부(34)에 비해 래치 영역이 반으로 줄어들게 되어, 비용을 절감하고 점유 면적을 줄일 수 있다.

발명의 효과

[0107] 이 상에서 살펴본 바와 같이, 본 발명에 의하면, 공통라인이 필요 없는 액정 패널을 사용함으로써, 제조가 간단하고 공정 비용이 절감되며 개구율이 향상될 수 있다.

[0108] 또한, 본 발명에 의하면, 액정 패널의 화소에 제1 및 제2 데이터 라인을 구비하고 상기 제1 및 제2 데이터 라인에 제1 및 제2 데이터 전압을 공급하기 위한 데이터 드라이버를 구비함으로써, 상기 제1 및 제2 데이터 전압 간의 전위차에 의해 액정을 구동할 수 있다. 따라서 상기 제1 및 제2 데이터 전압 간의 전위차가 증가되어 고전압 구동에 의한 액정의 응답 속도가 증가됨에 따라 화질을 향상시킬 수 있다.

[0109] 또한, 본 발명에 의하면, 라인 래치부 이후에 R, G, B 데이터를 분기함으로써, 라인 래치부의 래치 영역을 줄여 비용을 절감하고 점유 면적을 줄일 수 있다.

[0110] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

[0001] 도 1은 종래의 액정표시장치를 개략적으로 도시한 블록도.

[0002] 도 2는 도 1의 액정 패널을 회로적으로 도시한 도면.

[0003] 도 3은 도 1의 데이터 드라이버를 상세하게 도시한 블록도.

[0004] 도 4는 본 발명의 액정 패널을 회로적으로 도시한 도면.

[0005] 도 5는 본 발명의 일 실시예에 따른 데이터 드라이버를 도시한 블록도.

[0006] 도 6은 도 5의 감마 발생부를 상세하게 도시한 도면.

[0007] 도 7은 도 5의 디지털-아날로그 변환부를 개략적으로 도시한 도면.

[0008] 도 8은 도 5의 디지털-아날로그 변환부를 도시한 블록도.

[0009] 도 9는 도 5의 데이터 드라이버에서 공급되는 데이터 전압의 파형을 도시한 도면.

[0010] 도 10은 도 4의 액정 패널과 도 5의 데이터 드라이버를 포함한 액정표시장치를 개략적으로 도시한 블록도.

[0011] 도 11은 본 발명의 다른 실시예에 따른 데이터 드라이버를 도시한 블록도.

[0012] <도면의 주요 부분에 대한 부호의 설명>

[0013] 30: 데이터 드라이버 32: 시프트 레지스터

[0014] 33; 데이터 래치부 34: 라인 래치부

[0015] 35: 감마 발생부 36: 디지털-아날로그 변환부

[0016] 37: 출력 버퍼부 42: 스위치

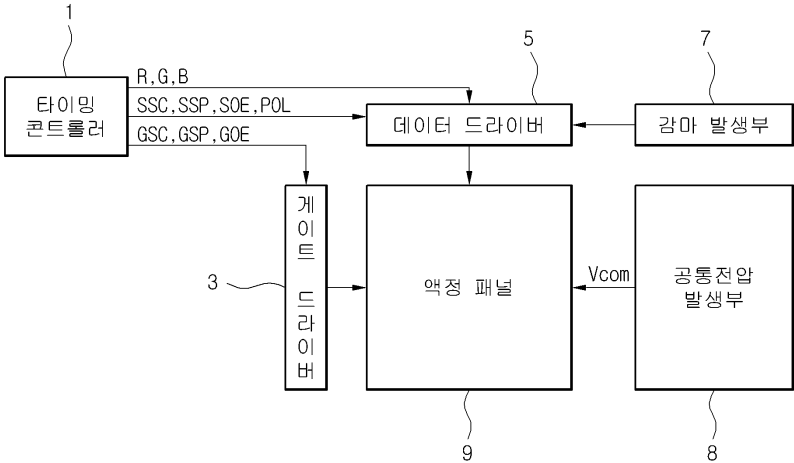
[0017] 44: 멀티플렉서 60: 액정표시장치

[0018] 62: 타이밍 컨트롤러 64: 게이트 드라이버

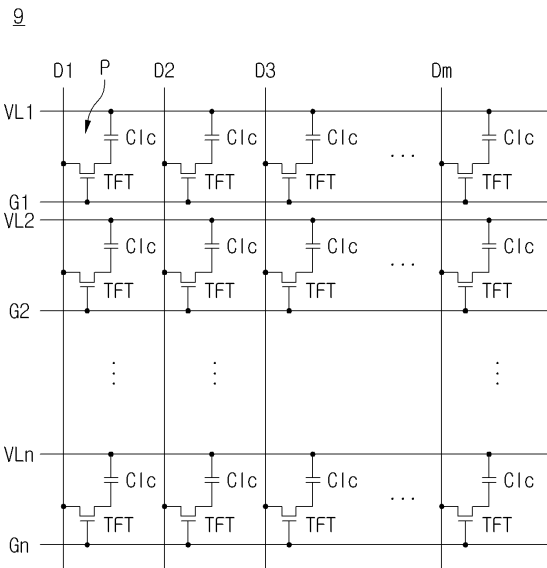
[0019] 66: 액정 패널

도면

도면1

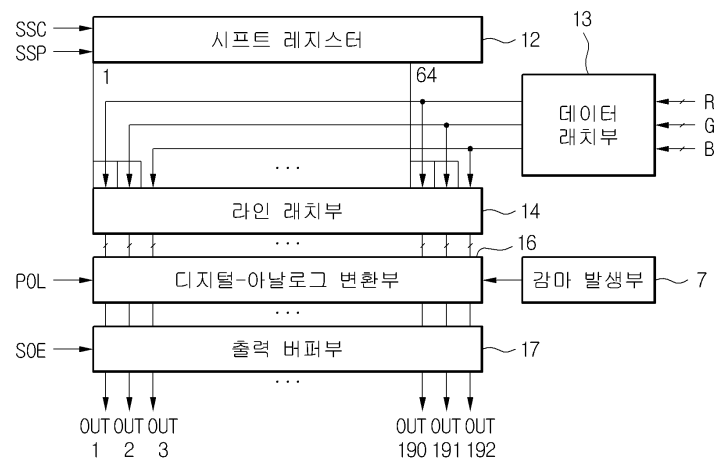


도면2



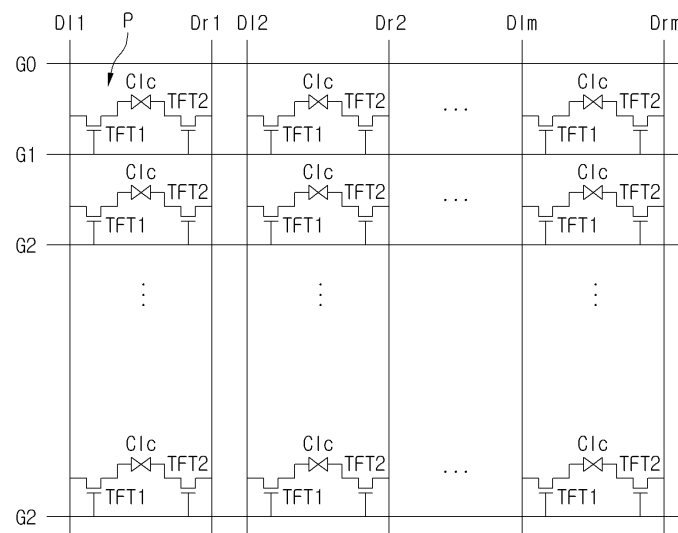
도면3

5

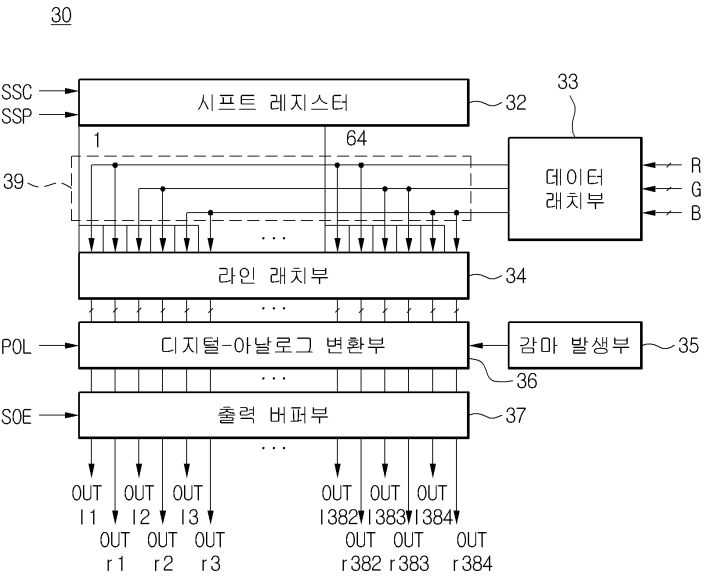


도면4

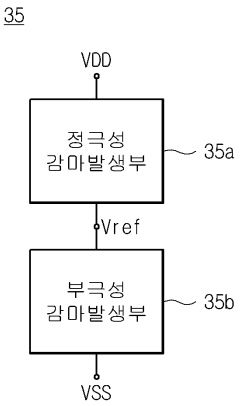
66



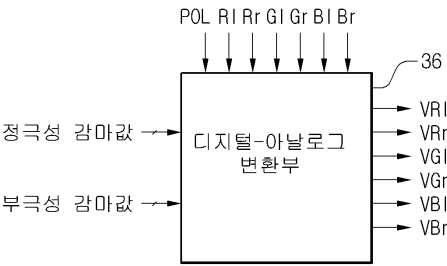
도면5



도면6

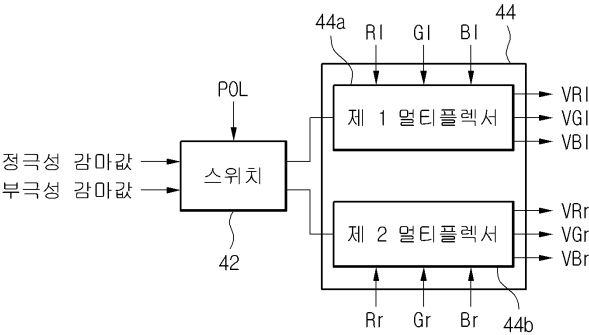


도면7

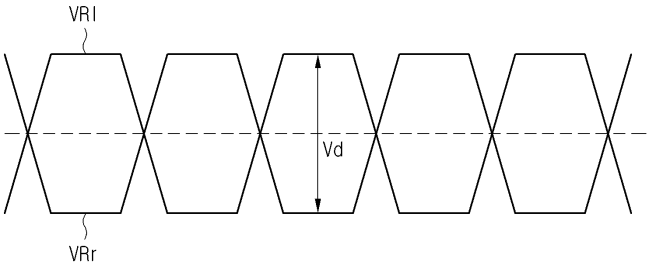


도면8

36

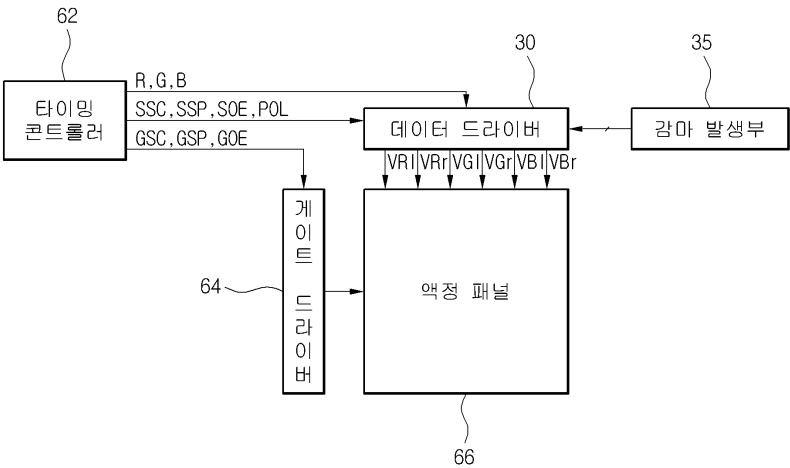


도면9

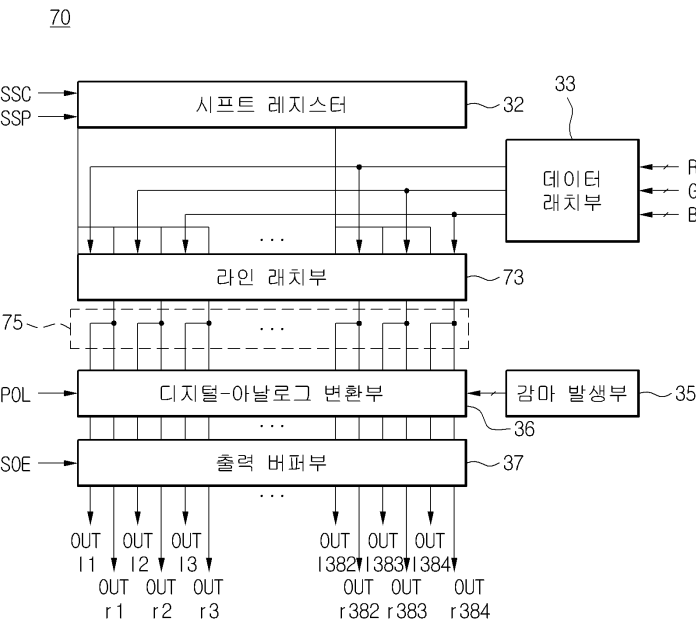


도면10

60



도면11



专利名称(译)	标题：液晶面板，数据驱动器，液晶显示装置及其驱动方法		
公开(公告)号	KR101252854B1	公开(公告)日	2013-04-09
申请号	KR1020060059214	申请日	2006-06-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JU YOUNG		
发明人	LEE, JU YOUNG		
IPC分类号	G09G3/20 G09G G02F1/133 G02F G09G3/36		
CPC分类号	G09G2310/027 G09G2320/0252 G09G3/3659 G09G2320/0673 G09G3/3614 G09G3/3688		
其他公开文献	KR1020080001097A		
外部链接	Espacenet		

摘要(译)

液晶显示面板包括多条栅极线;多条第一数据线和多条第二数据线与栅极线交叉;多个像素由多条栅极线与多条第一数据线和多条第二数据线的交叉限定的多个像素，其中每个像素包括：连接到栅极线的第一薄膜晶体管和其中一个第一条数据线;第二薄膜晶体管，连接到栅极线之一和第二数据线之一;液晶单元连接到第一和第二薄膜晶体管，第一和第二薄膜晶体管利用提供给第一数据线之一和第二数据线之一的第一和第二数据电压之间的电位差驱动液晶单元。

