



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년10월15일
(11) 등록번호 10-0922271
(24) 등록일자 2009년10월09일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2007-0082173

(22) 출원일자 2007년08월16일

심사청구일자 2008년01월14일

(65) 공개번호 10-2008-0022038

(43) 공개일자 2008년03월10일

(30) 우선권주장

JP-P-2006-00239799 2006년09월05일 일본(JP)

(56) 선행기술조사문헌

KR1020050055414 A*

KR1020010003763 A*

JP2006190852 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시끼가이샤 퓨처 비전

일본 도쿄도 미나토구 아까사카 2쥬메 4반 1고 백
아빌딩 3F

(72) 발명자

요시모토 요시카즈

일본 도쿄도 미나토구 아까사카 2쥬메 4반 1고 백
아빌딩 3층가부시끼가이샤 퓨처 비전

(74) 대리인

이중희, 장수길

전체 청구항 수 : 총 4 항

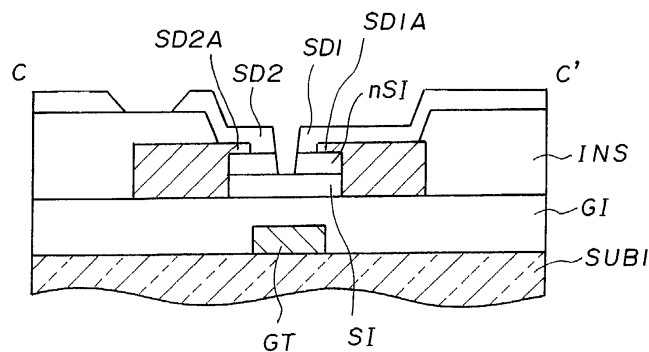
심사관 : 임동재

(54) 액정 표시 패널 및 그 제조 방법

(57) 요약

잉크젯 직접 묘화를 이용하고, 또한 소스 전극과 드레인 전극 사이의 갭을 4 μ m 이하의 협소화를 프로세스의 증가없이 실현한다. 박막 트랜지스터의 소스 전극 SD1 및 드레인 전극 SD2를, 실리콘 반도체층 SI의 상층에 잉크젯 직접 묘화에 의해 제1 간격으로 대향 배치한 도체층 SD1A와 SD2A, 그 제1층의 상층과 그 대향 배치된 도체층의 각 대향단의 각각을 덮어서 도체층의 각 대향단의 제1 간격보다 좁은 제2 간격으로 대향하는 투명 도전막 SD1과 SD2의 적층으로 구성하였다.

대표도 - 도6



특허청구의 범위

청구항 1

게이트 배선으로부터 능동층의 영역으로 연장되는 게이트 전극과 데이터 배선으로부터 능동층의 영역으로 연장되는 드레인 전극을 갖는 박막 트랜지스터가 형성된 제1 기판과, 컬러 필터층과 대향 전극이 형성된 제2 기판과, 상기 제1 기판의 내면의 최상층에 성막된 제1 배향막과 상기 제2 기판의 최상층에 성막된 제2 배향막 사이에 봉입된 액정층을 갖고, 잉크젯 직접 묘화에 의해 얻을 수 있는 간격보다 좁은 소스 전극-드레인 전극 간격으로 한 액정 표시 패널로서,

상기 제1 기판의 박막 트랜지스터의 소스 전극 및 드레인 전극은, 상기 능동층의 상층에 제1 간격으로 대향 배치된 도체층과, 상기 능동층의 상층과 상기 대향 배치된 도체층의 각 대향단의 각각을 덮어서 상기 도체층의 각 대향단의 상기 제1 간격보다 좁은 제2 간격으로 대향하는 투명 도전막의 적층으로 이루어지고, 상기 제1 간격은 잉크젯 직접 묘화에 의해 형성가능한 패턴 간 스페이스의 하한 이상이며, 상기 제2 간격은 상기 제1 간격보다 좁은 것을 특징으로 하는 액정 표시 패널.

청구항 2

제1항에 있어서,

상기 제1 간격으로 배치된 상기 소스 전극 및 드레인 전극을 구성하는 상기도체층의 각각은 금속 미립자를 함유하는 도전성막이고,

상기 투명 도전막은 도전성 금속 산화물의 스퍼터막으로 이루어지고, 상기 제2 간격이 그 스퍼터막의 에칭으로 형성된 것인 것을 특징으로 하는 액정 표시 패널.

청구항 3

삭제

청구항 4

복수의 게이트 배선으로부터 능동층의 영역으로 연장되는 게이트 전극과 데이터 배선으로부터 능동층의 영역으로 연장되는 드레인 전극을 갖는 박막 트랜지스터가 형성된 제1 기판과, 컬러 필터층과 대향 전극이 형성된 제2 기판과, 상기 제1 기판의 내면의 최상층에 성막된 제1 배향막과 상기 제2 기판의 최상층에 성막된 제2 배향막 사이에 봉입된 액정층을 갖고, 잉크젯 직접 묘화에 의해 얻을 수 있는 간격보다 좁은 소스 전극-드레인 전극 간격으로 한 액정 표시 패널의 제조 방법으로서,

상기 제1 기판에 형성된 게이트 배선과 게이트 전극을 덮는 게이트 절연막 상에, 반도체층과 상기 반도체층 상에 형성된 콘택층을 패터닝하여 반도체 아일랜드로 하고,

상기 박막 트랜지스터의 능동층이 되는 상기 반도체 아일랜드 상에 잉크젯 직접 묘화에 의해 상기 능동층에 채널을 형성하기 위해, 잉크젯 직접 묘화에 의해 형성가능한 패턴간 스페이스의 하한인 제1 간격으로 소스 전극과 드레인 전극을 형성하고,

상기 소스 전극과 상기 드레인 전극 상층 및 양 전극의 대향단을 덮어서 투명 도전막을 스퍼터에 의해 형성하고, 상기 소스 전극과 상기 드레인 전극의 대향단 사이의 상기 투명 도전막을 에칭하여 상기 제1 간격보다도 좁은 제2 간격의 갭을 형성하는 것을 특징으로 하는 액정 표시 패널의 제조 방법.

청구항 5

삭제

청구항 6

제4항에 있어서,

상기 소스 전극을 상기 드레인 전극과 동시에 잉크젯 직접 묘화에 의해 형성하는 것을 특징으로 하는 액정 표시 패널의 제조 방법.

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

명세서

발명의 상세한 설명

기술분야

- <1> 본 발명은, 액정 표시 장치에 관한 것으로, 특히, 액티브 매트릭스형의 액정 표시 패널과 그 제조 방법에 관한 것이다.

배경기술

- <2> 이 종류의 액정 표시 장치는, 액정 표시 패널 PNL과 구동 회로 및 백라이트 등의 주변 장치를 조합하여 구성된다. 도 8은, 전형적인 종전계형(소위 TN형)의 액정 표시 장치의 개략 구성예를 설명하는 단면 모식도이다. 통상적으로, 액티브 매트릭스형의 액정 표시 장치를 구성하는 액정 표시 패널은, 제1 기관(액티브 매트릭스 기관 혹은 박막 트랜지스터 기관)으로 구성되는 제1 패널 PNL1과, 제2 기관(대향 기관 혹은 컬러 필터 기관)으로 구성되는 제2 패널 PNL2 사이에 액정 LC를 봉입하여 형성된다.
- <3> 제1 패널 PNL1을 구성하는 제1 기관 SUB1의 내면에는, 박막 트랜지스터 TFT와, 이 박막 트랜지스터 TFT에 의해 구동되는 화소 전극 PX를 갖고, 최상층에는 제1 배향막 ORI1이 성막되고, 액정 배향 제어능이 부여되어 있다. 또한, 외면(배면)에는 제1 편광판 POL1이 부착되어 있다. 한편, 제2 패널 PNL2를 구성하는 제2 기관 SUB2의 내면에는, 컬러 필터 CF, 인접 화소의 컬러 필터와의 사이를 구획하는 차광층(블랙 매트릭스) BM, 대향 전극 CT를 갖고, 최상층에는 제2 배향막 ORI2가 성막되고, 액정 배향 제어능이 부여되어 있다. 또한, 외면(표면)에는, 편광축을 제1 편광판 POL1의 편광축과는 크로스니콜 배치한 제2 편광판 POL2가 부착되어 있다. 또한, 세세한 구성은 도시를 생략하였다.
- <4> 제1 기관 SUB1에 박막 트랜지스터 TFT를 만들어 넣는 제조 공정에서는, 그 기관 상에, 우선, 크롬 등의 금속막으로 이루어지는 평행 배치된 복수의 게이트 배선 및 이 각 게이트 배선으로부터 화소마다 연장되는 게이트 전극이 형성된다. 그 후, 절연층, 능동층(실리콘 반도체층), 데이터 배선, 드레인 전극(소스·드레인 전극), 화소 전극, 보호막, 배향막 등을 형성하고, 배향막에 액정 배향 제어능을 부여하여 제1 기관이 형성된다. 제1 기관 SUB1의 배면에는, 백라이트 BLK가 설치되어 있다. 또한, 이 액정 표시 패널을 구동하기 위한 회로는 도시하지 않고 있다. 또한, 소스 전극과 드레인 전극은 동작 중에 교체하지만, 데이터 배선으로부터 연장되는 전극을

드레인 전극으로 하고, 화소 전극에 접속하는 전극을 소스 전극으로 하여 설명한다.

- <5> 도 9는, 도 8에서 설명한 액정 표시 패널의 1 화소의 구성과 이 화소를 구성하는 박막 트랜지스터의 구성을 설명하는 도면이다. 즉, 도 9의 (a)는 화소의 평면도, 도 9의 (b)는, 도 9의 (a)의 D-D' 선을 따라 취한 단면도이다. 도 9의 (a)에 도시한 바와 같이, 박막 트랜지스터 TFT가 게이트 배선 GL과 데이터 배선 DL과의 교차부에 화소가 배치되어 있다. 또한, 화소를 구성하는 화소 전극 PX가 콘택트 홀 TH를 통하여 박막 트랜지스터 TFT의 소스 전극 SD1에 접속되고, 또한 보조 용량 배선 CL과의 사이에서 보조 용량을 형성하고 있다.
- <6> 도 9의 (b)에서, 박막 트랜지스터 TFT는, 제1 기판 SUB1의 표면에 형성된 기초막 UW 상에, 게이트 배선 GL로부터 연장되는 게이트 전극 GT와, 이 게이트 전극 GT를 덮도록 게이트 절연막 GI가 형성되어 있다. 이 게이트 절연막 GI 상에 능동층으로서의 실리콘(Si) 반도체층 SI와 오믹 콘택트층(n⁺Si) NS, 소스 전극 SD1 및 드레인 전극 SD2가 순차적으로 적층된다. 기초막 UW는, 질화 실리콘과 산화 실리콘의 적층막으로 형성된다.
- <7> 이 게이트 배선 GL 및 게이트 전극 GT를 덮어서 실리콘 나이트라이드(SiN_x)를 바람직한 것으로 하는 게이트 절연막 GI가 성막되고, 그 위에 게이트 배선 GL과 교차하는 복수의 데이터 배선 DL이 형성된다. 또한, 이 데이터 배선 DL과 동시에 소스 전극 SD1과 드레인 전극 SD2가 동층에서 형성된다.
- <8> 이 화소는 풀 컬러 표시의 경우에는 각 단색(적, 녹, 청)의 부화소로 되지만, 여기에서는 간단히 화소라고 칭한다. 화소를 구성하는 박막 트랜지스터 TFT는, 상기한 바와 같이, 게이트 전극 GT와, 이 게이트 전극 상에 패터닝된 실리콘 반도체막 SI와, 실리콘 반도체막의 상층에 분리되어 형성된 오믹 콘택트층(n⁺ 실리콘) NS와, 분리된 오믹 콘택트층의 각각에 접속한 소스 전극과 드레인 전극으로 구성된다.
- <9> 이 박막 트랜지스터의 상층에는 보호막 PAS가 성막되고, 그 위에 ITO를 바람직한 것으로 하는 화소 전극 PX가 패터닝되고, 보호막 PAS에 개구한 콘택트 홀 TH로 소스 전극 SD1에 접속하고 있다. 또한, 화소 전극 PX와 보호막 PAS를 덮어서 제1 배향막(도 8 참조)이 성막되지만 도시는 하지 않는다.
- <10> 한편, 도시하지 않은 다른쪽의 기판에는, 풀 컬러의 경우에는 3색의 컬러 필터와 평활층(오버코트층, 도 8에는 도시하지 않음)을 통한 대향 전극(도 8 참조)이 형성된다. 그리고, 대향 전극을 덮어서 제2 배향막(도 8 참조)이 성막되고, 상기한 한쪽의 기판인 액티브 매트릭스 기판과 겹치게 하고, 그 간극에 액정이 봉입된다.
- <11> 도 10은, 제1 패널 PNL1의 박막 트랜지스터의 제조 공정의 주요부를 종래의 포토리소그래피 프로세스에 의한 것과, 게이트 전극 및 소스 전극과 드레인 전극(소스·드레인 전극)을 잉크젯 직접 묘화 프로세스에 의한 경우의 공정수를 비교한 설명도이다. 도 10의 상단은 종래의 포토리소그래피 프로세스에 의한 박막 트랜지스터의 형성 공정도, 하단은 박막 트랜지스터의 배선 전극 부분에 잉크젯 직접 묘화법을 도입한 공정도이다. 우선, 상단에 도시한 각 공정에 대해서, 그 처리 내용을 순서대로 설명한다.
- <12> (1) 박막 트랜지스터의 「게이트 전극 형성 공정」: 박막 트랜지스터 기판(의 기초막) 상에 게이트 전극으로 되는 메탈을 스퍼터하여 메탈 박막을 성막한다. 이 메탈에는, 크롬이나 알루미늄이 바람직하다. 이 위에 감광성 레지스트를 도포하고, 노광 마스크를 이용한 패턴 노광과 현상으로 게이트 전극으로 될 부분을 제외하고 그 메탈 박막을 노출시킨다. 또한, 이 때, 게이트 배선으로 될 부분도 남긴다. 감광성 레지스트로부터 노출한 메탈 박막을 에칭하여 게이트 전극(및, 게이트 배선)의 부분 이의를 용해한다. 그리고, 감광성 레지스트를 박리하고, 세정하여 게이트 전극(및 게이트 배선)을 형성한다.
- <13> (2) 「아일런드 형성 공정」: 우선, 게이트 형성 후, 게이트 절연막, 실리콘 반도체층, 콘택트층으로 되는 n⁺ 실리콘층을, 이 순으로 CVD법으로 성막한다(3층 CVD). 이 위에 감광성 레지스트를 도포하고, 노광 마스크를 이용한 노광과 현상을 포함하는 포토리소그래피 프로세스에 의해 레지스트의 아일런드 패턴을 형성하고, 에칭 처리하여, 레지스트 박리와 세정에 의해 주어진 아일런드를 형성한다.
- <14> (3) 「소스·드레인 전극 형성 공정(S-D 형성 공정)」: 소스 전극, 드레인 전극 형성용의 메탈을 스퍼터하여, 메탈 박막을 형성하고, 상기한 바와 마찬가지로 포토리소그래피 프로세스에 의해 레지스트의 S-D 전극 패턴을 형성하고, 에칭 처리하여 소스 전극과 드레인 전극을 형성한다. 이 때, 박막 트랜지스터의 채널부의 S-D 갭, 즉 소스 전극과 드레인 전극의 대향 간극도 에칭에 의해 형성한다. 그리고, 레지스트를 박리하고, 세정한다.
- <15> (4) 「충간 절연막 형성 공정」: 소스·드레인 전극을 포함하는 전역에 충간 절연막을 형성하고, 포토리소그래피 프로세스에 의해 화소 전극을 소스·드레인 전극의 한쪽에 접속하기 위한 홀(콘택트 홀) 부분의 레지스트를 제거하고, 에칭하여 콘택트 홀을 형성한다.

- <16> (5) 「화소 전극 형성 공정」: 컨택트 홀을 형성한 층간 절연막 상에 ITO를 바람직한 것으로 하는 투명 도전막 재료를 스퍼터하여, 투명 도전 박막을 성막한다. 이 투명 도전 박막은 컨택트 홀을 통하여 박막 트랜지스터의 소스·드레인 전극의 한쪽에 접속한다. 투명 도전 박막을 덮어서 감광성 레지스트를 도포하고, 포토리소그래피 프로세스에 의해 화소 전극으로 되는 부분을 남기는 패터닝을 행한다. 노출한 투명 도전 박막을 에칭으로 제거하여 잔류 레지스트를 제거하고, 세정하여 화소 전극을 형성한다.
- <17> 그 후, 배향막을 도포하고, 액정 배향 제어능을 부여하여 도 8에서 설명한 제1 패널 PNL1이 완성된다. 이 제1 패널에 컬러 필터와 대향 전극을 갖는 제2 패널을 겹치고, 그 간극에 액정을 봉입하여 액정 표시 패널로 한다.
- <18> 다음으로, 도 10의 하단에 도시한 박막 트랜지스터의 배선·전극 부분에 잉크젯 직접 묘화법을 도입한 공정을 설명한다. 도 10의 하단에 도시한 공정에서는, 상기한 (1) 「게이트 전극 형성 공정」 대신에 잉크젯 직접 묘화에 의해 박막 트랜지스터 기판에 게이트 전극 및 게이트 배선을 직접 형성한다. 또한 (3) 「소스·드레인 전극 형성 공정(S-D 형성 공정)」에서는 잉크젯 직접 묘화에 의해 소스 전극 및 드레인 전극으로 되는 금속막을 형성한다. 그리고, 이 금속막을, 아일랜드의 채널 부분에서 에칭하여 소스 전극과 드레인 전극 사이에 갭을 형성한다. 그 후의 프로세스는 도 10의 상단과 마찬가지로이다.
- <19> 상기한 박막 트랜지스터 기판의 배선 등을 잉크젯법으로 형성하는 것이 특허 문헌1에 개시되어 있다. 특허 문헌1에서는, 박막 트랜지스터 TFT의 게이트 전극을 도전 재료를 함유하는 액체 재료를 이용하여, 잉크젯법에 의해 형성하고, 또한, 박막 트랜지스터 TFT의 소스 전극 및 드레인 전극을, 반도체 재료를 함유하는 액체 재료를 이용하여, 잉크젯법에 의해 형성하는 것이 기재되어 있다. 또한, 특허 문헌2는 광축매층에 노광을 실시하여 친액 패턴을 얻는 것을 개시한다. 또한, 특허 문헌3은 후술하는 마스크리스 노광을 개시하는 문헌예이다.
- <20> [특허 문헌1] 일본 특개 2003-318193호 공보
- <21> [특허 문헌2] 일본 특개 2000-249821호 공보
- <22> [특허 문헌3] 일본 특표 2002-520840호 공보

발명의 내용

해결 하고자하는 과제

- <23> 박막 트랜지스터 기판에 박막 트랜지스터를 만들어 넣을 때에, 그 게이트 전극 혹은 소스·드레인 전극을 형성하는 패터닝은, 메탈 스퍼터 공정, 레지스트 도포와 포토리소 공정, 에칭 공정, 레지스트 박리·세정 공정의 반복으로 행해진다. 그러나, 이러한 공정을 반복하는 방법으로는, 제조 설비의 삭감, 처리 시간의 대폭적인 코스트 다운을 실현하는 것은 어렵다.
- <24> 상기한 바와 같은 공정 대신에, 잉크젯을 이용한 직접 묘화가 제안되어 있다. 잉크젯 직접 묘화를 채용함으로써, 박막 트랜지스터 형성의 간소화가 도모되어, 제조 설비의 삭감과 생산 효율의 대폭적인 향상이 가능해져, 액정 표시 장치의 코스트 다운이 기대되고 있다. 소스 전극과 드레인 전극의 갭을 도 10에서 설명한 잉크젯 직접 묘화와 패턴 에칭을 조합한 것으로는, 여전히 포토리소그래피 프로세스가 필요해져, 코스트 다운의 장해로 되고 있다.
- <25> 소스·드레인 전극을 포토리소그래피 프로세스 없이 직접 분리하여 갭 형성하기 위해 잉크젯 직접 묘화를 이용하는 것도 고려된다. 그러나, 잉크젯 직접 묘화의 채용으로 박막 트랜지스터의 형성은 용이해지지만, 잉크젯 직접 묘화에 의한 패터닝에서는, 30 μ m 이하의 좁은 스페이스를 갖는 패턴을 형성하는 것은 곤란하다. 액정 표시 장치의 고선명화에 수반하여, 박막 트랜지스터의 고선명 구조화가 필요하게 된다. 박막 트랜지스터의 고선명 구조화는 채널부의 협소화 즉 소스 전극과 드레인 전극의 대향부의 갭의 협소화가 필연이다.
- <26> 잉크젯 방식을 이용한 게이트 배선이나 게이트 전극의 형성에는, IJ 직접 묘화 대신에, 소위 발친액 콘트라스트 패턴법도 제안되어 있다. 이 발친액 콘트라스트 패턴법은, 예를 들면, 기판 상의 게이트 배선 형성부와 게이트 전극 형성부를 친액성의 패턴으로 하고, 그 이외의 부분은 발액성으로 해 두고, 친액성의 게이트 배선 형성부와 게이트 전극 형성부에 도전성 잉크를 IJ법으로 적하하여 유입시킨다고 하는 방법이다(앞서 기재한 특허 문헌2). 또한, 광 축매를 도포하고, 마이크로미러를 이용한 마스크리스 노광에 의한 친액화와 IJ 도포를 조합시킨 방법도 알려져 있다(앞서 기재한 특허 문헌3).
- <27> 그러나, 발친액 콘트라스트 패턴법에서는 친액성 패턴 중에 폭이 상이한 패턴이 있으면, 좁은 폭의 패턴의 선단

에 도전성 잉크가 유입되지 않는 부분이 발생하거나, 폭이 좁은 패턴의 막 두께가 얇아진다고 하는 현상이 생긴다. 또한, 뱅크를 이용하는 방법에서는, 뱅크 형성을 위한 포토리소그래피 프로세스와 발친성 패턴의 제작을 위한 프로세스가 필요해져, 공정수의 삭감이 어렵다.

<28> 본 발명의 목적은, 박막 트랜지스터의 전극이나 배선에 잉크젯 직접 묘화를 이용하고, 또한 소스 전극과 드레인 전극 사이의 갭을 프로세스의 증가없이 $4\mu\text{m}$ 이하의 협소화를 실현하는 것을 가능하게 한 액정 표시 패널과 그 제조 방법을 제공하는 것에 있다.

과제 해결수단

<29> 상기 목적을 달성하기 위해, 본 발명의 액정 표시 패널은, 박막 트랜지스터의 소스 전극 및 드레인 전극을, 능동층의 상층에 제1 간격으로 대향 배치된 도체층과, 상기 능동층의 상층과 그 대향 배치된 도체층의 각 대향단의 각각을 덮어서 도체층의 각 대향단의 제1 간격보다 좁은 제2 간격으로 대향하는 투명 도전막과의 적층으로 구성하였다. 그 제조에서는, 도체층의 형성에 잉크젯의 직접 묘화를 이용함으로써 박막 트랜지스터의 형성을 위한 포토리소그래피 프로세스수를 삭감하고, 그 위에 투명 도전막을 적층하고, 이를 포토리소그래피 프로세스에 의해 분리함으로써, 좁은 채널을 위한 정밀 갭을 얻는다.

효과

<30> 본 발명에 따르면, 액정 표시 패널을 구성하는 박막 트랜지스터의 형성에 요하는 프로세스수가 대폭 삭감 가능하여, 저코스트로 고성능의 액정 표시 장치를 제공할 수 있다.

발명의 실시를 위한 구체적인 내용

<31> 이하, 본 발명의 실시예를, 실시예의 도면을 참조하여 상세히 설명한다.

<32> 도 1은, 본 발명의 액정 표시 패널을 구성하는 제1 기판(박막 트랜지스터 기판)의 제조 프로세스의 주요부를 설명하는 공정도이다. 우선, 글래스 기판을 바람직한 것으로 하는 제1 기판(박막 트랜지스터 기판)의 내면(기초막 위)에 잉크젯의 직접 묘화로 게이트 전극과 게이트 배선을 형성한다. 이 게이트 전극과 게이트 배선의 직접 묘화는, 도 10의 하단에 도시한 게이트 직접 묘화 프로세스와 동일하다.

<33> 아일랜드 형성 공정에서는, 우선, 게이트 형성 후, 게이트 절연막, 실리콘 반도체층, 콘택층으로 되는 n^+ 실리 콘층을, 이 순으로 CVD법으로 성막한다(3층 CVD). 이 위에 감광성 레지스트를 도포하고, 노광 마스크를 이용한 노광과 현상을 포함하는 포토리소그래피 프로세스에 의해 레지스트의 아일랜드 패턴을 형성하고, 에칭 처리하고, 레지스트 박리와 세정에 의해 주어진 아일랜드를 형성한다.

<34> 소스·드레인 전극 형성 공정(S-D 형성 공정)에서는, 아일랜드 상에서 채널을 형성하는 소스 전극과 드레인 전극의 대향단 부분에 간격을 남기고 소스 전극-드레인 전극 형성용의 도전성 잉크를 잉크젯의 직접 묘화로 형성한다.

<35> 층간 절연막 형성 공정은, 소스·드레인 전극을 포함하는 기판 상의 전역에 층간 절연막을 형성하고, 포토리소그래피 프로세스에 의해 소스 전극과 드레인 전극의 대향단부분을 포함하는 적어도 채널 영역을 노출시킨다.

<36> 화소 형성 공정에서는, 우선, 노출한 채널 영역과 층간 절연막을 덮어서 ITO를 바람직한 것으로 하는 투명 도전막 TCF를 스퍼터한다. 스퍼터한 투명 도전막 TCF 상에 포토레지스트를 도포하고, 포토리소그래피 프로세스에 의해 채널 부분의 레지스트를 제거하고 잉크젯 직접 묘화로 형성된 소스 전극과 드레인 전극의 대향단의 간격보다도 좁은 간격의 홈을 형성한다. 이 때, 포토레지스트는 화소 전극을 데이터 배선 및 게이트 배선으로부터 분리하도록 데이터 배선, 게이트 배선 및 게이트 전극의 유단 부분에서도 제거된다.

<37> 포토레지스트가 제거된 부분의 투명 도전막 TCF가 에칭에 의해 가공된다. 그 후, 잔류한 포토레지스트를 박리하고, 세정하고, 채널 부분에서는 갭 에칭이 이루어져, 좁은 간격으로 대향한 투명 도전막 TCF의 소스 전극과 드레인 전극의 대향 구조가 얻어진다. 이 때, 소스 전극과 접속한 화소 전극도 형성된다. 그 후, 배향막의 성막과 러빙 처리를 행하여 박막 트랜지스터 기판이 완성된다.

<38> 도 2~도 6은, 상기한 박막 트랜지스터의 제조 공정을 구체적인 구조로서 설명하는 도면으로, 도 2~도 4의 (a)는 평면을, (b)는 그 점선을 따라 취한 주요부 단면을 도시한다. 우선, 도 2와 같이, 제1 기판인 글래스 기판 SUB1의 내면에 잉크젯법에 의해 형성한 게이트 배선 GL과 게이트 전극 GT 상에 게이트 절연막 GI를 형성한

다. 이 게이트 절연막 GI 상에 실리콘 반도체층 SI와 n^+ 컨택트층 nSI를 성막하고, 포토리소그래피 프로세스에 의해 박막 트랜지스터의 능동층을 형성하는 아일랜드를 형성한다.

- <39> 이 능동층 상을 포함하고, 박막 트랜지스터의 채널 부분을 중심으로 하여 소스 전극 SD1과 데이터 배선 DL 및 드레인 전극 SD2로 되는 도체층을 잉크젯트 직접 묘화로 형성한다. 이 때, 소스 전극 SD1의 부분과 드레인 전극 SD2 부분의 간극 D는 잉크젯트 직접 묘화의 한계인 $10\mu m$ 이상으로 되어 있다. 또한, 소스 전극과 드레인 전극은 동작 중에 절환되는 경우가 있지만, 여기에서는, 도시한 바와 같이 고정하여 설명한다.
- <40> 도 3에서는, 소스 전극 SD1과 데이터 배선 DL 및 드레인 전극 SD2로 되는 도체층을 덮어서 층간 절연층 INS를 성막하고, 포토리소그래피 프로세스에 의해 소스 전극 SD1과 드레인 전극 SD2의 대향 영역에 형성되는 채널 부분의 층간 절연층 INS를 제거하여, 소스 전극 SD1과 드레인 전극 SD2로 되는 도체의 단부 및 n^+ 컨택트층 nSI를 노출시킨다.
- <41> 소스 전극 SD1과 드레인 전극 SD2로 되는 도체의 단부 및 n^+ 컨택트층 nSI의 노출 부분도 포함시켜, 기판 표시의 전역에 ITO를 바람직한 것으로 하는 투명 도전막 TCF를 스퍼터하고, 그 위를 덮어서 포토레지스트 RG를 도포한다. 이 포토레지스트 RG에 포토리소그래피 프로세스에 의해 채널 부분의 포토레지스트를 제거하고 잉크젯트 직접 묘화로 형성된 소스 전극과 드레인 전극의 대향단의 간격보다도 좁은 간격의 홈 V를 형성한다. 이 때, 포토레지스트 RG에 대하여, 화소 전극을 데이터 배선 및 게이트 배선으로부터 분리하도록 데이터 배선, 게이트 배선 및 게이트 전극의 유단 부분도 제거하는 패턴의 노광 마스크를 이용한다(도 4 참조).
- <42> 포토레지스트 RG가 제거된 부분의 투명 도전막 TCF가 에칭에 의해 가공된다. 그 후, 도 5에 도시한 바와 같이, 잔류한 포토레지스트를 박리하고, 세정하여 투명 도전막을 노출시킨다. 소스 전극 SD1층에 적층한 투명 도전막으로 연결되는 부분은 화소 전극 PX를 형성한다. 그리고, 채널 부분의 투명 도전막은 갭 에칭이 이루어지고, 잉크젯트 직접 묘화에 의해 형성된 소스 전극 부분 SD1A와 드레인 전극 부분 SD2A의 대향부 간격 D보다도 좁은 간격 d로 대향한 투명 도전막 TCF의 소스 전극 SD1과 드레인 전극 SD2의 대향 구조가 얻어진다.
- <43> 그 후, 도 6에 도시한 바와 같이, n^+ 컨택트층 nSI를 에칭 가공하여 하층의 실리콘 반도체층 SI에 채널을 형성한다. 그 후, 배향막의 성막과 러빙 처리를 행하여 박막 트랜지스터 기판이 완성된다. 이 박막 트랜지스터 기판에 도시하지 않은 컬러 필터 기판을 접합하고, 액정을 봉입하여 액정 표시 패널이 얻어진다. 이 액정 표시 패널에 구동 회로나 백라이트, 그 외의 구조 부재를 조합하여 액정 표시 장치가 구성된다.
- <44> 도 7은, 액티브 매트릭스형 액정 표시 장치의 등가 회로를 설명하는 도면이다. 도 7의 (a)는 액정 표시 패널 전체의 회로도, 도 7의 (b)는 도 7의 (a)에서의 화소부 PXL의 확대도이다. 도 7의 (a)에서, 표시 패널 PNL에는 다수의 화소부 PXL이 매트릭스 배열되고 있고, 각 화소부 PXL은 게이트 배선 구동 회로 GDR에 의해 선택되고, 데이터 배선(데이터 배선, 소스 배선이라고도 함) 구동 회로 DDR로부터의 표시 데이터 신호에 따라서 점등된다.
- <45> 즉, 게이트 배선 구동 회로 GDR에 의해 선택된 게이트 배선 GL에 대응하여, 데이터 배선 구동 회로 DDR로부터 데이터 배선 DL을 통하여 액정 표시 패널 PNL의 화소부 PXL에서의 박막 트랜지스터 TFT에 표시 데이터(전압)가 공급된다.
- <46> 도 7의 (b)에 도시한 바와 같이, 화소부 PXL을 구성하는 박막 트랜지스터 TFT는, 게이트 배선 GL과 데이터 배선 DL과의 교차부에 설치된다. 박막 트랜지스터 TFT의 게이트 전극 GT는 게이트 배선 GL에 접속하고, 박막 트랜지스터 TFT의 드레인 전극 또는 소스 전극(이 시점에서는 드레인 전극) SD2에는, 데이터 배선 DL이 접속되어 있다.
- <47> 박막 트랜지스터 TFT의 드레인 전극 또는 소스 전극(이 시점에서는 소스 전극) SD1은 액정(소자) LC의 화소 전극 PX에 접속된다. 액정 LC는, 화소 전극 PX와 공통 전극 CT의 사이에 있고, 화소 전극 PX에 공급되는 데이터(전압)에 의해 구동된다. 또한, 데이터를 일시 유지하기 위한 보조 용량 Ca가 드레인 전극 SD2와 보조 용량 배선 CL 사이에 접속되어 있다.
- <48> 도 7에서의 드레인 전극 또는 소스 전극은, 상기한 본 발명의 실시예에 의해 형성된 것이다.

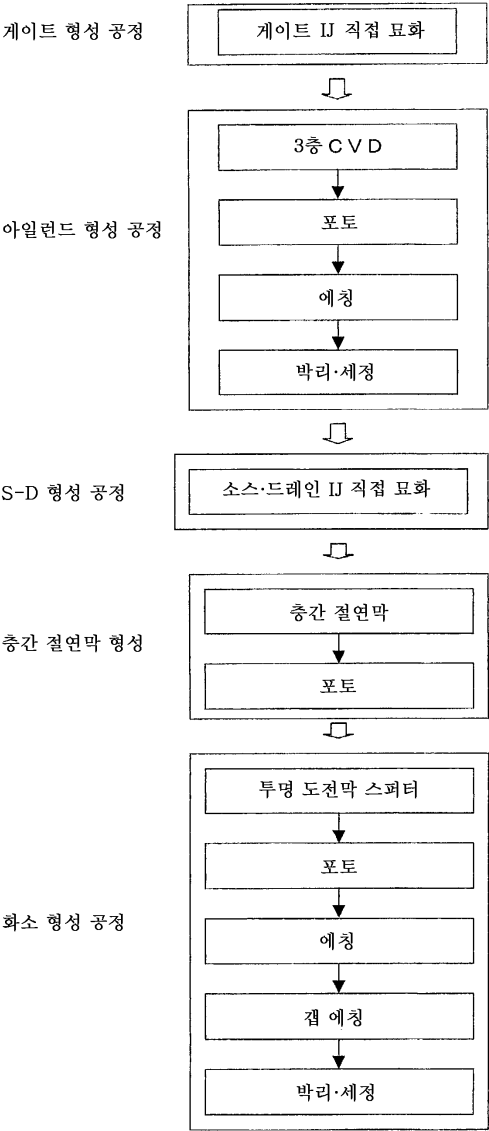
도면의 간단한 설명

- <49> 도 1은 본 발명의 액정 표시 패널을 구성하는 제1 기판(박막 트랜지스터 기판)의 제조 프로세스의 주요부를 설명하는 공정도.

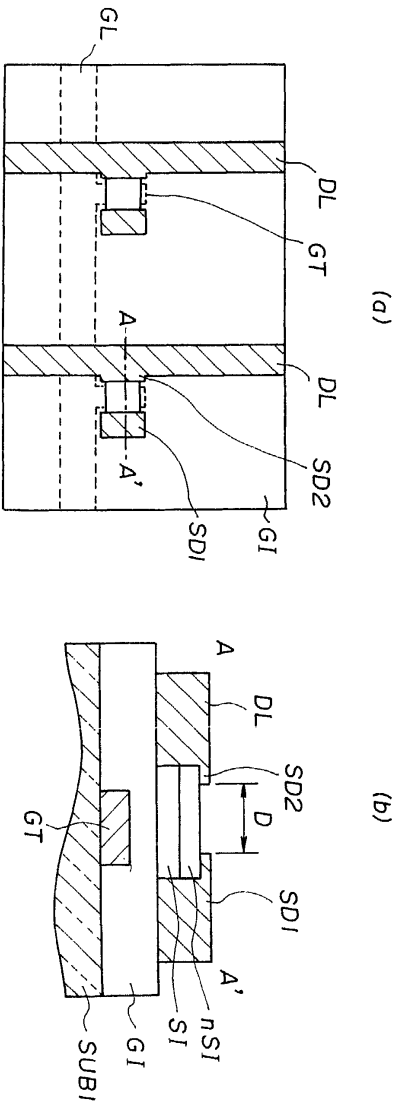
- <50> 도 2는 본 발명의 액정 표시 패널의 실시예 1을 설명하는 박막 트랜지스터의 제조 공정을 구체적인 구조로서 설명하는 도면.
- <51> 도 3은 본 발명의 액정 표시 패널의 실시예 1을 설명하는 박막 트랜지스터의 제조 공정을 구체적인 구조로서 설명하는 도 2에 계속되는 도면.
- <52> 도 4는 본 발명의 액정 표시 패널의 실시예 1을 설명하는 박막 트랜지스터의 제조 공정을 구체적인 구조로서 설명하는 도 3에 계속되는 도면.
- <53> 도 5는 본 발명의 액정 표시 패널의 실시예 1을 설명하는 박막 트랜지스터의 제조 공정을 구체적인 구조로서 설명하는 도 4에 계속되는 도면.
- <54> 도 6은 본 발명의 액정 표시 패널의 실시예 1을 설명하는 박막 트랜지스터의 제조 공정을 구체적인 구조로서 설명하는 도 5에 계속되는 도면.
- <55> 도 7은 액티브 매트릭스형 액정 표시 장치의 등가 회로를 설명하는 도면.
- <56> 도 8은 전형적인 종전계형(소위 TN형)의 액정 표시 장치의 개략 구성예를 설명하는 단면 모식도.
- <57> 도 9는 도 8에서 설명한 액정 표시 패널의 1화소의 구성과 이 화소를 구성하는 박막 트랜지스터의 구성을 설명하는 도면.
- <58> 도 10은 제1 패널 PNL1의 박막 트랜지스터의 제조 공정의 주요부를 종래의 포토리소그래피 프로세스에 의한 것과, 게이트 전극 및 소스·드레인 전극을 잉크젯 직접 묘화 프로세스로 치환한 경우의 공정수를 비교한 설명도.
- <59> <도면의 주요 부분에 대한 부호의 설명>
- <60> SUB1 : 제1 기판(박막 트랜지스터 기판)
- <61> SUB2 : 제2 기판(컬러 필터 기판)
- <62> GL : 게이트 배선
- <63> GT : 게이트 전극
- <64> GI : 게이트 절연막
- <65> nSI : n^+ 콘택트층
- <66> SI : 실리콘 반도체층
- <67> TCF : 투명 도전막
- <68> RG : 포토레지스트
- <69> V : 소스-드레인 간 갭 형성용의 홈

도면

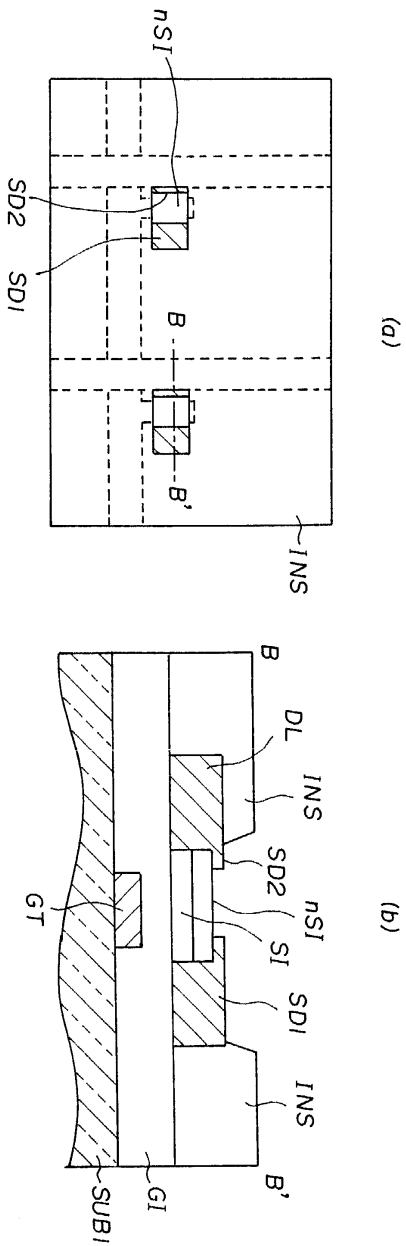
도면1



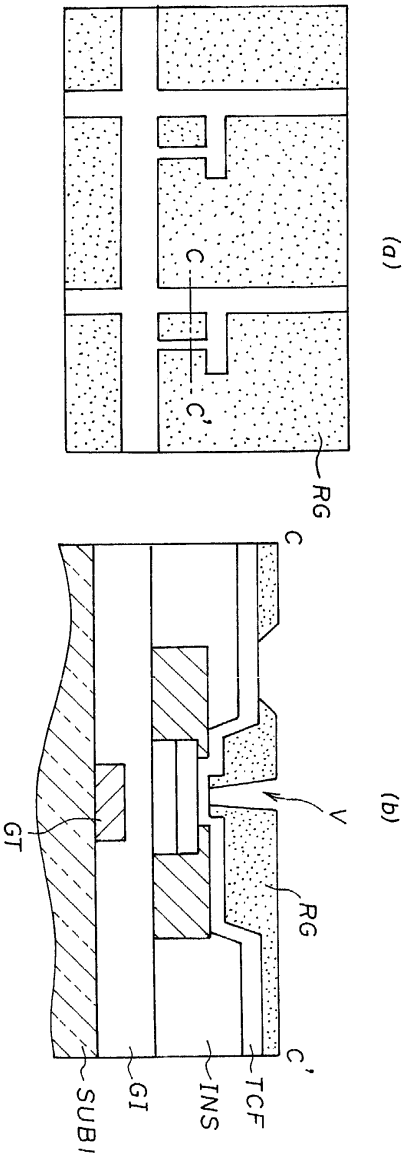
도면2



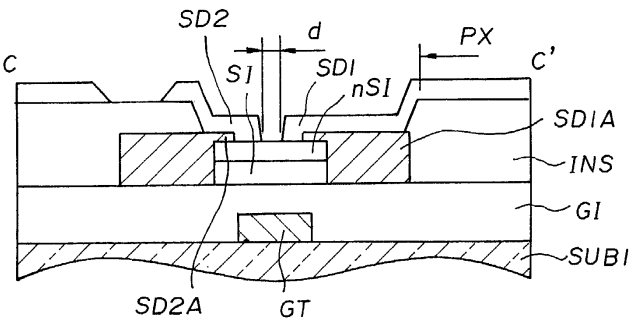
도면3



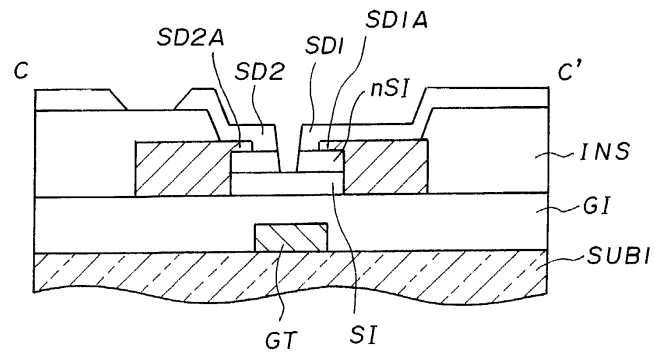
도면4



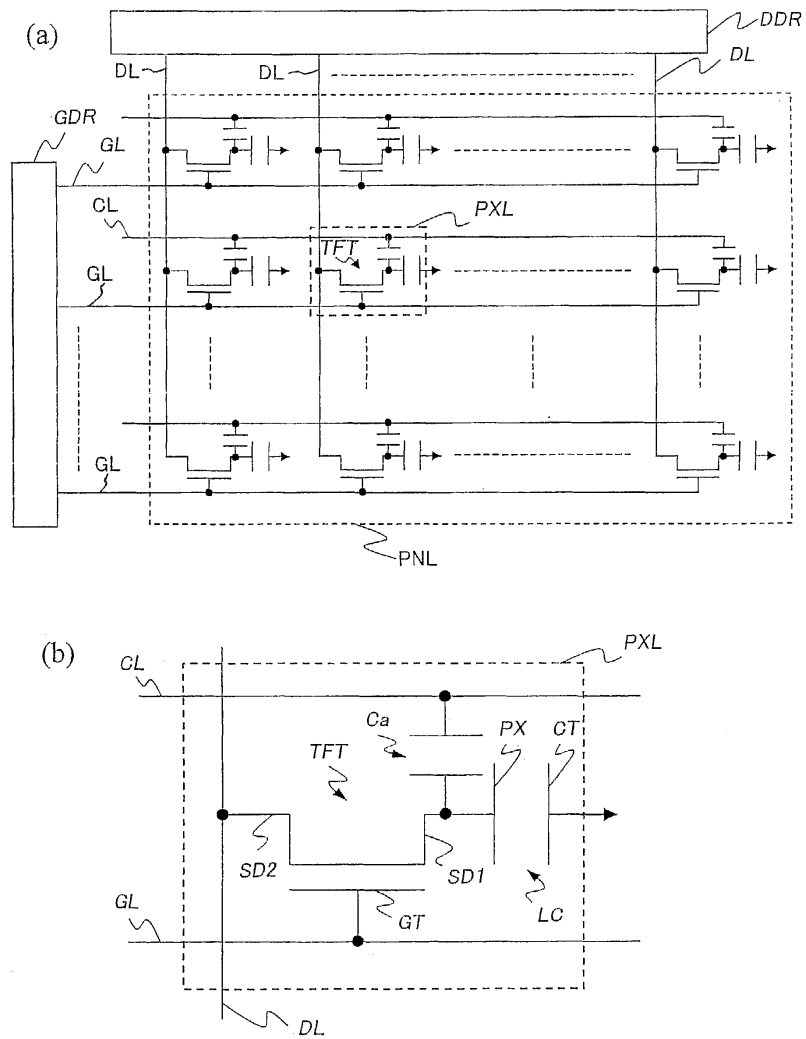
도면5



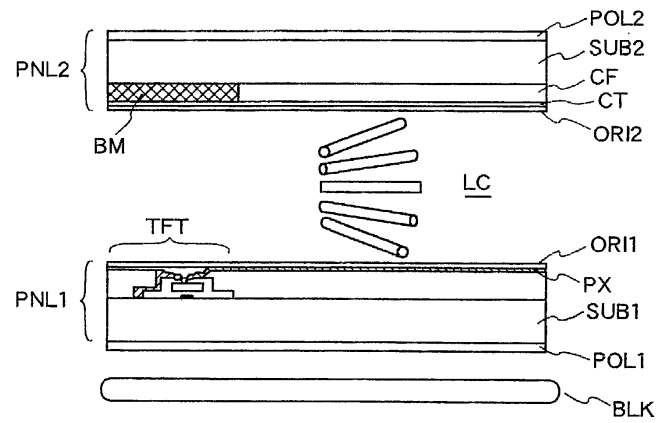
도면6



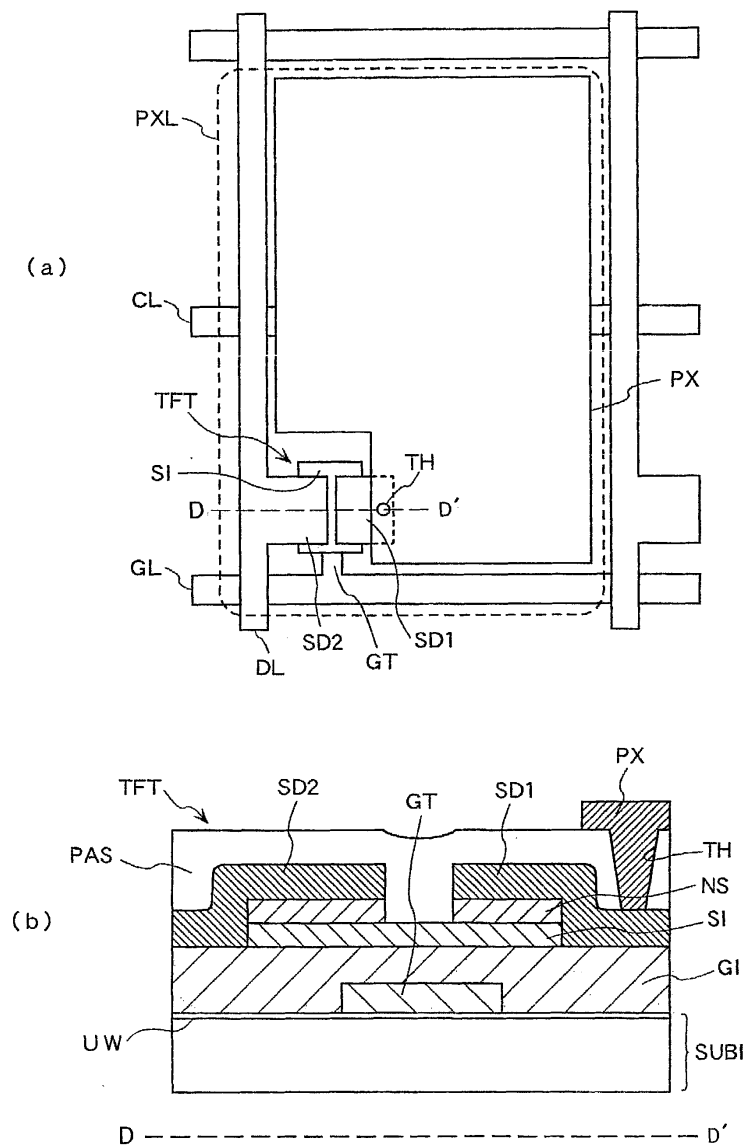
도면7



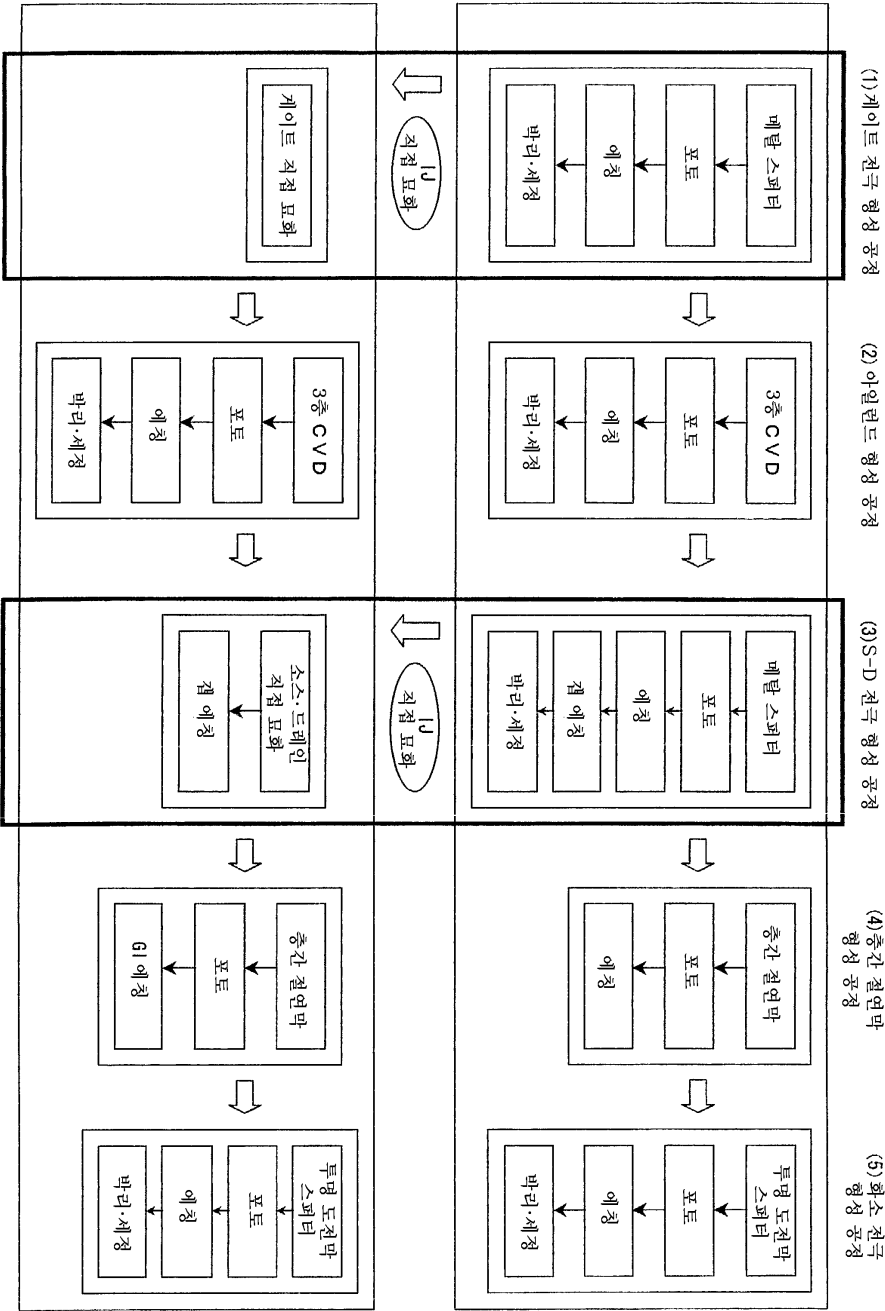
도면8



도면9



도면10



专利名称(译)	液晶显示面板及其制造方法		
公开(公告)号	KR100922271B1	公开(公告)日	2009-10-15
申请号	KR1020070082173	申请日	2007-08-16
[标]申请(专利权)人(译)	未来视野股份有限公司		
申请(专利权)人(译)	可否怎么这一未来愿景		
当前申请(专利权)人(译)	可否怎么这一未来愿景		
[标]发明人	YOSHIMOTO YOSHIKAZU		
发明人	YOSHIMOTO, YOSHIKAZU		
IPC分类号	G02F1/136		
CPC分类号	H01L27/1214 H01L27/1288 G02F1/1368 H01L27/124 H01L27/1292		
代理人(译)	CHANG, SOO KIL LEE, JUNG HEE		
优先权	2006239799 2006-09-05 JP		
其他公开文献	KR1020080022038A		
外部链接	Espacenet		

摘要(译)

本发明提供一种新技术，其中使用喷墨的直接绘制，并且源电极和漏电极之间的间隙缩小到4μm或更小，而不增加工艺数量。根据该技术，通过形成源电极SD1和漏电极，在硅半导体层SI的上层上直接喷射喷墨，制备导电层SD1A和布置在具有第一间隙的相对位置处的导电层SD2A。SD2在薄膜晶体管上，并且通过层叠一层透明导电膜SD1和SD2，第二间隙比导电层的相对端之间的第一间隙窄，以覆盖所述第一层的上层层和导电层的相对端设置在相对的位置。

