



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년03월31일
(11) 등록번호 10-0891042
(24) 등록일자 2009년03월23일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2002-0045642

(22) 출원일자 2002년08월01일

심사청구일자 2007년05월25일

(65) 공개번호 10-2004-0012200

(43) 공개일자 2004년02월11일

(56) 선행기술조사문헌

JP09260668 A*

KR1020010058183 A*

KR1020010082828 A*

KR1020020004276 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

하이디스 테크놀로지 주식회사

경기도 이천시 부발읍 아미리 산 136-1

(72) 발명자

민태엽

서울특별시송파구송파동우성아파트5-1212

임삼호

경기도이천시대월면현대아파트601-502

(74) 대리인

나승택, 조영현

전체 청구항 수 : 총 5 항

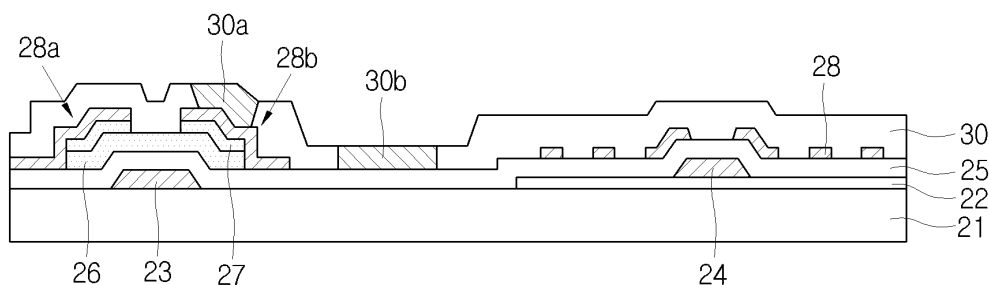
심사관 : 김기현

(54) 프린지 필드 스위칭 모드 액정표시장치의 제조방법

(57) 요약

본 발명은 프린지 필드 스위칭 모드 액정표시장치(Fringe Field Switching Mode Liquid Crystal Display)의 제조방법을 개시한다. 개시된 본 발명의 방법은, 투명성 절연기판 상에 투명 금속막을 이루어지면서 플레이트 형태를 갖는 카운터전극을 형성하는 단계; 상기 카운터전극을 포함한 기판 상에 게이트용 금속막을 증착하는 단계; 상기 금속막을 패터닝하여 게이트라인과 공통전극라인을 형성하는 단계; 상기 게이트라인 및 공통전극라인을 포함한 기판의 전 영역 상에 게이트절연막과 a-Si막 및 n+ a-Si막을 차례로 증착하는 단계; 상기 n+ a-Si막과 a-Si막을 패터닝하여 액티브라인 및 박막트랜지스터의 채널층을 형성하는 단계; 상기 액티브라인 및 채널층과 게이트절연막 상에 투명 금속막을 증착하는 단계; 상기 박막트랜지스터의 채널층 상에 상기 투명 금속막을 잔류시키도록 상기 투명 금속막을 식각하여 슬릿 형태의 화소전극 및 소오스/드레인 전극을 형성하는 단계; 상기 단계까지의 기판 결과물 상에 보호막을 증착하는 단계; 상기 보호막을 식각하여 데이터라인 형성 영역을 한정하는 제1 및 제2트렌치를 형성하는 단계; 상기 제1 및 제2트렌치 내에 데이터라인용 금속막을 매립시켜 데이터라인과 상기 소오스 전극을 연결시키는 단계를 포함한다. 본 발명에 따르면, 데이터라인을 다마신 공정을 이용하여 매립형으로 형성함으로써 상기 데이터라인에 의한 단차를 제거할 수 있으며, 이에 따라, 데이터라인의 단차에 기인하는 빛샘 발생을 방지할 수 있다.

대표도 - 도2f



특허청구의 범위

청구항 1

투명성 절연기관 상에 투명 금속으로 이루어지면서 플레이트 형태를 갖는 카운터전극을 형성하는 단계;

상기 카운터전극을 포함한 기관 상에 게이트용 금속막을 증착하는 단계;

상기 금속막을 패터닝하여 게이트라인과 공통전극라인을 형성하는 단계;

상기 게이트라인 및 공통전극라인을 포함한 기관의 전 영역 상에 게이트절연막과 a-Si막 및 nt a-Si막을 차례로 증착하는 단계;

상기 nt a-Si막과 a-Si막을 패터닝하여 액티브라인 및 박막트랜지스터의 채널층을 형성하는 단계;

상기 액티브라인 및 채널층과 게이트절연막 상에 투명 금속막을 증착하는 단계;

상기 박막트랜지스터의 채널층 상에 상기 투명 금속막을 잔류시키도록 상기 투명 금속막을 식각하여 슬릿 형태의 화소전극 및 소오스/드레인 전극을 형성하는 단계;

상기 단계까지의 기관 결과물 상에 보호막을 증착하는 단계;

상기 보호막을 식각하여 데이터라인 형성 영역을 한정하는 제1 및 제2트렌치를 형성하는 단계;

상기 제1 및 제2트렌치 내에 데이터라인용 금속막을 매립시켜 데이터라인을 형성하고 상기 제1트렌치를 통해 상기 데이터라인과 상기 소오스 전극을 연결시키는 단계;를 포함하는 것을 특징으로 하는 FFS-LCD의 제조방법.

청구항 2

삭제

청구항 3

제 1 항에 있어서, 상기 보호막의 식각시, 패드부에 해당하는 부분을 함께 식각하는 것을 특징으로 하는 FFS-LCD의 제조방법.

청구항 4

제 1 항에 있어서, 상기 데이터라인 전극용 금속막은 Al 계열의 합금막, Mo막, Cr막, Ti막 및 Cu막 중에서 선택되는 어느 하나의 금속막을 이용하는 것을 특징으로 하는 FFS-LCD의 제조방법.

청구항 5

제 1 항에 있어서, 상기 데이터라인과 상기 소오스 전극을 연결시키는 단계는, 상기 제1 및 제2트렌치를 매립하도록 보호막 상에 데이터라인용 금속막을 증착하는 단계; 상기 데이터라인용 금속막 상에 제1 및 제2트렌치 상부 영역을 가리는 감광막 패턴을 형성하는 단계; 및 상기 감광막 패턴에 의해 가려지지 않은 금속막 부분을 식각하는 단계를 포함하는 것을 특징으로 하는 FFS-LCD의 제조방법.

청구항 6

제 5 항에 있어서, 상기 감광막 패턴에 의해 가려지지 않은 금속막 부분을 식각하는 단계는, 과도 식각 공정으로 진행하는 것을 특징으로 하는 FFS-LCD의 제조방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 프린지 필드 스위칭 모드 액정표시장치의 제조방법에 관한 것으로, 보다 상세하게는, 데이터 라인에

의한 단차를 제거하기 위한 프린지 필드 스위칭 모드 액정표시장치의 제조방법에 관한 것이다.

- <12> 프린지 필드(fringe field)에 의해 동작되는 프린지 필드 스위칭 모드 액정표시장치(Fringe Field Switching Mode Liquid Crystal Display : 이하,FFS-LCD)는 인 플레인 스위칭(In Plain Switching) 모드 LCD의 낮은 개구율 및 투과율을 개선시키기 위하여 제안되었다.
- <13> 이러한 FFS-LCD는 카운터전극과 화소전극을 투명 전도체로 형성하면서, 상기 카운터전극과 화소전극 사이의 간격을 하부기관과 상부기관간의 간격보다 좁게 형성하여 상기 카운터전극과 화소전극 사이에서 프린지 필드가 형성되도록 하고, 이 프린지 필드에 의해 전극들 상부에 존재하는 액정분자들이 모두 동작되도록 함으로써 개구율 및 투과율을 향상시킨 LCD이다.
- <14> 또한, FFS-LCD는 화소전극이 ITO 금속으로 이루어지는 바, 투과율이 다른 LCD들 보다 우수하며, 아울러, 화소전극의 두께가 대략 400Å인 것과 관련해서 균일한 액정 배향을 할 수 있다.
- <15> 이하에서는 종래 기술에 따른 FFS-LCD의 제조방법을 도 1a 내지 도 1d를 참조해서 설명하도록 한다.
- <16> 도 1a를 참조하면, 유리기관(1) 상에 ITO(Indium Tin Oxide) 금속막을 증착한 후, 이를 패터닝하여 플레이트(plate) 형태의 카운터전극(2)을 형성한다. 그런다음, 상기 카운터전극(2)을 포함한 기관(1)의 전 영역 상에 MoW 금속막과 같은 게이트용 금속막을 증착한 후, 이를 패터닝하여 게이트전극(3)을 포함한 게이트라인(도시안됨) 및 공통전극라인(4)을 형성한다.
- <17> 도 1b를 참조하면, 기관 결과물 상에 게이트절연막(5)을 증착한다. 그런다음, 상기 게이트절연막(5) 상에 도핑되지 않은 비정질실리콘막(6 : 이하, a-Si막)과 도핑된 비정질실리콘막(7 : 이하, n+ a-Si막)을 차례로 증착하고, 상기 막들을 패터닝한다.
- <18> 도 1c를 참조하면, 상기 기관 결과물 상에 소오스/드레인용 금속막을 증착한 후, 이를 패터닝하여 소오스/드레인 전극(8)을 포함한 데이터라인(9)을 형성하고, 이 결과로서 기관(1)의 소정부에 박막트랜지스터(TFT)를 형성한다. 여기서, 상기 소오스/드레인용 금속막의 패터닝시에는 n+ a-Si막(7)을 함께 식각함으로써 채널을 형성해준다.
- <19> 도 1d를 참조하면, 박막트랜지스터(TFT)를 보호하기 위하여 기관 결과물 상에 보호막(10)을 도포한 후, 상기 보호막(10)의 국소 부분을 식각하여 상기 박막트랜지스터(TFT)의 소오스/드레인 전극(8)을 노출시키는 비아홀(도시안됨)을 형성한다. 그런다음, 상기 보호막(10) 상에 ITO 금속막을 증착한 후, 이를 패터닝하여 화소영역에 해당하는 보호막 부분 상에 슬릿 형상을 가지면서 노출된 소오스/드레인 전극(8)과 콘택되는 화소전극(11)을 형성한다.

발명이 이루고자 하는 기술적 과제

- <20> 그러나, 종래의 FFS-LCD의 제조방법에 따르면, 데이터라인에 의한 단차로 인해 후속하는 배향막의 러빙 공정에서 러빙 방향이 어긋나거나, 또는, 방향이 바뀌는 현상이 발생되며, 이로 인해, 전압 인가시의 경사 방향에서 액정분자들이 서 있는 것과 관련해서 편광판을 통과한 빛의 위상이 바뀌어 데이터라인부에서 빛샘이 발생된다.
- <21> 한편, 상기 데이터라인부에서의 빛샘을 방지하기 위해 종래에는 컬러필터 기관에서의 블랙매트릭스의 폭을 더 넓게 하기도 하는데, 이 경우에는 투과율 저하가 초래된다.
- <22> 또한, 데이터라인에 의한 단차를 줄이기 위해서는 그 두께를 감소시키면서 선폴을 증가시키면 되지만, 이 방법은 배선 저항 및 공정 측면을 고려할 때 실질적으로 그 적용이 곤란하다.
- <23> 따라서, 본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로서, 데이터라인의 단차에 의한 빛샘 발생을 방지할 수 있는 FFS-LCD의 제조방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

- <24> 상기와 같은 목적을 달성하기 위하여, 본 발명은, 투명성 절연기관 상에 투명 금속으로 이루어지면서 플레이트 형태를 갖는 카운터전극을 형성하는 단계; 상기 카운터전극을 포함한 기관 상에 게이트용 금속막을 증착하는 단계; 상기 금속막을 패터닝하여 게이트라인과 공통전극라인을 형성하는 단계; 상기 게이트라인 및 공통전극라인을 포함한 기관의 전 영역 상에 게이트절연막과 a-Si막 및 n+ a-Si막을 차례로 증착하는 단계; 상기 n+ a-Si막과 a-Si막을 패터닝하여 액티브라인 및 박막트랜지스터의 채널층을 형성하는 단계; 상기 액티브라인 및 채널층과 게이트절연막 상에 투명 금속막을 증착하는 단계; 상기 박막트랜지스터의 채널층 상에 상기 투명 금속막을

잔류시키도록 상기 투명 금속막을 식각하여 슬릿 형태의 화소전극 및 소오스/드레인 전극을 형성하는 단계; 상기 단계까지의 기판 결과물 상에 보호막을 증착하는 단계; 상기 보호막을 식각하여 데이터라인 형성 영역을 한정하는 제1 및 제2트렌치를 형성하는 단계; 상기 제1 및 제2트렌치 내에 데이터라인용 금속막을 매립시켜 데이터라인과 상기 소오스 전극을 연결시키는 단계를 포함하는 FFS-LCD의 제조방법을 제공한다.

- <25> 여기서, 상기 화소전극을 형성하기 위한 투명 금속막의 식각시, 상기 박막트랜지스터의 채널층 상에도 투명 금속막을 잔류시켜 소오스/드레인 전극을 형성하며, 아울러, 상기 보호막의 식각시, 패드부에 해당하는 부분을 함께 식각하고, 상기 데이터라인용 금속막은 Al 계열의 합금막, Mo막, Cr막, Ti막 또는 Cu막 중에서 어느 하나를 이용한다.
- <26> 또한, 상기 데이터라인과 상기 소오스 전극을 연결시키는 단계는, 상기 제1 및 제2트렌치를 매립하도록 보호막 상에 데이터라인용 금속막을 증착하는 단계; 상기 데이터라인 금속막 상에 제1 및 제2트렌치 상부 영역을 가리는 감광막 패턴을 형성하는 단계; 및 상기 감광막 패턴에 의해 가려지지 않은 금속막 부분을 식각하는 단계를 포함하며, 상기 감광막 패턴에 의해 가려지지 않은 금속막 부분을 식각하는 단계는 과도 식각 공정으로 진행된다.
- <27> 본 발명에 따르면, 데이터라인을 다마신(damascene) 공정을 이용하여 매립 형태로 형성함으로써, 상기 데이터라인에 의한 단차를 제거할 수 있으며, 이에 따라, 데이터라인의 단차에 기인하는 빛샘 발생을 방지할 수 있다.
- <28> (실시예)
- <29> 이하, 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 자세히 설명하도록 한다.
- <30> 도 2a 내지 도 2f는 본 발명의 실시예에 따른 FFS-LCD의 제조방법을 설명하기 위한 공정별 단면도로서, 이를 설명하면 다음과 같다.
- <31> 도 2a를 참조하면, 투명성 절연기판, 예컨대, 유리기판(21) 상에 투명 금속막으로서 ITO 금속막을 증착한 후, 이를 패터닝하여 카운터전극(22)을 형성한다. 여기서, 상기 카운터전극(22)은 플레이트 형태로 형성하며, 특히, 단차를 고려하여 400~600Å의 두께로 형성한다. 그 다음, 상기 카운터전극(22)을 포함한 기판(21)의 전 영역 상에 MoW, Cr 및 Mo/Al/Mo와 같은 게이트용 금속막을 증착하고, 이를 패터닝하여 게이트전극(23)을 포함한 게이트라인(도시안됨)과 공통전극라인(24)을 형성한다.
- <32> 도 2b를 참조하면, 기판 결과물 상에 게이트절연막(25)을 증착한다. 그런다음, 상기 게이트절연막(25) 상에 a-Si막(26)과 n+ a-Si막(27)을 차례로 증착한 후, 이들을 패터닝하여 액티브 라인(도시안됨) 및 박막트랜지스터(TFT)의 채널층을 형성한다.
- <33> 도 2c를 참조하면, 상기 기판(21)의 전 영역 상에 투명 금속막으로서 ITO 금속막을 증착한다. 그런다음, 상기 ITO 금속막을 패터닝하여 화소영역 상에 슬릿 형태의 화소전극(28)을 형성한다. 이때, 박막트랜지스터(TFT)의 채널층은 물론 액티브 라인 상에도 ITO 메탈 마스크를 사용하여 백 채널 에치를 수행함으로써 ITO 금속막을 잔류시켜, 드레인 전극(28a) 및 소오스 전극(28b)을 형성한다.
- <34> 도 2d를 참조하면, 상기 단계까지의 기판 결과물 상에 실리콘질화막 재료의 절연막, 즉, 보호막(29)을 증착한다. 그런다음, 상기 보호막(29)의 소정 부분들을 식각하여 박막트랜지스터의 데이터라인 형성 영역을 한정하는 제1 및 제2트렌치(T1, T2)를 형성한다. 이때, 상기 보호막(29)의 식각시에는, 도시하지는 않았으나, 패드부 상의 보호막 부분도 함께 식각한다.
- <35> 도 2e를 참조하면, 상기 제1 및 제2트렌치를 매립하도록 상기 보호막(29) 상에 데이터라인용 금속막(30), 예컨대, Al 계열의 합금막, Mo막, Cr막, Ti막 또는 Cu막 등을 증착한다. 그런다음, 상기 데이터라인용 금속막(30) 상에 제1 및 제2트렌치 상부 영역을 가리는 감광막 패턴(31)을 형성한다.
- <36> 도 2f를 참조하면, 감광막 패턴에 의해 가려지지 않는 데이터라인용 금속막 부분을 식각 제거한다. 이때, 상기 데이터라인용 금속막의 식각시에는 과도 식각(over etch)으로 진행함으로써 감광막 패턴(31)의 측면 아래 부분서의 데이터라인용 금속막 부분도 제거되도록 하며, 이 결과로서, 일부 영역이 소오스 전극(28b)과 연결되어 박막트랜지스터(TFT)를 구성하는 데이터라인(30a, 30b)을 형성한다. 이후, 잔류된 감광막 패턴을 제거한다.
- <37> 여기서, 상기 데이터라인(30a, 30b)은 그 형성 영역을 한정한 후에 금속막을 매립시키는 다마신(damascene) 공정을 통해 매립형으로 형성되는 바, 그 형성 후에 단차를 발생시키지 않는다.

<38> 따라서, 본 발명의 방법은 데이터라인을 다마신 공정으로 형성함으로써, 단차 유발을 방지할 수 있으며, 그래서, 단차 유발에 의한 러빙 불량으로 인해 데이터라인 주변에서 빛샘이 발생하는 현상을 해결할 수 있다.

발명의 효과

<39> 이상에서와 같이, 본 발명은 데이터라인을 다마신 공정을 이용하여 매립형으로 형성하기 때문에 상기 데이터라인에 의한 단차를 제거할 수 있으며, 이에 따라, 데이터라인에 의한 단차 및 그에 따른 러빙 불량을 근본적으로 해결할 수 있는 바, 빛샘을 방지할 수 있어서 제조수율은 물론 화면품위를 향상시킬 수 있다.

<40> 또한, 본 발명은 데이터라인에 의한 단차 발생을 방지할 수 있는 바, 대화면 액정표시장치에서의 신호 배선의 두께 및 선평 제약에 적절하게 대처할 수 있다.

<41> 기타, 본 발명은 그 요지를 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다.

도면의 간단한 설명

<1> 도 1a 내지 도 1d는 종래 기술에 따른 프린지 필드 스위칭 모드 액정표시장치의 제조방법을 설명하기 위한 공정별 단면도.

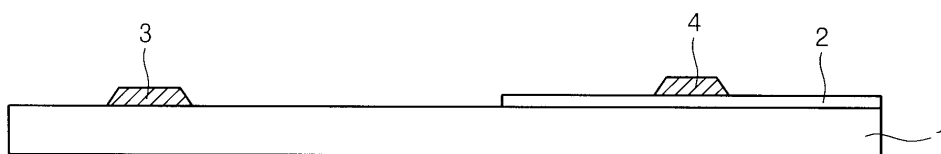
<2> 도 2a 내지 도 2f는 본 발명의 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치의 제조방법을 설명하기 위한 공정별 단면도.

<3> * 도면의 주요 부분에 대한 부호의 설명 *

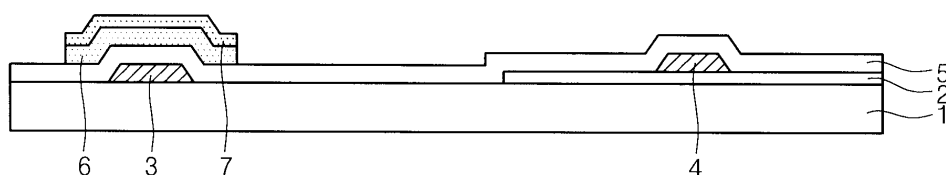
- | | |
|-----------------------|------------------|
| <4> 21 : 유리기판 | 22 : 카운터전극 |
| <5> 23 : 게이트전극 | 24 : 공통전극라인 |
| <6> 25 : 게이트절연막 | 26 : a-Si 막 |
| <7> 27 : n+ a-Si 막 | 28 : 화소전극 |
| <8> 28a : ITO 금속막 | 29 : 보호막 |
| <9> 30 : 소오스/드레인용 금속막 | 30a : 소오스/드레인 전극 |
| <10> 30b : 데이터라인 | 31 : 감광막 패턴 |

도면

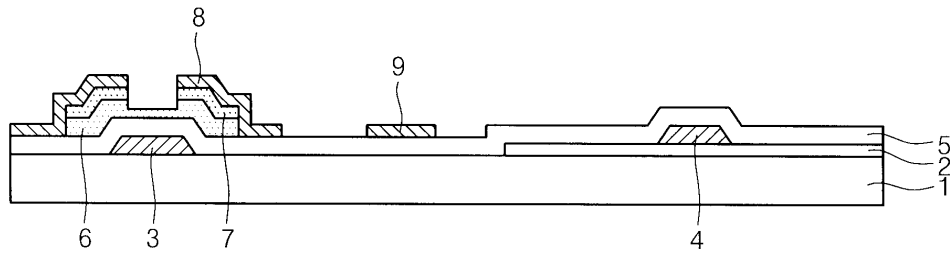
도면1a



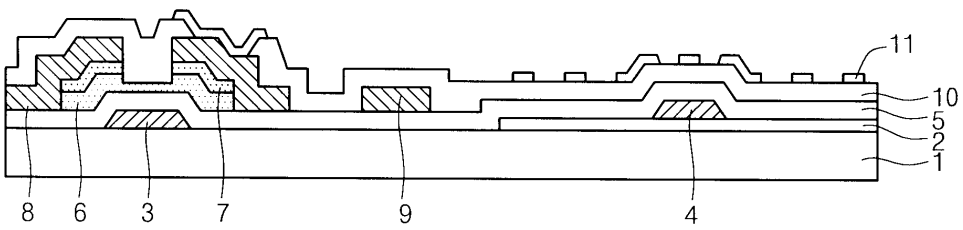
도면1b



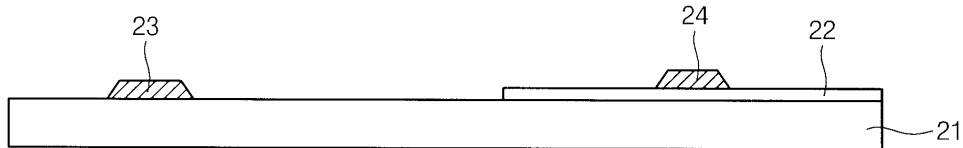
도면1c



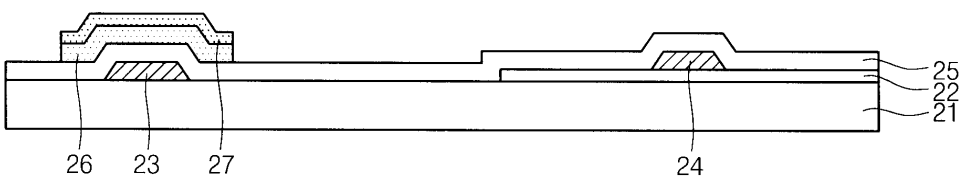
도면1d



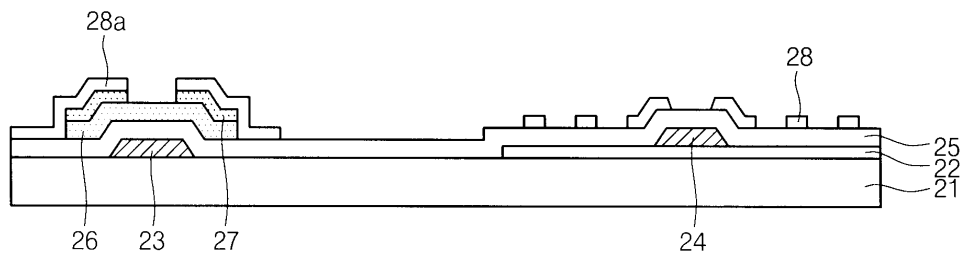
도면2a



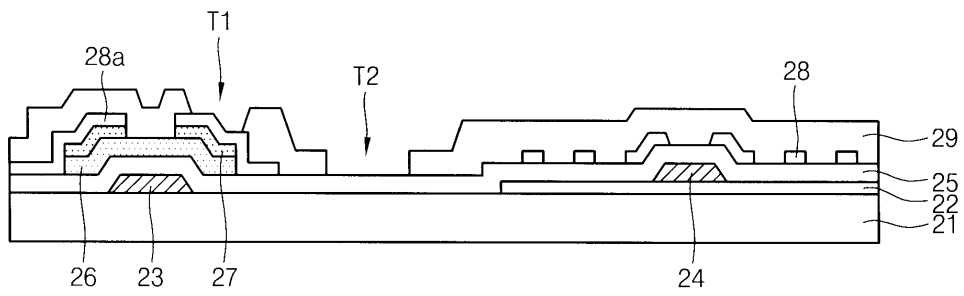
도면2b



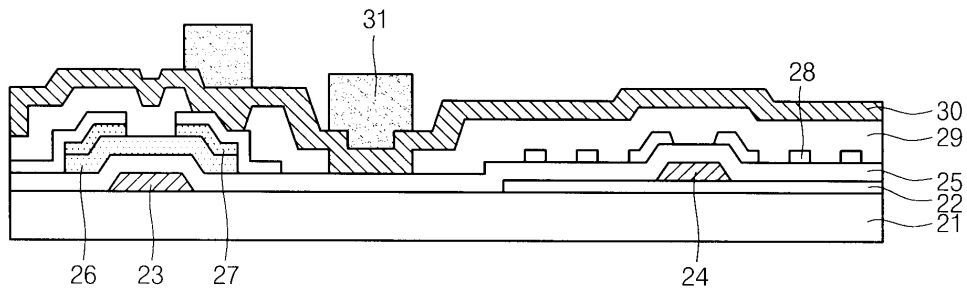
도면2c



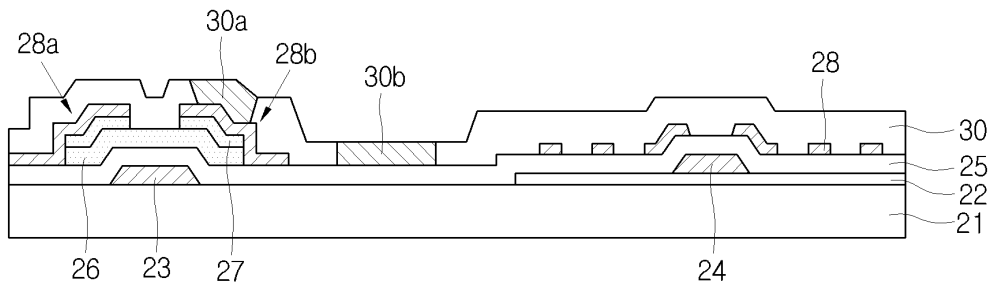
도면2d



도면2e



도면2f



专利名称(译)	边缘场切换模式液晶显示装置的制造方法		
公开(公告)号	KR100891042B1	公开(公告)日	2009-03-31
申请号	KR1020020045642	申请日	2002-08-01
[标]申请(专利权)人(译)	HYDIS TECH HYDIS技术有限公司		
申请(专利权)人(译)	하이디스테크놀로지주식회사		
当前申请(专利权)人(译)	하이디스테크놀로지주식회사		
[标]发明人	MIN TAEYUP 민태엽 IHM SAMHO 임삼호		
发明人	민태엽 임삼호		
IPC分类号	G02F1/136		
CPC分类号	G02B1/14 G02F1/134363 G02F1/136286 G02F1/1368 G02F2001/134372		
代理人(译)	赵龙HYUN		
其他公开文献	KR1020040012200A		
外部链接	Espacenet		

摘要(译)

目的：提供一种制造边缘场切换模式液晶显示器的方法，以防止由数据线的高度引起的光泄漏。组成：对电极（22）形成在透明绝缘基板（21）上。栅极金属层沉积在包括对电极的基板上并且被图案化以形成栅极线（23）和公共电极线（24）。在基板的整个表面上依次形成栅极绝缘层（25），非晶硅层（26）和n+非晶硅层（27）。对n+非晶硅层和非晶硅层进行构图，以形成有源线，即薄膜晶体管的沟道。透明金属层形成在有源线，沟道和栅极绝缘层上，并且被图案化以形成具有狭缝形状的像素电极（28）。钝化层形成在基板的整个表面上，并且被选择性地蚀刻以形成第一沟槽和第二沟槽，所述第一沟槽和第二沟槽限定了源极和漏极区域以及数据线区域。在第一和第二沟槽中形成金属层以形成源电极和漏电极（30a）以及数据线（30b）。

