



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년08월18일
(11) 등록번호 10-0852812
(24) 등록일자 2008년08월11일

(51) Int. Cl.

G02F 1/133 (2006.01)

(21) 출원번호 10-2002-0005834

(22) 출원일자 2002년02월01일

심사청구일자 2007년01월17일

(65) 공개번호 10-2003-0065817

(43) 공개일자 2003년08월09일

(56) 선행기술조사문헌

KR1019980018232 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

비오이 하이디스 테크놀로지 주식회사

경기도 이천시 부발읍 아미리 산 136-1

(72) 발명자

김서윤

경기도이천시대월면현대6차아파트603-1204

(74) 대리인

나승택, 조영현

전체 청구항 수 : 총 3 항

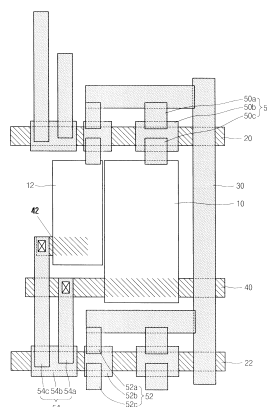
심사관 : 하정균

(54) 박막트랜지스터 액정표시장치의 화소 구동 회로

(57) 요약

본 발명은 TFT-LCD의 화소 구동 회로에 관한 것으로, TFT-LCD의 한 화소를 2개의 서브 화소로 분할하고 각각의 서브 화소에 서로 다른 신호를 써넣음으로써, 드라이브 IC에서 지원하는 계조보다 한 단계 또는 그 이상의 계조 구현이 가능하도록 구현한 기술에 관한 것이다. 상기 목적을 달성하기 위한 본 발명에 의한 TFT-LCD의 화소 구동 회로는, 다수개의 게이트 라인과 다수개의 데이터 라인에 의해 형성된 화소 영역에 각각 형성된 2개의 제 1 및 제 2 서브 화소와, 상기 다수개의 게이트 라인 중 제 1 게이트 라인의 게이트 신호에 의해 상기 데이터 라인을 통해 전송된 데이터 신호를 상기 제 1 서브 화소로 전송하는 제 1 TFT 트랜지스터와, 상기 제 1 게이트 라인의 게이트 신호에 의해 상기 데이터 라인을 통해 전송된 데이터 신호를 상기 제 2 서브 화소로 전송하는 제 2 TFT 트랜지스터와, 상기 다수개의 게이트 라인 중 제 2 게이트 라인의 게이트 신호에 의해 상기 제 1 서브 화소에 대응되는 공통전극라인을 통해 전송된 공통전압을 상기 제 2 서브 화소에 대응되는 공통전극라인으로 전송하는 제 3 TFT 트랜지스터를 구비하며, 상기 제 1 및 제 2 게이트 라인의 게이트 신호는 제 1 및 제 2 구간을 갖는 계단형 펄스신호를 가지며, 상기 제 1 구간에서는 상기 제 1 TFT 트랜지스터만 턴-온되고, 상기 제 2 구간에서는 상기 제 1, 제 2 및 제 3 TFT 트랜지스터가 모두 턴-온되며, 상기 제 2 구간 이후에는 상기 제 3 TFT 트랜지스터만 턴-온되어, 상기 제 1 및 제 2 서브 화소에 서로 다른 계조의 전압값을 기입하여 그 중간값을 인식하도록 하는 것을 특징으로 한다.

대표도 - 도3



특허청구의 범위

청구항 1

박막트랜지스터 액정표시장치의 화소 구동 회로에 있어서,

다수개의 게이트 라인과 다수개의 데이터 라인에 의해 형성된 화소 영역에 각각 형성된 2개의 제 1 및 제 2 서브 화소와,

상기 다수개의 게이트 라인 중 제 1 게이트 라인의 게이트 신호에 의해 상기 데이터 라인을 통해 전송된 데이터 신호를 상기 제 1 서브 화소로 전송하는 제 1 TFT 트랜지스터와,

상기 제 1 게이트 라인의 게이트 신호에 의해 상기 데이터 라인을 통해 전송된 데이터 신호를 상기 제 2 서브 화소로 전송하는 제 2 TFT 트랜지스터와,

상기 다수개의 게이트 라인 중 제 2 게이트 라인의 게이트 신호에 의해 상기 제 1 서브 화소에 대응되는 공통전극라인을 통해 전송된 공통전압을 상기 제 2 서브 화소에 대응되는 공통전극라인으로 전송하는 제 3 TFT 트랜지스터를 구비하며,

상기 제 1 및 제 2 게이트 라인의 게이트 신호는 제 1 및 제 2 구간을 갖는 계단형 펄스신호를 가지며, 상기 제 1 구간에서는 상기 제 1 TFT 트랜지스터만 턴-온되고, 상기 제 2 구간에서는 상기 제 1, 제 2 및 제 3 TFT 트랜지스터가 모두 턴-온되며, 상기 제 2 구간 이후에는 상기 제 3 TFT 트랜지스터만 턴-온되어, 상기 제 1 및 제 2 서브 화소에 서로 다른 계조의 전압값을 기입하여 그 중간값을 인식하도록 하는 것을 특징으로 하는 박막트랜지스터 액정표시장치의 화소 구동 회로.

청구항 2

제 1 항에 있어서,

상기 제 1 TFT 트랜지스터는,

상기 제 1 게이트 라인 위에 게이트 전극이 형성되고, 상기 데이터 라인 위에 소오스 전극이 형성되며, 상기 제 1 서브 화소 위에 드레인 전극이 형성되고,

상기 제 2 TFT 트랜지스터는,

상기 제 1 게이트 라인 위에 게이트 전극이 형성되고, 상기 데이터 라인 위에 소오스 전극이 형성되며, 상기 제 2 서브 화소 위에 드레인 전극이 형성되고,

상기 제 3 TFT 트랜지스터는,

상기 제 2 게이트 라인 위에 게이트 전극이 형성되고, 상기 제 1 서브 화소에 대응되는 공통전극라인에 소오스 전극이 형성되며, 상기 제 2 서브 화소에 대응되는 공통전극라인에 드레인 전극이 형성되는 것을 특징으로 하는 박막트랜지스터 액정표시장치의 화소 구동 회로.

청구항 3

제 1 항에 있어서,

상기 공통전극라인은 제 1 및 제 2 서브 화소와 상기 데이터 라인 아래에서 상기 다수개의 게이트 라인과 평행하게 형성된 것을 특징으로 하는 박막트랜지스터 액정표시장치의 화소 구동 회로.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<11> 본 발명은 박막트랜지스터 액정표시장치(Thin Film Transistor Liquid Display: TFT-LCD)의 화소 구동 회로에

관한 것으로, 특히 TFT-LCD의 한 화소를 2개의 서브 화소로 분할하고 각각의 서브 화소에 서로 다른 신호를 써넣음으로써, 드라이브 IC에서 지원하는 계조보다 한 단계 또는 그 이상의 계조 구현이 가능하도록 한 TFT-LCD의 화소 구동 회로에 관한 것이다.

- <12> 도 1은 종래 기술에 따른 TFT-LCD의 화소를 나타낸 구성도이다.
- <13> 도시된 바와 같이, 종래의 TFT-LCD는 다수개의 게이트 라인(2)과 다수개의 데이터 라인(3)이 일정한 간격을 갖고 수직으로 교차하며 형성되고, 상기 게이트 라인(2)과 데이터 라인(3)에 의해 매트릭스 형태를 갖는 다수개의 사각형의 빈공간에 1개의 화소(1)가 각각 형성된다(도 1에서는 1개의 화소만을 도시함).
- <14> 그리고, 상기 게이트 라인(2) 위에 게이트 전극(5b)이 형성되고, 상기 데이터 라인(3) 위에 소오스 전극(5a)이 형성되며, 상기 화소(1) 위에 드레인 전극(5c)이 형성된 TFT 트랜지스터(5)를 구비한다. 또한, 상기 화소(1)와 데이터 라인(3) 아래에는 공통전극 라인(4)이 상기 게이트 라인(2)과 평행하게 형성되어 있다.
- <15> 상기 TFT 트랜지스터(5)는 다수개의 게이트 라인 중에 자신의 게이트가 형성된 게이트 라인이 액티브될 때 턴-온되어 상기 데이터 라인(3)으로 전송된 데이터 신호를 화소(1)에 전달한다. 이때, 데이터 신호는 사용된 드라이브 IC의 종류에 따라 6비트의 경우 64개, 8비트의 경우 256개의 서로 다른 전압 레벨을 가질 수 있다.
- <16> 게이트 라인(n)이 오프(off) 상태로 전환된 후에는 다음 라인의 게이트 라인(n+1)이 온(on) 상태로 되어 순차적으로 데이터 신호를 써넣도록 되어 있다.
- <17> 도 2는 종래 기술에 따른 TFT-LCD의 구동 과정을 나타낸 것이다.
- <18> 게이트 라인이 '하이' 상태일 때 TFT 트랜지스터가 턴-온되어 데이터 라인으로 전송된 데이터 신호를 화소로 전송하게 된다.

발명이 이루고자 하는 기술적 과제

- <19> 그러나, 이와 같이 구성된 종래의 TFT-LCD의 구동회로에 있어서는, 색표현과 계조 구현을 위하여 한 화소가 R,G,B로 나뉘어져 있으며, 6비트 또는 8비트의 드라이브 IC를 사용하여, 6비트의 경우 64개(2^6)의 계조가 구현되며, 8비트의 경우 256개(2^8)의 계조가 표현된다. 세밀한 색구현을 위해서는 8비트 또는 그 이상의 데이터가 필요한데, 8비트 드라이브 IC는 6비트 드라이브 IC에 비해 가격이 비싸고, 8비트 이상의 드라이브 IC는 아직 개발되어 있지 않아 8비트 이상을 지원하는 영상을 표현할 수 없는 문제점이 있었다.
- <20> 따라서, 본 발명은 상기 문제점을 해결하기 위하여 이루어진 것으로, 본 발명의 목적은 TFT-LCD의 한 화소를 2개의 서브 화소로 분할하고 각각의 서브 화소에 서로 다른 신호를 써넣음으로써, 드라이브 IC에서 지원하는 계조보다 한 단계 또는 그 이상의 계조 구현이 가능하도록 한 TFT-LCD의 화소 구동 회로를 제공하는데 있다.

발명의 구성 및 작용

- <21> 상기 목적을 달성하기 위한 본 발명에 의한 TFT-LCD의 화소 구동 회로는,
- <22> 다수개의 게이트 라인과 다수개의 데이터 라인에 의해 형성된 화소 영역에 각각 형성된 2개의 제 1 및 제 2 서브 화소와,
- <23> 상기 다수개의 게이트 라인 중 제 1 게이트 라인의 게이트 신호에 의해 상기 제 1 서브 화소로 상기 데이터 라인을 통해 전송된 데이터 신호를 전송하는 제 1 TFT 트랜지스터와,
- <24> 상기 제 1 게이트 라인의 게이트 신호에 의해 상기 제 2 서브 화소로 상기 데이터 라인을 통해 전송된 데이터 신호를 전송하는 제 2 TFT 트랜지스터와,
- <25> 상기 다수개의 게이트 라인 중 제 2 게이트 라인의 게이트 신호에 의해 상기 제 1 서브 화소에 대응되는 공통전극라인을 통해 전송된 공통전압을 상기 제 2 서브 화소에 대응되는 공통전극라인으로 전송하는 제 3 TFT 트랜지스터를 구비하며,
- <26> 상기 제 1 및 제 2 게이트 라인의 게이트 신호는 제 1 및 제 2 구간을 갖는 계단형 펄스신호를 가지며, 상기 제 1 구간에서는 상기 제 1 TFT 트랜지스터만 턴-온되고, 상기 제 2 구간에서는 상기 제 1, 제 2 및 제 3 TFT 트랜지스터가 모두 턴-온되며, 상기 제 2 구간 이후에는 상기 제 3 TFT 트랜지스터만 턴-온되어, 상기 제 1 및 제 2 서브 화소에 서로 다른 계조의 전압값을 기입하여 그 중간값을 인식하도록 하는 것을 특징으로 한다.

- <27> 이하, 첨부된 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명하기로 한다.
- <28> 첨부 도면 도 3은 본 발명에 의한 TFT-LCD의 화소 구동 회로를 나타낸 구성도이고, 도 4는 본 발명에 의한 TFT-LCD의 화소 구동 신호의 파형도이며, 도 5는 본 발명에 의한 TFT-LCD의 화소 구동 회로의 등가 회로도이다.
- <29> 상기 TFT-LCD는 다수개의 게이트 라인과 다수개의 데이터 라인이 일정한 간격을 갖고 수직으로 교차하며 형성되고, 상기 다수개의 게이트 라인과 데이터 라인에 의해 매트릭스 형태를 갖는 다수개의 사각형의 빈 공간에 1개의 화소가 각각 형성된다(도 3에서는 1개의 화소만을 도시함). 이때, 1개의 화소에는 2개의 제 1 및 제 2 서브 화소(10)(12)를 구비한다.
- <30> 그리고, 도 3에 도시된 바와 같이 상기 다수개의 게이트 라인 중 제 1 게이트 라인(20) 위에는 게이트 전극(50b)이 형성되고, 상기 다수개의 데이터 라인 중 제1 서브 화소(10)에 대응되는 데이터 라인(30) 위에는 소오스 전극(50a)이 형성되며, 상기 제 1 서브 화소(10) 위에는 드레인 전극(50c)이 형성되어 상술한 게이트 라인(50b)과 소오스 전극(50a) 그리고 드레인 전극(50c)에 의해 제 1 TFT 트랜지스터(50)를 구비한다.
- 또한, 상기 다수개의 게이트 라인 중 제 1 게이트 라인(20) 위에는 게이트 전극(52b)이 형성되고, 상기 다수개의 데이터 라인 중 제 2 서브 화소(12)에 대응되는 데이터 라인(30) 위에는 소오스 전극(52a)이 형성되며, 상기 제 2 서브 화소(12) 위에는 드레인 전극(52c)이 형성되어 상술한 게이트 라인(52b)과 소오스 전극(52a) 그리고 드레인 전극(52c)에 의해 제 2 TFT 트랜지스터(52)를 구비한다.
- 또한, 상기 다수개의 게이트 라인 중 제 2 게이트 라인(22) 위에는 게이트 전극(54b)이 형성되고, 상기 제 1 서브 화소(10)에 대응되는 공통전극라인(40) 위에는 소오스 전극(54a)이 형성되며, 상기 제 2 서브 화소(12)에 대응되는 공통전극라인(42) 위에는 드레인 전극(54c)이 형성되어 상술한 게이트 라인(54b)과 소오스 전극(54a) 그리고 드레인 전극(54c)에 의해 제 3 TFT 트랜지스터(54)를 구비한다.
- 그러면, 제 1 TFT 트랜지스터(50)는 제 1 게이트 라인(20)의 게이트 신호에 따라 상기 데이터 라인(30)에서 전송되는 데이터 신호를 제 1 서브 화소(10)에 전달하고, 제 2 TFT 트랜지스터(52)는 제 1 게이트 라인(20)의 게이트 신호에 따라 상기 데이터 라인(30)에서 전송되는 데이터 신호를 제 2 서브 화소(12)에 전달하며, 제 3 TFT 트랜지스터(54)는 제 2 게이트 라인(22)의 게이트 신호에 따라 상기 제 1 서브 화소(10)에 대응되는 공통전극라인에 공급되는 공통전압을 제 2 서브 화소(12)에 대응되는 공통전극라인으로 공급한다.
- <31> 상술한 구성에 의하면, 상기 제 1 및 제 2 서브 화소(10)(12)와 데이터 라인 아래에는 제 1 서브 화소에 대응되는 공통전극 라인(40)과 제 2 서브 화소에 대응되는 공통전극라인(42)이 형성되어야 하는 것은 당연하다.
- 통상 공통전극라인은 게이트 라인과 평행하게 형성되는 것은 당연하므로, 상기 공통전극라인(40)(42)은 상술한 다수개의 게이트 라인과 평행하게 형성되는 것은 당연하고, 도면을 통해 살펴보면, 제 1 및 제 2 서브 화소(10)(12) 그리고 상기 데이터 라인(30) 아래에서 제 1 게이트 라인(20)과 제 2 게이트 라인(22)에 평행하게 형성되어 있다.
- <32> 상기 구성을 갖는 본 발명의 TFT-LCD의 화소 구동 회로의 동작을 도 4에 도시된 구동 파형을 참조하여 설명하기로 한다.
- <33> 도 4를 참조하면, 상기 제 1 및 제 2 게이트 라인(20)(22)의 게이트 신호는 제 1 및 제 2 구간(T1)(T2)을 갖는 계단형 펄스 신호를 가지고 있다.
- 그러면, 제 1 구간(T1)에서는 제 1 게이트 라인(20)에 게이트 신호가 액티브되고, 제 2 구간(T2)에서는 제 1 게이트 라인(20)과 제 2 게이트 라인(22)에 모두 게이트 신호가 액티브되며, 제 2 구간(T2) 이후에는 제 2 게이트 라인(22)에 게이트 신호가 액티브된다.
- 이때 제 1 구간(T1)에서는 제 1 게이트 라인(20)에 게이트 신호가 액티브되어 제 1 TFT 트랜지스터(50)만 턴-온된다.
- 다시 말해, 제 1 TFT 트랜지스터(50)는 종래의 일반적인 TFT-LCD의 화소에 설치된 TFT 트랜지스터와 동일하게 구동되어 사용된 디바이스 IC의 종류에 따라 6비트 또는 8비트의 서로 다른 전압으로 도 4에서 나타낸 T1의 시간 동안 충전되게 된다. 즉, 상기 제 1 TFT 트랜지스터(50)는 다수개의 게이트 라인 중에 자신의 게이트가 형성된 게이트 라인이 액티브될 때 턴-온(turn-on)되어 상기 데이터 라인(30)으로 전송된 데이터 신호를 제 1 서브 화소(10)에 전달한다.
- 제 1 구간(T1)에서 데이터 신호는 사용된 드라이브 IC의 종류에 따라 6비트의 경우 64개, 8비트의 경우 256개의

서로 다른 전압 레벨을 가질 수 있다.

여기서 제 1 서브 화소(10)는 종래의 일반적인 TFT-LCD의 화소와 동일하게 구동되는 것을 알 수 있다. 다시 말해, 제 1 서브 화소에 충전되는 데이터 신호와 제 1 서브 화소(10)에 대응되는 공통전극라인(40)의 공통전압에 의해 제 1 서브 화소(10)에서는 전달되는 데이터 신호에 따라 계조를 표시하게 된다.

그리고 제 2 TFT 트랜지스터(52)는 제 1 게이트 라인의 게이트 신호가 온(on) 상태이므로 상기 데이터 라인(30)에서 전송된 데이터 신호가 제 2 서브 화소(12)에 전달될 수 있다. 그러나 제 2 서브 화소(12)에 대응되는 공통전극라인(42)은 제 3 TFT 트랜지스터(54)가 턴-온되지 않았으므로, 제 1 서브 화소(10)에 대응되는 공통전극라인(40)의 공통전압이 제 2 서브 화소(12)에 대응되는 공통전극라인(42)으로 전송되지 않고, 이에 따라 제 2 서브 화소(12)는 상기 데이터 신호만이 충전된 상태를 유지하고, 계조를 표시하지 않는다.

<34> 그 다음, 제 2 구간(T2)에서는 T2의 시간 동안 제 1 게이트 라인(20)과 제 2 게이트 라인(22)에 모두 게이트 신호가 액티브되어 제 1,2,3 TFT 트랜지스터(50)(52)(54)가 함께 턴-온된다.

제 1,2 TFT 트랜지스터(50)(52)가 턴-온됨에 따라 제 1,2 서브 화소(10)(12)에는 각각 데이터 신호가 전달되고, 제 3 TFT 트랜지스터(54)는 제 2 게이트 라인(22)의 게이트 신호에 의해 제 1 서브 화소(10)에 대응되는 공통전극라인(40)의 공통전압이 제 2 서브 화소(12)에 대응되는 공통전극라인(42)에 공급된다.

그러면, 제 1 서브 화소(10)는 제 1 TFT 트랜지스터(50)의 구동에 의해 데이터 신호가 전달되고 제 1 서브 화소(10)에 대응되는 공통전극라인(40)에는 공통전압이 공급되어 계조를 표시하고, 제 2 서브 화소(12)는 제 2 TFT 트랜지스터(52)의 구동에 의해 데이터 신호가 전달되고 제 2 서브 화소(12)에 대응되는 공통전극라인(42)에는 제 3 TFT 트랜지스터의 구동에 의해 제 1 서브 화소(10)에 대응되는 공통전극(40)으로부터 공통전압이 공급되어 계조를 표시하게 된다.

제 2 구간(T2)에서는 표현하고자 하는 계조에 따라 몇단계 높거나 낮은 단계의 계조 전압을 인가하게 되어, 제 1 및 제 2 서브 화소(10)(12)에 서로 다른 전압레벨을 인가할 수 있다.

<35> 제 2 구간(T2) 이후에는 제 1 게이트 라인(20)이 오프(off) 전압이 되어 제 1 및 제 2 TFT 트랜지스터(50)(52)가 턴-오프(turn-off)되고, 제 2 게이트 라인(22)에 게이트 신호가 액티브되어 제 3 TFT 트랜지스터(54)만 턴-온된다. 그러면, 제 2 서브 화소(12)의 공통전극라인(40)이 플로팅(floating) 상태가 되어 제 2 서브 화소(12)의 충전 상태는 변하지 않는다.

<36> 이와 같은 구동방식을 이용하여 가령 드라이브 IC가 지원하는 계조 단계가 m, m+1, m+2,.....일 때, 제 1 서브 화소에는 m, 제 2 서브 화소에는 m+1을 인가하여 사람이 인식하는 계조 간격은 m 단계와 m+1 단계 사이값이 되어 1비트 높은 계조의 색표현이 가능하다.

<37> 따라서, 6비트 드라이브 IC를 사용한 경우 7비트의 계조 표현이 가능해 지며, 8비트 드라이브 IC를 사용한 경우 9비트의 계조표현이 가능하다.

<38> 삭제

<39> 본 발명을 구현하기 위해, TFT-LCD 제조공정에서 추가되는 공정이 없어 비용상승이 없으며, 타이밍 컨트롤러에서 T2의 시간동안 다른 전압을 인가할 수 있도록 설계 변경이 필요하다.

발명의 효과

<40> 이상에서 설명한 바와 같이, 본 발명에 의한 TFT-LCD의 화소 구동 회로에 의하면, TFT-LCD의 한 화소를 2개의 서브 화소로 분할하고 각각의 서브 화소에 서로 다른 신호를 써넣음으로써, 드라이브 IC에서 지원하는 계조보다 한 단계 또는 그 이상의 계조 구현이 가능하다.

<41> 또한, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 요지를 벗어나지 않는 범위내에서 다양하게 변형시켜 실시할 수 있다.

도면의 간단한 설명

<1> 도 1은 종래 기술에 따른 TFT-LCD의 화소 구동 회로를 나타낸 구성도

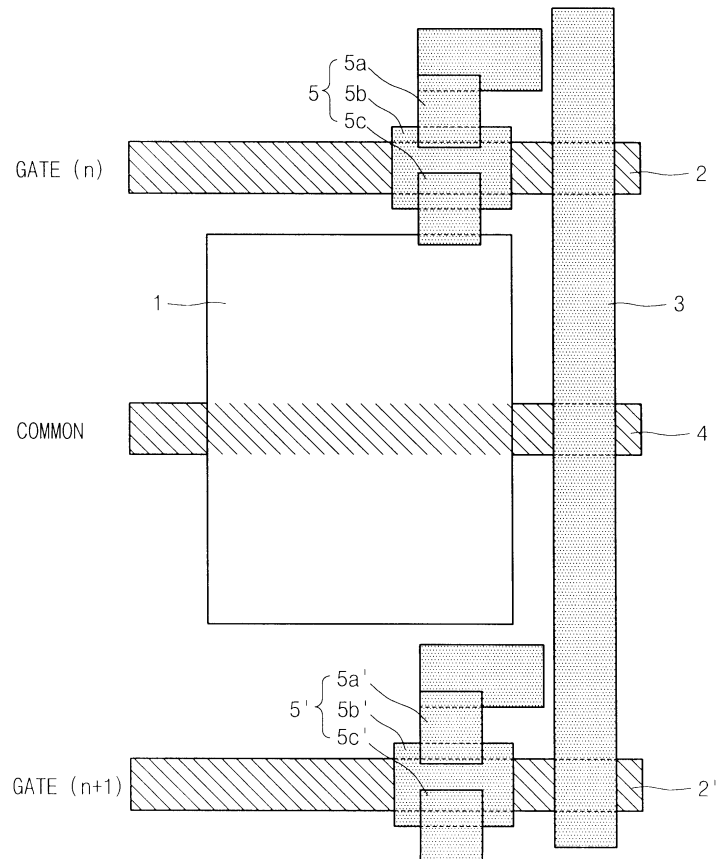
- <2> 도 2는 종래 기술에 따른 TFT-LCD의 화소 구동 신호의 파형도
- <3> 도 3은 본 발명에 의한 TFT-LCD의 화소 구동 회로를 나타낸 구성도
- <4> 도 4는 본 발명에 의한 TFT-LCD의 화소 구동 신호의 파형도
- <5> 도 5는 본 발명에 의한 TFT-LCD의 화소 구동 회로의 등가 회로도

<6> [도면의 주요 부분에 대한 부호의 설명]

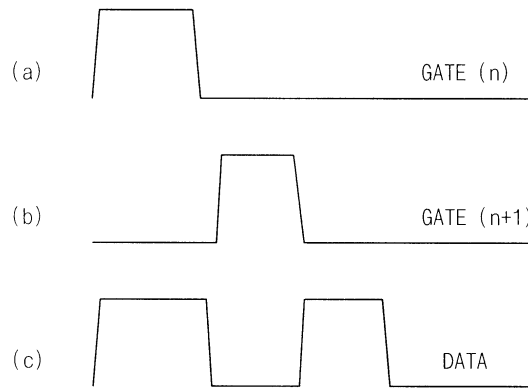
- | | | |
|------|--------------------|--------------------|
| <7> | 10 : 제 1 서버 화소 | 12 : 제 2 서버 화소 |
| <8> | 20, 22 : 게이트 라인 | 30 : 데이터 라인 |
| <9> | 40, 42 : 공통전극 라인 | 50 : 제 1 TFT 트랜지스터 |
| <10> | 52 : 제 2 TFT 트랜지스터 | 54 : 제 3 TFT 트랜지스터 |

도면

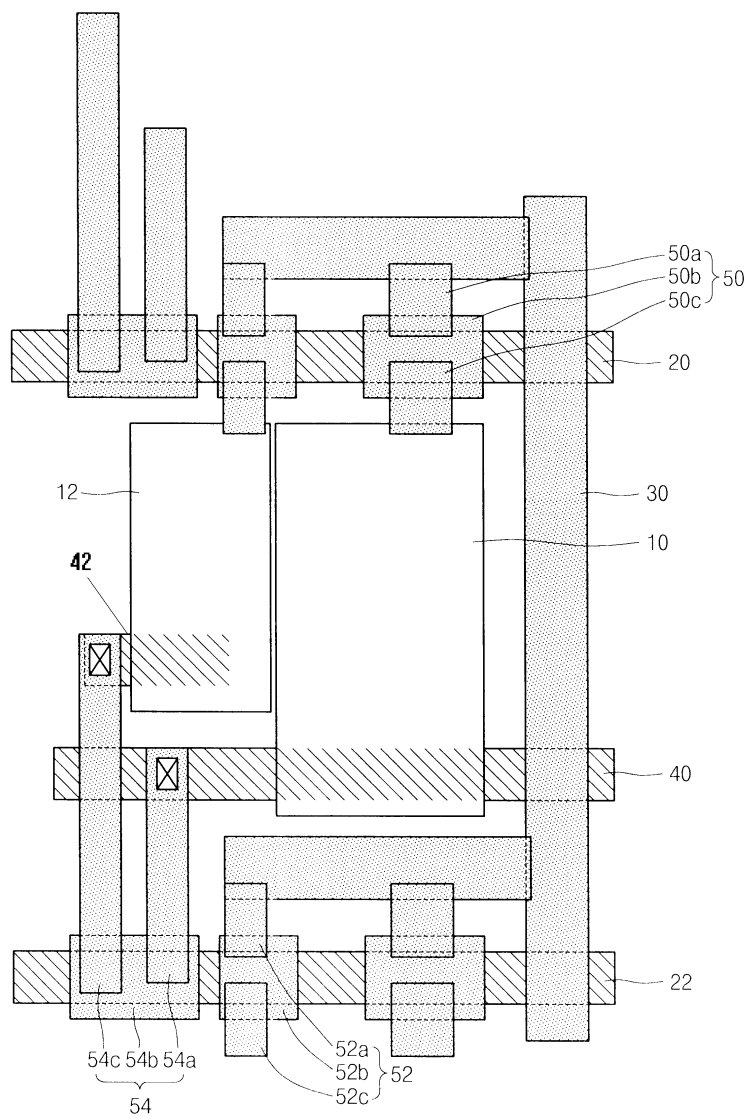
도면1



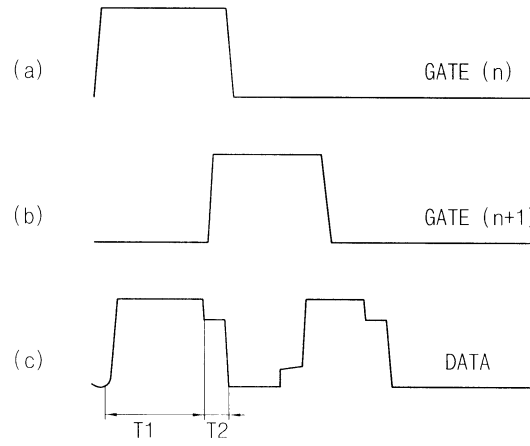
도면2



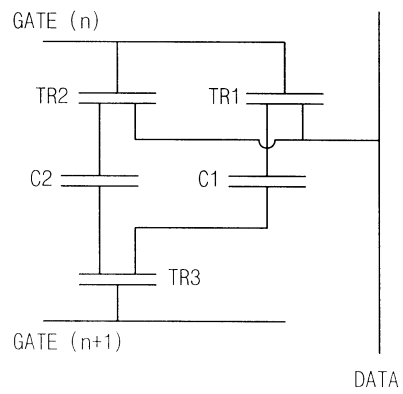
도면3



도면4



도면5



专利名称(译)	薄膜晶体管液晶显示装置的像素驱动电路		
公开(公告)号	KR100852812B1	公开(公告)日	2008-08-18
申请号	KR1020020005834	申请日	2002-02-01
[标]申请(专利权)人(译)	HYDIS TECH HYDIS技术有限公司		
申请(专利权)人(译)	하이디스테크놀로지주식회사		
当前申请(专利权)人(译)	하이디스테크놀로지주식회사		
[标]发明人	KIM SEOYOON		
发明人	KIM,SEOYOON		
IPC分类号	G02F1/133		
代理人(译)	赵龙HYUN		
其他公开文献	KR1020030065817A		
外部链接	Espacenet		

摘要(译)

本发明涉及用于驱动像素的电路将TFT-LCD的一个像素分成2的子像素并且将不同的信号写入每个子像素作为用于驱动TFT-LCD的像素的电路的技术。它实现的方式使得上面描述的一级或灰度级实现可能比驱动器集成电路中支持的灰度级。用于驱动TFT-LCD的像素以实现该目的的电路包括第一和第二子像素，分别形成在由多条栅极线和多条栅极线2和第一薄膜晶体管晶体管形成的像素区域中，利用第一子像素和第二TFT晶体管通过数据线传输与多条栅极线中的第一栅极线的栅极信号一起传输的数据信号，传输数据信号利用第一栅极线的栅极信号通过数据线与第二子像素一起传输，第三TFT晶体管传输与多条栅极线中的第二栅极线的栅极信号一起传输的公共电压，通过对应于该栅极线的公共电极线第一子像素，公共电极线对应于第二子像素。并且第一和第二栅极线的栅极信号具有具有第一和第二部分的步进脉冲信号。在第一阶段，只有第一个薄膜晶体管晶体管导通 - 第一，第二和第三TFT晶体管在第二部分匝中一起导通 - 在第二部分匝数之后仅第三TFT晶体管导通。将不同灰度级的电压值写入第一和第二子像素中，并识别中间值清晰。

