



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년06월19일  
(11) 등록번호 10-0839684  
(24) 등록일자 2008년06월12일

(51) Int. Cl.

G02F 1/1337 (2006.01) G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0081089

(22) 출원일자 2006년08월25일

심사청구일자 2006년08월25일

(65) 공개번호 10-2007-0026046

(43) 공개일자 2007년03월08일

(30) 우선권주장

JP-P-2005-00255805 2005년09월05일 일본(JP)

(56) 선행기술조사문헌

JP 16-318058 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시키가이샤 히타치세이사쿠쇼

일본국 도쿄도 치요다쿠 마루노우치 1초메 6반 6고

(72) 발명자

가와사끼 마사히로

일본 도쿄도 지요다쿠 마루노우찌 1조메 6-1 마루노우찌 센터빌딩 12층 가부시키가이샤 히타치세이사쿠쇼 지적재산권본부 내

시바 다케오

일본 도쿄도 지요다쿠 마루노우찌 1조메 6-1 마루노우찌 센터빌딩 12층 가부시키가이샤 히타치세이사쿠쇼 지적재산권본부 내

(뒷면에 계속)

(74) 대리인

구영창, 장수길

전체 청구항 수 : 총 6 항

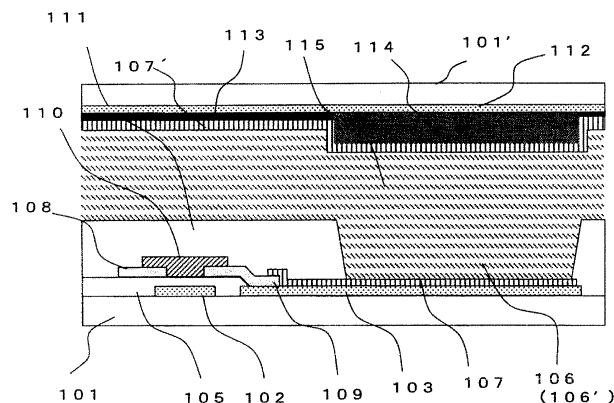
심사관 : 신영교

(54) 액정 표시 장치

(57) 요약

배향막의 형성 시에 발생하는 유기 반도체막의 열화를 방지하여, 고성능의 유기 박막 트랜지스터를 이용한 액정 표시 장치를 얻가로 제공한다. 게이트 전극, 게이트 절연막, 소스·드레인 전극, 반도체층으로 구성되는 박막 트랜지스터 및, 배선, 화소 전극의 각 부재를 갖는 박막 트랜지스터 기판과, 이 기판과의 사이에서 액정층을 협지하는 대향 기판을 갖는 액정 표시 장치에서, 반도체층과 액정층 사이에 액정층의 분자 배향을 제어하는 기능을 갖는 배향막을 개재시키지 않는다.

대표도 - 도2



(72) 발명자

**이마제끼 슈우지**

일본 도쿄도 지요다쑈 마루노우찌 1쑈메 6-1 마루  
노우찌 센터빌딩 12층 가부시키키가이샤 히타치세이  
사쿠쇼 지적재산권본부 내

**안도 마사히코**

일본 도쿄도 지요다쑈 마루노우찌 1쑈메 6-1 마루  
노우찌 센터빌딩 12층 가부시키키가이샤 히타치세이  
사쿠쇼 지적재산권본부 내

## 특허청구의 범위

### 청구항 1

삭제

### 청구항 2

한 쌍의 기관과,

상기 한 쌍의 기관의 한 쪽 기관 상에 형성되고, 게이트 전극, 게이트 절연층, 소스 전극, 드레인 전극, 반도체층을 갖는 박막 트랜지스터와,

상기 한 쪽 기관 상에 형성된 화소 전극과,

다른 쪽 기관 상에 형성된 공통 전극과,

상기 한 쌍의 기관에 협지된 액정층과,

상기 액정층과 상기 다른 쪽 기관 사이에 배치된 제2 배향막을 갖고,

상기 박막 트랜지스터의 반도체층은, 유기 화합물로 형성되고,

상기 게이트 절연층은, 복수의 막으로 적층 형성되고, 상기 복수의 막 중 1개의 막은, 상기 게이트 전극 상방에서 상기 반도체층과 접하고, 또한 상기 화소 전극 상에 배치되고, 상기 액정층의 액정 분자의 배향을 제어하는 기능을 갖는 액정 표시 장치.

### 청구항 3

한 쌍의 기관과,

상기 한 쌍의 기관의 한 쪽 기관 상에 형성되고, 게이트 전극, 게이트 절연층, 소스 전극, 드레인 전극, 반도체층을 갖는 박막 트랜지스터와,

상기 한 쪽 기관 상에 형성된 화소 전극과,

다른 쪽 기관 상에 형성된 공통 전극과,

상기 한 쌍의 기관에 협지된 액정층과,

상기 액정층과 상기 화소 전극 간에 배치된 제1 배향막과,

상기 액정층과 상기 다른 쪽 기관 사이에 배치된 제2 배향막을 갖고,

상기 박막 트랜지스터의 반도체층은, 유기 화합물로 형성되고,

상기 반도체층과 상기 게이트 절연층 사이에는, 상기 제1 배향막과 동일 재료의 막이 형성된 액정 표시 장치.

### 청구항 4

한 쌍의 기관과,

상기 한 쌍의 기관의 한 쪽 기관 상에 형성되고, 게이트 전극, 게이트 절연층, 소스 전극, 드레인 전극, 반도체층을 갖는 박막 트랜지스터와,

다른 쪽 기관 상에 형성된 공통 전극과,

상기 한 쌍의 기관에 협지된 액정층과,

상기 액정층과 상기 한 쪽 기관 사이에 배치된 제1 배향막과,

상기 액정층과 상기 다른 쪽 기관 사이에 배치된 제2 배향막을 갖고,

상기 박막 트랜지스터의 반도체층은, 유기 화합물로 형성되고,

상기 박막 트랜지스터의 소스 전극은, 화소 전극의 기능을 갖고, 상기 한 쪽 기관과 상기 제1 배향막 간에 배치

되고,

상기 제1 배향막은, 상기 반도체층 상방을 제외한 평면 영역에 형성된 액정 표시 장치.

#### 청구항 5

삭제

#### 청구항 6

삭제

#### 청구항 7

한 쌍의 기관과,

상기 한 쌍의 기관의 한 쪽 기관 상에 형성되고, 게이트 전극, 게이트 절연층, 소스 전극, 드레인 전극, 반도체층을 갖는 박막 트랜지스터와,

상기 한 쪽 기관 상에 형성된 화소 전극과,

다른 쪽 기관 상에 형성된 공통 전극과,

상기 한 쌍의 기관에 협지된 액정층과,

상기 액정층과 상기 화소 전극 사이에 배치된 제1 배향막과,

상기 액정층과 상기 다른 쪽 기관 사이에 배치된 제2 배향막을 갖고,

상기 박막 트랜지스터의 반도체층은, 유기 화합물로 형성되고,

상기 제1 배향막은, 상기 반도체층 상방을 제외한 평면 영역에 형성되고,

상기 반도체층은, 액정성 재료로 형성되고,

상기 반도체층과 접하는 상기 게이트 절연층에 배향 처리가 실시되어 형성된 액정 표시 장치.

#### 청구항 8

제7항에 있어서,

상기 반도체층과 접하는 상기 게이트 절연층의 표면은, 상기 소스 전극의 형성 위치로부터 상기 드레인 전극의 형성 위치의 방향, 또는 상기 드레인 전극의 형성 위치로부터 상기 소스 전극의 형성 위치의 방향으로 배향 처리된 액정 표시 장치.

#### 청구항 9

제7항에 있어서,

상기 반도체층과 접하는 상기 게이트 절연층의 표면에 형성된 배향 방향과, 상기 제1 배향막의 표면에 형성된 배향 방향과는, 배향 방향이 서로 다른 액정 표시 장치.

#### 청구항 10

삭제

### 명세서

#### 발명의 상세한 설명

##### 발명의 목적

##### 종래기술의 문헌 정보

<29>

[특허 문헌1] 일본 특개평10-209459호 공보

### 발명이 속하는 기술 및 그 분야의 종래기술

- <30> 본 발명은, 박막 트랜지스터를 이용한 액정 표시 장치에 관한 것이다.
- <31> 정보화의 진전에 수반하여, 종이를 대신하는 얇고 가벼운 전자 페이퍼 디스플레이나, 상품 하나 하나를 순식간에 식별하는 것이 가능한 IC 태그 등의 개발이 주목받고 있다. 현재는, 이들의 디바이스에 아몰퍼스 실리콘이나 다결정 실리콘을 반도체에 이용한 박막 트랜지스터를 스위칭 소자로서 사용하고 있다. 그러나, 실리콘계 반도체를 이용한 박막 트랜지스터를 제작하기 위해서는, 고가의 플라즈마 화학 기상 성장(CVD) 장치나 스퍼터링 장치 등의 설비 코스트가 걸리는데다가, 진공 프로세스, 포토 리소그래피, 가공 등의 프로세스를 몇 번이나 거치기 때문에, 생산 효율이 낮다고 하는 문제가 있다.
- <32> 이 때문에, 최근, 도포법·인쇄법으로 형성할 수 있어, 염가로 제품을 제공하는 것이 가능한, 유기 재료를 반도체층에 이용한 유기 박막 트랜지스터가 주목받고 있다. 유기 박막 트랜지스터를 화소의 스위칭 소자로서 이용한 디스플레이로서, 특허 문헌1에 액정 디스플레이의 단면 구조가 개시되어 있다. 동일 공보에도 개시되어 있는 바와 같이, 액정층을 배향시키는 배향막은, 절연 기판 상에 게이트 전극, 게이트 절연막, 반도체층, 소스·드레인 전극의 각 부재로 구성되는 박막 트랜지스터를 형성한 후에 형성되기 때문에, 박막 트랜지스터 상도 피복하는 구조로 된다. 이것은 박막 트랜지스터의 반도체가 유기물이든 무기물이든 마찬가지이다.

### 발명이 이루고자 하는 기술적 과제

- <33> 배향막은,  $\gamma$ -부틸 락톤을 주성분으로 하는 고비점 용매(비점 204℃)에 녹인 폴리이미드를 도포 후, 230℃ 정도에서 소성하여 형성된다. 이 때문에 종래와 같이 박막 트랜지스터를 형성한 후에 배향막을 형성하면, 박막 트랜지스터의 반도체층에 유기 화합물을 이용한 경우에는, 반도체층이 열에 의해 응집하고, 박막 트랜지스터의 성능이 열화된다고 하는 문제가 있다. 이 대책으로서, 폴리이미드를 80℃ 정도의 저온에서 소성하여 반도체층의 열화를 회피하는 것이 생각되어진다. 그러나, 이 경우에는, 폴리이미드의 고비점 용매가 폴리이미드막 내에 잔류하여, 그 잔류 용매가 유기 반도체 내에 스며들으로써, 유기 반도체의 성능을 열화시킨다고 하는 문제가 있다. 유기 반도체와 배향막 사이에 보호층을 개재한 경우에도, 유기 반도체에의 용매의 스며드는 양을 저감시키는 효과는 있지만, 용매에 의한 유기 반도체의 열화를 완전하게 방지할 수는 없다. 특히, 도포나 인쇄에 의해 보호층을 형성하는 경우에는, 보호층의 막 밀도가 낮기 때문에, 용매의 스며드는 양의 저감 효과가 낮아진다.
- <34> 본 발명의 목적은, 배향막의 형성 시에 발생하는 유기 반도체막의 열화를 방지하여, 유기 박막 트랜지스터를 이용한 액정 표시 장치를 염가로 제공하는 것이다.

### 발명의 구성 및 작용

- <35> 본 발명은, 상기 목적을 달성하기 위해, 한 쌍의 기판과, 한 쪽 기판 상에 형성되고, 게이트 전극, 게이트 절연층, 소스 전극, 드레인 전극, 반도체층을 갖는 박막 트랜지스터와, 한 쪽 기판 상에 형성된 화소 전극과, 다른 쪽 기판 상에 형성된 공통 전극과, 한 쌍의 기판에 협지된 액정층과, 액정층과 화소 전극 간에 배치된 제1 배향막과, 액정층과 다른 쪽 기판 사이에 배치된 제2 배향막을 갖고, 박막 트랜지스터의 반도체층은, 유기 화합물로 형성되고, 제1 배향막은, 반도체층 상방을 제외한 평면 영역에 형성된 구성으로 한다.
- <36> 또한, 한 쌍의 기판과, 한 쪽 기판 상에 형성되고, 게이트 전극, 게이트 절연층, 소스 전극, 드레인 전극, 반도체층을 갖는 박막 트랜지스터와, 한 쪽 기판 상에 형성된 화소 전극과, 다른 쪽 기판 상에 형성된 공통 전극과, 한 쌍의 기판에 협지된 액정층과, 액정층과 다른 쪽 기판 사이에 배치된 제2 배향막을 갖고, 박막 트랜지스터의 반도체층은, 유기 화합물로 형성되고, 게이트 절연막은, 복수의 막으로 적층 형성되고, 복수의 층의 1개의 층은, 게이트 전극 상방에서 반도체층과 접하고, 또한 화소 전극 상에 배치되고, 액정층의 액정 분자의 배향을 제어하는 기능을 갖는 구성으로 한다.
- <37> 또한, 한 쌍의 기판과, 한 쪽 기판 상에 형성되고, 게이트 전극, 게이트 절연층, 소스 전극, 드레인 전극, 반도체층을 갖는 박막 트랜지스터와, 한 쪽 기판 상에 형성된 화소 전극과, 다른 쪽 기판 상에 형성된 공통 전극과, 한 쌍의 기판에 협지된 액정층과, 액정층과 화소 전극 간에 배치된 제1 배향막과, 액정층과 다른 쪽 기판 사이에 배치된 제2 배향막을 갖고, 박막 트랜지스터의 반도체층은, 유기 화합물로 형성되고, 반도체층과 게이트 절연층 사이에는, 제1 배향막과 동일 재료의 막이 형성된 구성으로 한다.
- <38> 또한, 한 쌍의 기판과, 한 쪽 기판 상에 형성되고, 게이트 전극, 게이트 절연층, 소스 전극, 드레인 전극, 반도체

체층을 갖는 박막 트랜지스터와, 다른 쪽 기관 상에 형성된 공통 전극과, 한 쌍의 기관에 협지된 액정층과, 액정층과 한 쪽 기관 사이에 배치된 제1 배향막과, 액정층과 다른 쪽 기관 사이에 배치된 제2 배향막을 갖고, 박막 트랜지스터의 반도체층은, 유기 화합물로 형성되고, 박막 트랜지스터의 소스 전극은, 화소 전극의 기능을 갖고, 한 쪽 기관과 제1 배향막 간에 배치되고, 제1 배향막은, 반도체층 상방을 제외한 평면 영역에 형성된 구성으로 한다.

<39> 이하에 도면을 이용하여 본 발명의 실시 형태를 상세하게 설명한다.

<40> [제1 실시예]

<41> 도 1에, 본 발명을 이용한 액정 표시 장치 구성과 평면 개략도의 일례를 도시한다.

<42> 행 및 열 형상으로 복수배치된 화소(1)와, 소정의 사이클에서 화소를 선택하기 위한 주사 배선(102')과, 화소에 정보를 부여하는 신호 배선(108')이 매트릭스 형상으로 배치되어 있다. 각 주사선은 주사 드라이버(2)에 접속되어 있다. 또한, 각 신호 배선은 신호 드라이버(3)에 접속되어 있다. 예를 들면, m행 n열째의 화소의 1사이클 간의 동작은 다음과 같이 행한다. 화소에 접속된 n열째의 주사 배선이 선택되면, n열째의 화소의 박막 트랜지스터(TFT)의 게이트 전극에 소정의 전압이 인가되어, 온 상태로 된다. 이 때 m행의 신호선으로부터 휘도 정보인 신호 전압 $V_s=V_{dmn}$ 이 취득되고, m행 n열째의 화소의 드레인 전극에 인가된다. 화소에 접속된 n열째의 주사 배선이 비선택으로 된 후에도, 휘도 정보는 화소 용량에 소정의 기간 계속 유지된다.

<43> 도 2에, 본 발명을 이용한 액정 표시 장치 화소부의 단면 개략도를 도시한다.

<44> 도 2는 도 1의 (A)-(A)'에서의 단면에 해당한다. 도 1, 도 2를 이용하여 설명한다.

<45> 우선, TFT 기관을 이하의 수순으로 작성하였다. 절연 기관(101)에는, 글래스 기관을 이용하였다. 절연 기관(101)은, 절연성의 재료이면 광범위하게 선택하는 것이 가능하다. 구체적으로는, 석영, 사파이어, 실리콘 등의 무기 기관, 알루미늄, 스테인리스 등의 금속을 절연막으로 코팅한 기관, 아크릴, 에폭시, 폴리이미드, 폴리카보네이트, 폴리이미드, 폴리에스테르, 폴리노르보넨, 폴리페닐렌옥사이드, 폴리에틸렌나프탈렌 디카르복실레이트, 폴리에틸렌테레프탈레이트, 폴리에틸렌나프탈레이트, 폴리알릴레이트, 폴리에테르케톤, 폴리에테르술폰, 폴리케톤, 폴리페닐렌술폰과이드 등의 유기 플라스틱 기관을 이용할 수 있다. 또한, 이들 기관의 표면에, 산화 실리콘, 질화 실리콘 등의 막을 형성하는 것을 이용해도 된다. 그 위에, 스퍼터법을 이용하여 성막한 ITO를 포토 리소그래피법으로 패터닝하여, 게이트 전극(102) 및 주사 배선(102'), 화소 전극(103), 공통 배선(104)을 두께 150nm로 동층에 형성하였다. 게이트 전극(102) 및 주사 배선(102'), 화소 전극(103), 공통 배선(104)으로서는, 도전체인면 특별히 한정되는 것은 아니며, 예를 들면, Al, Cu, Ti, Cr, Au, Ag, Ni, Pd, Pt, Ta, Mo와 같은 금속 및 합금 외, 단결정 실리콘, 폴리실리콘과 같은 실리콘 재료, ITO, IZO와 같은 투명 도전 재료, 혹은 폴리아니린이나 폴리3, 4-에틸렌디옥시티오펜/폴리스틸렌술폰네이트와 같은 유기 도전체 등을 이용하여, 플라즈마 CVD법, 열 증착법, 스퍼터법, 스크린 인쇄법, 잉크젯법, 전해 중합법, 무전해 도금법, 전기 도금법, 핫 스텝핑법 등의 공지의 방법에 의해 형성할 수 있다. 상기 게이트 전극은 단층 구조로서뿐만 아니라, 예를 들면 Cr층과 Au층의 중첩, 혹은 Ti층과 Pt층의 중첩 등, 복수층을 서로 겹친 구조에서도 사용할 수 있다. 또한, 상기 게이트 전극(102) 및 주사 배선(102'), 화소 전극(103), 공통 배선(104)은, 포토 리소그래피법, 새도우 마스크법, 마이크로프린팅법, 레이저 어브레이션법 등을 이용하여, 원하는 형상으로 가공할 수 있다. 또한, 게이트 전극(102) 및 주사 배선(102'), 화소 전극(103), 공통 배선(104)은 각각 서로 다른 재료로 형성해도 된다.

<46> 다음으로, 스핀 코트한 폴리실라잔을 450℃에서 소성하고, 두께 200nm의 SiO<sub>2</sub>막을 게이트 절연층(105)으로서 이용하였다. 게이트 절연층(105)에는, 질화 실리콘, 산화 알루미늄, 산화 탄탈 등의 무기막, 폴리비닐 페놀, 폴리비닐 알코올, 폴리이미드, 폴리아믹산, 폴리이미드, 파릴렌, 폴리메틸메타크릴레이트, 폴리염화비닐, 폴리아크릴로니트릴, 폴리(피플루오로에틸렌-코-부테닐비닐에테르), 폴리이소부틸렌, 폴리(4-메틸-1-펜텐), 폴리(프로필렌-코-(1-부텐)), 벤조시클로부텐 수지 등의 유기막 또는 이들의 적층막을 이용하여, 플라즈마 CVD법, 열 증착법, 스퍼터법, 양극 산화법, 스프레이법, 스핀 코팅법, 딥 코팅법, 롤 코팅법, 블레이드 코팅법, 닥터롤법, 스크린 인쇄법, 잉크젯법 등에 의해 형성할 수 있다. 다음으로, 화소 전극 상의 게이트 절연막을 제거하도록, 스루홀(106)을 포토 리소그래피법에 의해 형성하였다. 게이트 절연층(105)을 상기 인쇄법으로 형성하는 경우에는, 스루홀(106)은 게이트 절연층(105)과 동시에 형성하는 것이 가능하다.

<47> 다음으로, 폴리이미드를 스핀 코팅법으로 50nm의 두께로 성막하여 200℃에서 소성 후, 포토 리소그래피법으로 화소 전극 상을 피복하도록 패터닝하여 배향막(107)을 형성하였다. 배향막(107)에는 폴리이미드 이외에 폴리아믹산, 혹은 폴리이미드와 폴리아믹산으로 이루어지는 막이나, 아크릴, 폴리크로로필렌, 폴리에틸렌테레프탈레이

트, 폴리옥시메틸렌, 폴리비닐클로라이드, 폴리불화비닐렌, 시아노에틸렌플루란, 폴리메틸메타크릴레이트, 폴리살폰, 폴리카보네이트 등의 수지 재료를 이용할 수 있다. 게이트 절연층(105)과 배향막(107)에 동일한 재료를 이용하는 경우에는, 게이트 절연막과 배향막을 동시에 형성할 수 있기 때문에, 프로세스 수를 저감할 수 있다.

<48> 다음으로, 스퍼터법을 이용하여 성막한 두께 150nm의 ITO를 포토 리소그래피법으로 패터닝하여 드레인 전극(108), 소스 전극(109), 신호 배선(108')을 형성하고, 소스 전극(109)을 화소 전극(103)에 접속시켰다. 드레인 전극(108), 소스 전극(109), 및 신호 배선(108')의 재료는 게이트 전극과 마찬가지로 도전체인 특별히 한정되는 것은 아니며, 예를 들면 Al, Cu, Ti, Cr, Au, Ag, Ni, Pd, Pt, Ta와 같은 금속 외, IZO와 같은 다른 투명 도전 재료, 폴리아니린이나 폴리3, 4-에틸렌디옥시티오펜/폴리스틸렌술포네이트와 같은 유기 도전체 등을 이용하여, 플라즈마 CVD법, 열 증착법, 스퍼터법, 스크린 인쇄법, 잉크젯법, 전해 증합법, 무전해 도금법, 전기 도금법, 핫 스탬핑법 등의 공지의 방법에 의해 형성할 수 있다. 드레인 전극(108), 소스 전극(109), 및 신호 배선(108')은 단층 구조로서뿐만 아니라, 복수층을 서로 겹친 구조에서도 사용할 수 있다. 또한, 드레인 전극(108), 소스 전극(109), 및 신호 배선(108')은, 포토 리소그래피법, 새도우 마스크법, 마이크로프린팅법, 레이저 어브레이션법 등을 이용하여, 원하는 형상으로 가공할 수 있다. 또한, 드레인 전극(108), 소스 전극(109), 및 신호 배선(108')에는 각각 서로 다른 재료를 이용해도 된다.

<49> 다음으로, 그 게이트 절연층(105) 상을 옥타데실트리클로로실란의 단분자막으로 수식하였다. 단분자막에는, 헵타플루오로 이소프로폭시 프로필메틸 디클로로실란, 토르플루오로 프로필메틸 디클로로실란, 헥사메틸디실라잔, 비닐트리에톡시실란,  $\gamma$ -메타크리록시프로필 트리메톡시실란,  $\gamma$ -아미노프로필 트리에톡시실란, N-페닐- $\gamma$ -아미노프로필 트리메톡시실란,  $\gamma$ -멜캅트프로필 트리메톡시실란, 헵타데카플루오로-1, 1, 2, 2-테트라하이드로데실-1-트리메톡시실란, 옥타데실트리에톡시실란, 데실트리클로로실란, 데실트리에톡시실란, 페닐트리클로로실란과 같은 실란계 화합물이나, 1-포스포노옥탄, 1-포스포노헥산, 1-포스포노헥사데칸, 1-포스포노-3, 7, 11, 15-테트라메틸헥사데칸, 1-포스포노-2-에틸헥산, 1-포스포노-2, 4, 4-트리메틸헥탄, 1-포스포노-3, 5, 5-트리메틸헥산과 같은 포스포산계 화합물 등을 이용해도 된다. 상기 수식은 게이트 절연층(105)의 표면을 상기 화합물의 용액이나 증기에 접촉시키고 상기 화합물을 게이트 절연막 표면에 증착시킴으로써 달성된다. 또한, 게이트 절연층(105)의 표면은 단분자막으로 수식하지 않아도 된다.

<50> 다음으로, 가용성의 펜타센 유도체를 콘택트 프린트로 패터닝하여, 150℃에서 소성하여 두께 100nm의 유기 화합물로 구성되는 반도체층(110)을 형성하였다. 반도체층(110)은 구리 프탈로시아닌, 루테튬비스프탈로시아닌, 알루미늄 염화프탈로시아닌과 같은 프탈로시아닌계 화합물, 테트라센, 크리센, 펜타센, 피렌, 페릴렌, 콜로넨과 같은 축합 다환 방향족계 화합물, 폴리아니린, 폴리티에닐렌비닐렌, 폴리(3-헥실티오펜), 폴리(3-데실티오펜), 폴리(9, 9-디옥틸플루오렌), 폴리(9, 9-디옥틸플루오렌-코-벤조티아디아졸), 폴리(9, 9-디옥틸플루오렌-코-디티오펜)과 같은 공액계 폴리머 등을 이용하여, 열 증착법, 분자선 에피택시법, 스프레이법, 스핀 코팅법, 롤 코팅법, 블레이드 코팅법, 닥터롤법, 스크린 인쇄법, 잉크젯법 등에 의해 형성할 수 있다. 반도체층(110)에, 펜타센 등의 저분자 유기 반도체를 이용하는 경우에는, 반도체와 게이트 절연막과의 계면의 평활성을 유지하면서, 박막 트랜지스터의 전계 효과 이동도를 향상시키기 위해, 반도체층과 접하는 게이트 절연막부에는 러빙 처리를 실시하지 않는다.

<51> 반도체층(110)에, 폴리9, 9-디옥틸플루오렌-코-디티오펜(F8T2) 등의 액정성 재료를 이용하는 경우에는, 반도체층을 형성하기 전에, 미리 반도체층과 접하는 게이트 절연막 표면을, 소스 전극의 형성 위치로부터 드레인 전극의 형성 위치의 방향, 또는 드레인 전극의 형성 위치로부터 소스 전극의 형성 위치의 방향으로 광 배향 처리를 실시하고, 캐리어가 채널을 이동하는 방향으로 액정 반도체를 1축 배향시킴으로써 박막 트랜지스터의 전계 효과 이동도를 향상시킬 수 있다.

<52> 다음으로, 파릴렌막을 CVD법으로 형성하고, 포토 리소그래피법으로 두께 500nm의 보호막(111)과 스루홀(106')을 형성하였다. 보호막(111)은 파릴렌에 한정되지 않으며, 산화 실리콘, 질화 실리콘 등의 무기막, 폴리비닐페놀, 폴리비닐알코올, 폴리메틸메타크릴레이트, 폴리염화비닐, 폴리아크리로나이트릴 등의 유기막 또는 이들의 적층막을 이용하여, 플라즈마 CVD법, 열 증착법, 스퍼터법, 양극 산화법, 스프레이법, 스핀 코팅법, 롤 코팅법, 블레이드 코팅법, 닥터롤법, 스크린 인쇄법, 잉크젯법 등에 의해 형성할 수 있다.

<53> 다음으로, 배향막(107)을, 절연 기판(101)의 대각 방향으로 액정이 배향하도록, 러빙 처리를 실시하고, TFT 기판을 완성시켰다. 배향막의 러빙 방향은 액정의 시야각을 증시하므로, 액정성 재료를 이용하고, 반도체층과 접하는 게이트 절연막 표면에 배향 처리를 실시한 경우에는, 배향막과 게이트 절연막 표면과의 배향 방향은 반드시 일치하지는 않는다.

- <54> 대향 기관은 이하의 수순으로 작성하였다.
- <55> 절연 기관(101')에는, 글래스 기관을 이용하였다. 절연 기관(101')은 TFT 기관과 마찬가지로, 절연성의 재료이면 광범위하게 선택하는 것이 가능하다.
- <56> 다음으로, 절연 기관(101') 상에 두께 150nm의 ITO막을 스퍼터법으로 성막하고, 공통 전극(112)을 형성하였다.
- <57> 다음으로, 두께 100nm의 Cr을 스퍼터로 성막하고, 포토 리소그래피법으로 블랙 매트릭스(113)를 형성하였다.
- <58> 컬러 필터(114)를 형성 후, 스핀 코팅법으로 폴리이미드를 50nm의 두께로 성막하고, 200℃에서 소성하여 배향막(107')을 형성하였다.
- <59> 다음으로, 배향막(107')에 러빙 처리를 실시하고, 대향 기관을 완성시켰다.
- <60> 입경 5 $\mu$ m의 폴리머 스페이서제를 TFT 기관 상에 분산 후, 표시부 주변에 UV 경화형 시일제를 디스펜서로 도포하고, TFT 기관과 대향 기관을 접합한 후, 외전을 조사하여 시일제를 경화시켰다. 마지막으로, 액정층(115)을 봉입하여 액정 패널을 완성시켰다.
- <61> 본 실시예와 같이, 배향막(107)을 반도체층(110)보다 먼저 형성하고, 반도체층(110)보다 상층에는 배치하지 않도록 하는, 즉, 절연 기관(101, 101')인 한 쌍의 기관과, 그 한 쪽 기관(절연 기관(101)) 상에 형성되고, 게이트 전극, 게이트 절연층, 소스 전극, 드레인 전극, 반도체층(110)을 갖는 박막 트랜지스터와, 한 쪽 기관 상에 형성된 화소 전극(103)과, 다른 쪽 기관(절연 기관(101')) 상에 형성된 공통 전극(112)과, 한 쌍의 기관에 협지된 액정층(115)과, 액정층(115)과 화소 전극(103) 사이에 배치된 제1 배향막(배향막(107))과, 액정층(115)과 다른 쪽 기관 사이에 배치된 제2 배향막(배향막(107'))을 포함하고, 박막 트랜지스터의 반도체층(110)은, 유기 화합물로 형성되고, 제1 배향막은, 반도체층(110) 상방을 제외한 평면 영역에 형성된 구성으로 함으로써, 제1 배향막인 배향막(107)의 소성 온도 또는, 배향막(107)의 용매에 의한 유기 반도체층의 열화를 방지할 수 있다.
- <62> 또한, 이 배향막과 게이트 절연막이 동층에서 형성되므로, 동일 공정에서 배향막과 게이트 절연막을 형성할 수 있어, 저렴한 액정 표시 장치를 제공할 수 있는 효과를 얻을 수 있다.
- <63> 본 실시예에서 작성한 TFT의 전계 효과 이동도는, 반도체층보다 나중에 TFT 기관층의 배향막을 형성하는 종래의 프로세스에서 작성한 TFT의 전계 효과 이동도에 비교하여 2 자리수 이상 크고, 약 1.2cm<sup>2</sup>/Vs의 값이 얻어졌다.
- <64> [제2 실시예]
- <65> 도 3 및 도 4를 이용하여 본 발명의 제2 실시예에 대해 설명한다. 도 3에, 본 발명을 이용한 액정 표시 장치 화소부의 평면 개략도를, 도 4에, 도 3의 (A)-(A')에서의 단면 개략도를 도시한다.
- <66> TFT 기관을 이하의 수순으로 작성하였다. 절연 기관(101)에는, 글래스 기관을 이용하였다. 절연 기관(101)은, 제1 실시예와 마찬가지로 광범위하게 선택하는 것이 가능하다. 게다가, 스퍼터법을 이용하여 성막한 ITO를 포토 리소그래피법으로 패터닝하여, 게이트 전극(102) 및 주사 배선(102'), 화소 전극(103), 공통 배선(104)을 두께 150nm로 동층에 형성하였다. 게이트 전극(102) 및 주사 배선(102'), 화소 전극(103), 공통 배선(104)의 재료로서는, 제1 실시예와 마찬가지로 도전체이면 특별히 한정되지 않으며 광범위하게 선택하는 것이 가능하다. 플라즈마 CVD법, 열 증착법, 스퍼터법, 스크린 인쇄법, 잉크젯법, 전해 중합법, 무전해 도금법, 전기 도금법, 핫 스탬핑법 등의 공지의 방법에 의해 형성할 수 있다. 또한, 상기 게이트 전극(102) 및 주사 배선(102'), 화소 전극(103), 공통 배선(104)은, 포토 리소그래피법, 새도우 마스크법, 마이크로프린팅법, 레이저 어브레이션법 등을 이용하여, 원하는 형상으로 가공할 수 있다. 또한, 게이트 전극(102) 및 주사 배선(102'), 화소 전극(103), 공통 배선(104)은 각각 서로 다른 재료로 형성해도 된다.
- <67> 다음으로, 폴리실라잔을 5nm의 두께로 딥 코팅 후, 90℃에서 소성하여 SiO<sub>2</sub>막으로 변성하고, 게이트 절연막(201)의 1층째(게이트 절연막(201-1))를 형성하였다. 게이트 절연막(201)의 1층째에는, 질화 실리콘, 산화 알루미늄, 산화 탄탈 등의 무기막, 폴리비닐페놀, 폴리비닐 알코올, 파릴렌, 폴리메틸메타크릴레이트, 폴리염화비닐, 폴리아크릴로니트릴, 폴리(퍼플루오로에틸렌-코-부테닐비닐에테르), 폴리이소부틸렌, 폴리(4-메틸-1-펜텐), 폴리(프로필렌-코-(1-부텐)), 벤조시클로부텐 수지 등의 유기막 또는 이들의 적층막을 이용하여, 플라즈마 CVD법, 열 증착법, 스퍼터법, 양극 산화법, 스프레이법, 스핀 코팅법, 딥 코팅법, 롤 코팅법, 블레이드 코팅법, 닥터블법, 스크린 인쇄법, 잉크젯법 등에 의해 형성할 수 있다. 특히, 게이트 절연막(201)의 1층째에는, SiO<sub>2</sub>, SiN, Al<sub>2</sub>O<sub>3</sub>, Ta<sub>2</sub>O<sub>5</sub> 등의 내압성이 좋고, 분극이 적은 재료를 이용함으로써 박막 트랜지스터의 성능을 향상시킬 수

있다.

- <68> 화소 전극(103) 상의 게이트 절연막을 제거하도록, 스루홀(106)을 포토 리소그래피법에 의해 형성하였다. 게이트 절연막(201)의 1층째를 상기 인쇄법으로 형성하는 경우에는, 스루홀(106)은 게이트 절연막(201)의 1층째와 동시에 형성하는 것이 가능하다.
- <69> 다음으로, 폴리비닐페놀을 100nm의 두께로 스핀 코트하고, 게이트 절연막(201)의 2층째(게이트 절연막(201-2))를 형성하였다. 게이트 절연막(201)의 2층째에는, 질화 실리콘, 산화 알루미늄, 산화 탄탈 등의 무기막, 폴리비닐알코올, 파릴렌, 폴리메틸메타크릴레이트, 폴리염화비닐, 폴리아크리로나이트릴, 퍼플루오로에틸렌-코-부테닐비닐에테르), 폴리이소부틸렌, 폴리(4-메틸-1-펜텐), 폴리(프로필렌-코-(1-부텐)), 벤조시클로부텐 수지 등의 유기막 또는 이들의 적층막을 이용하여, 플라즈마 CVD법, 열 증착법, 스퍼터법, 양극 산화법, 스프레이법, 스핀 코트법, 딥 코트법, 롤 코트법, 블레이드 코트법, 닥터롤법, 스크린 인쇄법, 잉크젯법 등에 의해 형성할 수 있다.
- <70> 게이트 절연막의 스루홀(106')은 포토 리소그래피법에 의해 다시 형성한다. 게이트 절연막(201)의 2층째를 상기 인쇄법으로 형성하는 경우에는, 스루홀(106')은 게이트 절연막(201)의 2층째와 동시에 형성하는 것이 가능하다.
- <71> 다음으로, 폴리이미드를 50nm의 두께로 스핀 코트법으로 성막하고 200℃에서 소성하여 게이트 절연막(201)의 3층째(게이트 절연막(201-3))를 형성하였다. 게이트 절연막(201)의 3층째에는 폴리이미드 이외에 폴리아미산, 혹은 폴리이미드와 폴리아미산으로 이루어지는 막이나, 아크릴, 폴리클로로필렌, 폴리에틸렌테레프탈레이트, 폴리옥시메틸렌, 폴리비닐클로라이드, 폴리불화비닐렌, 시아노에틸렌플루란, 폴리메틸메타크릴레이트, 폴리살폰, 폴리카보네이트 등의 수지 재료를 이용할 수 있다. 도 3에 도시한 화소 전극(103)과 소스 전극을 접속하기 위한 스루홀(202)을 포토 리소그래피법에 의해 형성하였다. 게이트 절연막(201)의 3층째를 상기 인쇄법으로 형성하는 경우에는, 스루홀(202)은 게이트 절연막(201)의 3층째와 동시에 형성하는 것이 가능하다.
- <72> 게이트 절연막의 3층째는 화소 전극(103) 상에도 피복하도록 형성하였다. 또한, 게이트 절연막의 2층째는, 게이트 절연막의 1층째의 내압을 확보함으로써, 생략할 수도 있다. 또한, 게이트 절연막의 폴리이미드층을 200nm~500nm 정도로 후막화함으로써, 게이트 절연막의 1층째와 2층째를 생략할 수 있다. 즉 게이트 절연막의 3층째만을 형성해도 된다.
- <73> 다음으로, 스퍼터법을 이용하여 성막한 두께 150nm의 ITO를 포토 리소그래피법으로 패터닝하여 드레인 전극(108), 소스 전극(109), 신호 배선(108')을 형성하고, 소스 전극(109)을 화소 전극(103)에 접속시켰다. 드레인 전극(108), 소스 전극(109), 및 신호 배선(108')의 재료는 제1 실시예와 마찬가지로, 도전체인면 특별히 한정되는 것은 아니며 광범위하게 선택하는 것이 가능하다. 또한, 플라즈마 CVD법, 열 증착법, 스퍼터법, 스크린 인쇄법, 잉크젯법, 전해 중합법, 무전해 도금법, 전기 도금법, 핫 스탬핑법 등의 공지의 방법에 의해 형성할 수 있다. 드레인 전극(108), 소스 전극(109), 및 신호 배선(108')은 단층 구조로서뿐만 아니라, 복수층을 서로 겹친 구조에서도 사용할 수 있다. 또한, 드레인 전극(108), 소스 전극(109), 및 신호 배선(108')은, 포토 리소그래피법, 새도우 마스크법, 마이크로프린팅법, 레이저 어브레이션법 등을 이용하여, 원하는 형상으로 가공할 수 있다. 또한, 드레인 전극(108), 소스 전극(109), 및 신호 배선(108')에는 각각 서로 다른 재료를 이용해도 된다.
- <74> 다음으로, 가용성의 펜타센 유도체를 콘택트 프린트로 패터닝하여, 150℃에서 소성하여 두께 100nm의 반도체층(110)을 형성하였다. 반도체층(110)의 재료는 제1 실시예와 마찬가지로, 반도체이면 특별히 한정되는 것은 아니며 광범위하게 선택하는 것이 가능하다. 또한, 열 증착법, 분자선 에피택시법, 스프레이법, 스핀 코트법, 롤 코트법, 블레이드 코트법, 닥터롤법, 스크린 인쇄법, 잉크젯법 등에 의해 형성할 수 있다. 반도체층(110)에, 펜타센 등의 저분자 유기 반도체를 이용하는 경우에는, 반도체와 게이트 절연막과의 계면의 평활성을 유지하면서, 박막 트랜지스터의 전계 효과 이동도를 향상시키기 위해, 반도체층과 접하는 게이트 절연막부에는 러빙 처리를 실시하지 않는다.
- <75> 반도체층(110)에, 폴리-9, 9-디옥틸플루오렌-코-티오펜(F8T2) 등의 액정성 반도체를 이용하는 경우에는, 미리, 반도체층과 접하는 게이트 절연막 표면을, 소스 전극의 형성 위치로부터 드레인 전극의 형성 위치의 방향, 또는 드레인 전극의 형성 위치로부터 소스 전극의 형성 위치의 방향으로 광 배향 처리를 실시하고, 캐리어가 채널을 이동하는 방향으로 액정 반도체를 1축 배향시킴으로써 박막 트랜지스터의 전계 효과 이동도를 향상시킬 수 있다.

- <76> 다음으로, 파릴렌막을 CVD법으로 형성하고, 포토 리소그래피법으로 두께 500nm의 보호막(111)과 스루홀(106')을 형성하였다. 보호막(111)은 파릴렌에 한정되지 않으며, 제1 실시예와 마찬가지로, 절연체 중에서 선택하는 것이 가능하다. 또한, 플라즈마 CVD법, 열 증착법, 스퍼터법, 양극 산화법, 스프레이법, 스핀 코팅법, 롤 코팅법, 블레이드 코팅법, 닥터롤법, 스크린 인쇄법, 잉크젯법 등에 의해 형성할 수 있다.
- <77> 마지막으로, 화소 상의 게이트 절연막(201)에 러빙 처리를 실시하여, TFT 기판을 완성시켰다. 배향막의 러빙 방향은 액정의 시야각을 중시하므로, 액정성 재료를 이용하고, 반도체층과 접하는 게이트 절연막 표면에 배향 처리를 실시한 경우에는, 배향막과 게이트 절연막 표면과의 배향 방향은 반드시 일치하지는 않는다.
- <78> 이상과 같이, 본 실시예에서는, 박막 트랜지스터의 반도체층(110)은, 유기 화합물로 형성되고, 게이트 절연막(201)은, 복수의 막으로 적층 형성되고, 그 복수의 층의 1개의 층은, 게이트 전극(102) 상방에서 반도체층(110)과 접하고, 화소 전극(103) 상에 배치되고, 액정층(115)의 액정 분자의 배향을 제어하는 기능을 갖는 구성으로 함으로써, 제1 실시예와 마찬가지로, 유기 반도체층의 열화를 방지할 수 있고, 또한 1회의 공정으로 배향막의 기능을 갖는 게이트 절연막을 형성할 수 있어, 저렴한 액정 표시 장치를 제공할 수 있는 효과를 얻을 수 있다.
- <79> 이하, 대향 기판의 제작 및, 액정층(115)의 봉입은 제1 실시예와 마찬가지로 실시하였다.
- <80> 본 실시예에서 작성한 TFT의 전계 효과 이동도는 제1 실시예와 마찬가지로, 반도체층보다 나중에 TFT 기판측의 배향막을 형성하는 종래의 프로세스에서 작성한 TFT의 전계 효과 이동도가 향상되는 효과가 얻어진다.
- <81> [제3 실시예]
- <82> 도 5를 이용하여 본 발명의 제3 실시예에 대해 설명한다. 도 5에, 본 발명을 이용한 유기 박막 트랜지스터의 단면 개략도를 도시한다.
- <83> TFT 기판을 이하의 순서로 작성하였다. 절연 기판(101)에는, 글래스 기판을 이용하였다. 절연 기판(101)은, 제1 실시예와 마찬가지로 광범위하게 선택하는 것이 가능하다. 게다가, 스퍼터법을 이용하여 성막한 Al을 포토 리소그래피법으로 패터닝하여, 게이트 전극(102) 및 주사 배선(102'), 공통 배선(104)을 두께 300nm로 동층에 형성하였다. 게이트 전극(102) 및 주사 배선(102'), 화소 전극(103), 공통 배선(104)의 재료로서는, 제1 실시예와 마찬가지로 도전체이면 특별히 한정되는 것은 아니며 광범위하게 선택하는 것이 가능하다. 플라즈마 CVD법, 열 증착법, 스퍼터법, 스퍼터법, 스크린 인쇄법, 잉크젯법, 전해 중합법, 무전해 도금법, 전기 도금법, 핫 스텝핑법 등의 공지의 방법에 의해 형성할 수 있다. 또한, 상기 게이트 전극(102) 및 주사 배선(102'), 공통 배선(104)은, 포토 리소그래피법, 새도우 마스크법, 마이크로프린팅법, 레이저 어브레이션법 등을 이용하여, 원하는 형상으로 가공할 수 있다. 또한, 게이트 전극(102) 및 주사 배선(102'), 화소 전극(103), 공통 배선(104)은 각각 서로 다른 재료로 형성해도 된다.
- <84> 다음으로, 양극 산화법으로 200nm의  $Al_2O_3$ 을 게이트 전극(102) 및 주사 배선(102'), 공통 배선(104) 상에 형성하고, 게이트 절연층(301)으로서 이용하였다. 게이트 절연층(301)에는, 제1 실시예와 마찬가지로 광범위하게 선택하는 것이 가능하다. 또한, 플라즈마 CVD법, 열 증착법, 스퍼터법, 양극 산화법, 스프레이법, 스핀 코팅법, 딥 코팅법, 롤 코팅법, 블레이드 코팅법, 닥터롤법, 스크린 인쇄법, 잉크젯법 등에 의해 형성할 수 있다.
- <85> 다음으로, 스퍼터법을 이용하여 성막한 두께 150nm의 ITO를 포토 리소그래피법으로 패터닝하여 드레인 전극(108), 소스 전극(109), 신호 배선(108') 및 화소 전극(103)을 형성하였다. 본 실시예에서는, 소스 전극(109)과 화소 전극(103)은 일체로 된다. 드레인 전극(108), 소스 전극(109), 및 신호 배선(108')의 재료는 제1 실시예와 마찬가지로, 도전체이면 특별히 한정되지 않으며 광범위하게 선택하는 것이 가능하다. 또한, 플라즈마 CVD법, 열 증착법, 스퍼터법, 스크린 인쇄법, 잉크젯법, 전해 중합법, 무전해 도금법, 전기 도금법, 핫 스텝핑법 등의 공지의 방법에 의해 형성할 수 있다. 드레인 전극(108), 소스 전극(109), 및 신호 배선(108')은 단층 구조로서뿐만 아니라, 복수층을 서로 겹친 구조에서도 사용할 수 있다.
- <86> 또한, 드레인 전극(108), 소스 전극(109), 및 신호 배선(108')은, 포토 리소그래피법, 새도우 마스크법, 마이크로프린팅법, 레이저 어브레이션법 등을 이용하여, 원하는 형상으로 가공할 수 있다. 또한, 드레인 전극(108), 소스 전극(109), 및 신호 배선(108')에는 각각 서로 다른 재료를 이용해도 된다.
- <87> 다음으로, 폴리이미드를 스핀 코팅법으로 50nm의 두께로 성막하여 200℃에서 소성 후, 포토 리소그래피법으로 화소 전극(103) 상을 피복하도록 패터닝하여 배향막(107)을 형성함과 동시에, 드레인 전극(108) 및 소스 전극

(109) 사이를 매립하도록 전계 효과 이동도 향상용의 막(302)을 형성하였다. 배향막(107)은, 절연 기판(101)의 대각 방향으로 액정이 배향하도록, 광 배향 처리를 실시하였다. 한편, 전계 효과 이동도 향상용의 막(302)은, 나중에 형성하는 액정 반도체가 소스 전극으로부터 드레인 전극의 방향으로 배향하도록 광 배향 처리를 실시하였다. 배향막의 러빙 방향은 액정의 시야각을 중시한다.

<88> 한편, 액정성 반도체는, 소스 전극으로부터 드레인 전극의 방향, 즉 반도체 내를 캐리어가 이동하는 방향으로 1축 배향시킴으로써 박막 트랜지스터의 전계 효과 이동도를 향상시킬 수 있다. 이 때문에, 배향막(107)과 전계 효과 이동도 향상용의 막(302)의 배향 처리 방향은 반드시 일치하지는 않는다.

<89> 다음으로, F8T2를 잉크젯트법으로 패터닝하여, 두께 100nm의 반도체층(110)을 형성하였다. 반도체층(110)의 재료는 제1 실시예와 마찬가지로, 반도체이면 특별히 한정되는 것은 아니며 광범위하게 선택하는 것이 가능하다. 또한, 열 증착법, 분자선 에피택시법, 스프레이법, 스핀 코팅법, 롤 코팅법, 블레이드 코팅법, 닥터롤법, 스크린 인쇄법, 콘택트 프린트법 등에 의해 형성할 수 있다.

<90> 다음으로, 파릴렌막을 CVD법으로 형성하고, 포토 리소그래피법으로 두께 500nm의 보호막(111)과 스루홀(106')을 형성하였다. 보호막(111)은 파릴렌에 한정되지 않으며, 제1 실시예와 마찬가지로, 절연체 중에서 선택하는 것이 가능하다. 또한, 플라즈마 CVD법, 열 증착법, 스퍼터법, 양극 산화법, 스프레이법, 스핀 코팅법, 롤 코팅법, 블레이드 코팅법, 닥터롤법, 스크린 인쇄법, 잉크젯트법 등에 의해 형성할 수 있다.

<91> 이와 같이 TFT 기판을 완성시켰다. 이하, 대향 기판의 제작 및, 액정층(115)의 봉입은 제1 실시예와 마찬가지로 실시하였다.

<92> 이상과 같이, 본 실시예에서는, 반도체층(110)과 게이트 절연층(301) 사이에는, 제1 배향막인 배향막(107)과 동일 재료의 막(전계 효과 이동도 향상용의 막(302))을 형성하는 구성으로 하였다.

<93> 본 실시예에서 작성한 TFT의 전계 효과 이동도는 제1 실시예와 마찬가지로, 반도체층보다 나중에 TFT 기판층의 배향막을 형성하는 종래의 프로세스에서 작성한 TFT의 전계 효과 이동도가 향상되는 효과가 얻어진다.

<94> 또한, 배향막(107)과 전계 효과 이동도 향상용 막(302)을 동시에 형성할 수 있으므로, 프로세스 수를 저감할 수 있어, 저렴한 액정 표시 장치를 제공할 수 있는 효과를 얻을 수 있다.

<95> [제4 실시예]

<96> 도 6을 이용하여 본 발명의 제4 실시예에 대해 설명한다. 도 6에, 본 발명에 이용한 유기 박막 트랜지스터의 단면 계략도를 도시한다.

<97> 절연 기판(101), 게이트 전극(102) 및 주사 배선(102'), 공통 배선(104), 게이트 절연층(105), 스루홀(106), 드레인 전극(108), 소스 전극(109), 신호 배선(108'), 반도체층(110), 보호막(111)의 형성 방법은 제1 실시예와 마찬가지로 한다.

<98> 화소 전극(401)은, 소스 전극(109)을 스루홀(106)까지 연장하여 형성되고, 스퍼터법을 이용하여 성막한 두께 150nm의 ITO를 포토 리소그래피법으로 패터닝하여 드레인 전극(108), 신호 배선(108')과 동층에 형성하였다. 화소 전극(401)의 재료는, 도전체이면 특별히 한정되지 않으며, 예를 들면 Al, Cu, Ti, Cr, Au, Ag, Ni, Pd, Pt, Ta와 같은 금속 외, IZO와 같은 다른 투명 도전 재료, 폴리 아닐린이나 폴리3, 4-에틸렌디옥시티오펜/폴리스티렌술포네이트와 같은 유기 도전체 등을 이용하여, 플라즈마 CVD법, 열 증착법, 스퍼터법, 스크린 인쇄법, 잉크젯트법, 전해 중합법, 무전해 도금법, 전기 도금법, 핫 스탬핑법 등의 공지의 방법에 의해 형성할 수 있다.

<99> 또한, 화소 전극(401)은 단층 구조로서뿐만 아니라, 복수층을 서로 겹친 구조에서도 사용할 수 있다. 포토 리소그래피법, 새도우 마스크법, 마이크로프린팅법, 레이저 어브레이션법 등을 이용하여, 원하는 형상으로 가공할 수 있다. 또한, 화소 전극(401)은 드레인 전극(108), 소스 전극(109), 및 신호 배선(108')에는 각각 서로 다른 재료를 이용해도 된다.

<100> 배향막(402)은, 화소 전극(401)을 형성한 후에, 폴리이미드를 스핀 코팅법으로 50nm의 두께로 성막하고, 200℃에서 소성 후, 포토 리소그래피법으로 화소 전극 상을 피복하도록 패터닝하여 형성하였다. 여기서 배향막(402)은 제1 실시예와 제3 실시예와 마찬가지로 반도체층(110)을 피복하지 않도록 형성하였다. 배향막(402)에는 폴리이미드 이외에 폴리아미산, 혹은 폴리이미드와 폴리아미산으로 이루어지는 막이나, 아크릴, 폴리클로로필렌, 폴리에틸렌테레프탈레이트, 폴리옥시메틸렌, 폴리비닐클로라이드, 폴리불화비닐렌, 시아노에틸

렌플루란, 폴리메틸메타크릴레이트, 폴리살폰, 폴리카보네이트 등의 수지 재료를 이용할 수 있다.

- <101> 이상과 같이 TFT 기판을 완성시켰다. 이하, 대향 기판의 제작 및, 액정층의 봉입은 제1 실시예와 마찬가지로 실시하였다.
- <102> 즉 본 실시예에서는, 박막 트랜지스터의 소스 전극(109)은, 화소 전극(401)의 기능을 갖고, 한 쪽 절연 기판(101)과 배향막(402) 간에 배치되고, 그 배향막(402)은, 반도체층(110) 상방을 제외한 평면 영역에 형성된 구성으로 함으로써, 유기 반도체층의 열화를 방지할 수 있고, 또한 소스 전극과 화소 전극을 1회의 공정으로 형성할 수 있기 때문에, 간이한 제조 공정으로, 저렴한 액정 표시 장치를 제공할 수 있는 효과를 얻을 수 있다.
- <103> 본 실시예에서 작성한 TFT의 전계 효과 이동도는 제1 실시예와 마찬가지로, 반도체층보다 나중 TFT 기판층의 배향막을 형성하는 종래의 프로세스에서 작성한 TFT의 전계 효과 이동도가 향상되는 효과가 얻어진다.
- <104> [제5 실시예]
- <105> 도 7을 이용하여 본 발명의 제5 실시예에 대해 설명한다. 도 7에, 본 발명을 이용한 액정 표시 장치 화소부의 단면 개략도를 도시한다.
- <106> TFT 기판을 이하의 순서로 작성하였다. 절연 기판(101)에는, 글래스 기판을 이용하였다. 절연 기판(101)은, 제1 실시예와 마찬가지로 광범위하게 선택하는 것이 가능하다. 게다가, 스퍼터법을 이용하여 성막한 ITO를 포토 리소그래피법으로 패터닝하여, 게이트 전극(102) 및 주사 배선(102'), 화소 전극(103), 공통 배선(104)을 두께 150nm로 동층에 형성하였다. 게이트 전극(102) 및 주사 배선(102'), 화소 전극(103), 공통 배선(104)의 재료로서는, 제1 실시예와 마찬가지로 도전체이면 특별히 한정되지 않으며 광범위하게 선택하는 것이 가능하다. 플라즈마 CVD법, 열 증착법, 스퍼터법, 스크린 인쇄법, 잉크젯법, 전해 중합법, 무전해 도금법, 전기 도금법, 핫 스탬핑법 등의 공지의 방법에 의해 형성할 수 있다. 또한, 상기 게이트 전극(102) 및 주사 배선(102'), 화소 전극(103), 공통 배선(104)은, 포토 리소그래피법, 새도우 마스크법, 마이크로프린팅법, 레이저 어브레이션법 등을 이용하여, 원하는 형상으로 가공할 수 있다. 또한, 게이트 전극(102) 및 주사 배선(102'), 화소 전극(103), 공통 배선(104)은 각각 서로 다른 재료로 형성해도 된다.
- <107> 다음으로, 스핀 코트한 폴리실라잔을 450℃에서 소성하고, 두께 200nm의 SiO<sub>2</sub>막을 게이트 절연층(105)으로서 이용하였다. 게이트 절연층(105)에는, 절연체이면 특별히 한정되지 않으며, 제1 실시예와 마찬가지로 광범위하게 선택할 수 있고, 플라즈마 CVD법, 열 증착법, 스퍼터법, 양극 산화법, 스프레이법, 스핀 코트법, 딥 코트법, 롤 코트법, 블레이드 코트법, 닥터롤법, 스크린 인쇄법, 잉크젯법 등에 의해 형성할 수 있다.
- <108> 다음으로, 화소 전극(103) 상의 게이트 절연막을 제거하도록, 스루홀(106)을 포토 리소그래피법에 의해 형성하였다. 게이트 절연층(105)을 상기 인쇄법으로 형성하는 경우에는, 스루홀(106)은 게이트 절연층(105)과 동시에 형성하는 것이 가능하다.
- <109> 다음으로, 폴리이미드를 스핀 코트법으로 50nm의 두께로 성막하고, 200℃에서 소성 후, 포토 리소그래피법으로 화소 전극(103) 상을 피복하도록 패터닝하여 배향막(107)을 형성하였다. 배향막(107)에는 폴리이미드 이외에도 제1 실시예와 마찬가지로 넓은 범위의 수지 재료로부터 선택할 수 있다. 게이트 절연층(105)과 배향막(107)에 동일한 재료를 이용하는 경우에는, 게이트 절연막과 배향막을 동시에 형성할 수 있기 때문에, 프로세스 수를 저감할 수 있다.
- <110> 다음으로, 그 게이트 절연층(105) 상을 옥타데실트리클로로실란의 단분자막으로 수식하였다. 단분자막에는, 제1 실시예와 마찬가지로 광범위하게 선택하는 것이 가능하다. 상기 수식은 게이트 절연층(105)의 표면을 상기 화합물의 용액이나 증기에 접촉시킴으로써 상기 화합물을 게이트 절연막 표면에 흡착시킴으로써 달성된다. 또한, 게이트 절연층(105)의 표면은 단분자막으로 수식하지 않아도 된다.
- <111> 다음으로, 가용성의 펜타센 유도체를 콘택트 프린트로 패터닝하고, 150℃에서 소성하여 두께 100nm의 반도체층(110)을 형성하였다. 반도체층(110)은, 제1 실시예와 마찬가지로 넓은 범위의 유기 화합물의 반도체 재료로부터 선택할 수 있고, 열 증착법, 분자선 에피택시법, 스프레이법, 스핀 코트법, 롤 코트법, 블레이드 코트법, 닥터롤법, 스크린 인쇄법, 잉크젯법 등에 의해 형성할 수 있다. 반도체층(110)에, 펜타센 등의 저분자 유기 반도체를 이용하는 경우에는, 반도체와 게이트 절연막과의 계면의 평활성을 유지하면서, 박막 트랜지스터의 전계 효과 이동도를 향상시키기 위해, 반도체층과 접하는 게이트 절연막부에는 러빙 처리를 실시하지 않는다.
- <112> 반도체층(110)에, 폴리9, 9-디옥틸플루오렌-코-디티오펜(F8T2) 등의 액정성 재료를 이용하는 경우에는, 반도체

층을 형성하기 전에, 미리 반도체층과 접하는 게이트 절연막 표면을, 소스 전극의 형성 위치로부터 드레인 전극의 형성 위치의 방향, 또는 드레인 전극의 형성 위치로부터 소스 전극의 형성 위치의 방향으로 광 배향 처리를 실시하고, 캐리어가 채널을 이동하는 방향으로 액정 반도체를 1축 배향시킴으로써 박막 트랜지스터의 전계 효과 이동도를 향상시킬 수 있다.

- <113> 다음으로, 마스크 증착법으로, 두께 150nm의 ITO를 성막하여 드레인 전극(108), 소스 전극(109), 신호 배선(108')을 형성하고, 소스 전극(109)을 화소 전극(103)에 접속시켰다. 드레인 전극(108), 소스 전극(109), 및 신호 배선(108')의 재료는 게이트 전극과 마찬가지로 도전체이면 특별히 한정되지 않으며, 제1 실시예와 마찬가지로 넓은 범위의 도전성 재료로부터 선택할 수 있다. 또한, 단층 구조로서뿐만 아니라, 복수층을 서로 겹친 구조에서도 사용할 수 있다. 또한, 드레인 전극(108), 소스 전극(109), 및 신호 배선(108')에는 각각 서로 다른 재료를 이용해도 된다.
- <114> 다음으로, 파릴렌막을 CVD법으로 형성하고, 포토 리소그래피법으로 두께 500nm의 보호막(111)과 스루홀(106')을 형성하였다. 보호막(111)은 파릴렌에 한정되지 않으며, 제1 실시예와 마찬가지로, 절연체 중에서 선택하는 것이 가능하다. 또한, 플라즈마 CVD법, 열 증착법, 스퍼터법, 양극 산화법, 스프레이법, 스핀 코팅법, 물 코팅법, 블레이드 코팅법, 닥터롤법, 스크린 인쇄법, 잉크젯법 등에 의해 형성할 수 있다.
- <115> 다음으로, 배향막(107)을, 절연 기판(101)의 대각 방향으로 액정이 배향하도록, 러빙 처리를 실시하고, TFT 기판을 완성시켰다. 배향막의 러빙 방향은 액정의 시야각을 증시하므로, 액정 반도체를 이용하여, 반도체층과 접하는 게이트 절연막표면에 배향 처리를 실시한 경우에는, 배향막과 게이트 절연막 표면과의 배향 방향은 반드시 일치하지는 않는다.
- <116> 이하, 대향 기관의 제작 및, 액정층의 봉입은 제1 실시예와 마찬가지로 실시하였다.
- <117> 본 실시예에서 작성한 TFT의 전계 효과 이동도는 제1 실시예와 마찬가지로, 반도체층보다 나중에 TFT 기관층의 배향막을 형성하는 종래의 프로세스에서 작성한 TFT 전계 효과 이동도가 향상되는 효과가 얻어진다.
- <118> 본 실시예는 제1 실시예에서, 소스 전극 및 드레인 전극과 반도체와의 형성 순서를 교체함으로써, 박막 트랜지스터를 바텀 콘택트 구조로부터 탑 콘택트 구조로 치환한 것이다. 제2 실시예 내지 제4 실시예에서 박막 트랜지스터를 탑 콘택트 구조로 치환한 경우에도 마찬가지로의 효과가 얻어진다.
- <119> [제6 실시예]
- <120> 도 8을 이용하여 본 발명의 제6 실시예에 대해 설명한다. 도 8에, 본 발명을 이용한 액정 표시 장치 화소부의 단면 개략도를 도시한다.
- <121> TFT 기관을 이하의 순서로 작성하였다. 절연 기판(101)에는, 글래스 기관을 이용하였다. 절연 기판(101)은, 제1 실시예와 마찬가지로 광범위하게 선택하는 것이 가능하다. 게다가, 스퍼터법을 이용하여 성막한 ITO를 포토 리소그래피법으로 패터닝하여, 드레인 전극(601), 신호 배선, 노스 전극(602) 및 화소 전극(603)을 두께 150nm로 동층에 형성하였다.
- <122> 다음으로, 폴리이미드를 스핀 코팅법으로 50nm의 두께로 성막하여 200℃에서 소성 후, 포토 리소그래피법으로 화소 전극 상을 피복하도록 패터닝하여 배향막(604)을 형성하였다. 배향막(604)에는 폴리이미드 이외에도 제1 실시예와 마찬가지로 넓은 범위의 수지 재료로부터 선택할 수 있다.
- <123> 다음으로, 가용성의 펜타센 유도체를 콘택트 프린트로 패터닝하고, 150℃에서 소성하여 두께 100nm의 반도체층(605)을 형성하였다. 반도체층(605)은, 제1 실시예와 마찬가지로 넓은 범위의 유기 화합물의 반도체 재료로부터 선택할 수 있고, 열 증착법, 분자선 에피택시법, 스프레이법, 스핀 코팅법, 물 코팅법, 블레이드 코팅법, 닥터롤법, 스크린 인쇄법, 잉크젯법 등에 의해 형성할 수 있다.
- <124> 다음으로, 두께 500nm의 폴리비닐페놀을 스크린 인쇄법으로 형성하고, 게이트 절연막(606)을 형성하였다. 게이트 절연막(606)은 폴리비닐페놀에 한정되지 않고, 제1 실시예와 마찬가지로, 절연체 중에서 선택하는 것이 가능하다. 또한, 플라즈마 CVD법, 열 증착법, 스퍼터법, 양극 산화법, 스프레이법, 스핀 코팅법, 블레이드 코팅법, 닥터롤법, 스크린 인쇄법, 잉크젯법 등에 의해 형성할 수 있다.
- <125> 다음으로, 배향막(604)에 러빙 처리를 실시하였다.
- <126> 다음으로, 마스크 증착법을 이용하여 두께 150nm의 Al을 성막하고, 게이트 전극(607) 및 주사 배선, 공통 배선을 형성하였다. 게이트 전극(607) 및 주사 배선, 공통 배선의 재료로서는, 제1 실시예와 마찬가지로 도전체를

면 특별히 한정되지 않으며 광범위하게 선택하는 것이 가능하다. 또한, 게이트 전극(607) 및 주사 배선, 공통 배선은 각각 서로 다른 재료로 형성해도 된다.

<127> 다음으로, 두께 500nm의 폴리비닐페놀을 스크린 인쇄법으로 형성하고, 보호막(608)을 형성하였다. 보호막(608)은 폴리비닐페놀에 한정되지 않으며, 제1 실시예와 마찬가지로, 절연체 중에서 선택하는 것이 가능하다. 또한, 플라즈마 CVD법, 열 증착법, 스퍼터법, 양극 산화법, 스프레이법, 스핀 코팅법, 롤 니트법, 블레이드 코팅법, 닥터롤법, 스크린 인쇄법, 잉크젯법 등에 의해 형성할 수 있다.

<128> 이상과 같이 TFT 기판을 완성시켰다. 이하, 대향 기판의 제작 및, 액정층(115)의 봉입은 제1 실시예와 마찬가지로 실시하였다.

<129> 즉, 본 실시예에서는, 한 쌍의 기판(절연 기판(101, 101'))과, 그 한 쪽 기판(절연 기판(101)) 상에 형성되고, 소스 전극(602), 드레인 전극(601), 반도체층(605), 게이트 절연층(606), 게이트 전극(607)을 갖는 박막 트랜지스터와, 다른 쪽 기판(절연 기판(101')) 상에 형성된 공통 전극(112)과, 한 쌍의 기판에 협지된 액정층(115)과, 액정층과 한 쪽 기판 사이에 배치된 제1 배향막(배향막(604))과, 액정층과 다른 쪽 기판 사이에 배치된 제2 배향막(배향막(107'))을 갖고, 반도체층(605)은, 유기 화합물로 형성되고, 박막 트랜지스터의 소스 전극(602)은, 화소 전극(603)의 기능을 갖고, 한 쪽의 절연 기판(101)과 배향막(604) 사이에 배치되고, 그 배향막(604)은, 반도체층(605) 상방을 제외한 평면 영역에 형성된 구성으로 함으로써, 유기 반도체층의 열화를 방지할 수 있고, 또한 소스 전극과 화소 전극을 1회의 공정으로 형성할 수 있기 때문에, 간단한 제조 공정으로, 저렴한 액정 표시 장치를 제공할 수 있는 효과를 얻을 수 있다.

<130> 제4 실시예, 도 6과 서로 다른 점은, 박막 트랜지스터의 층 구조가 반대로 되어 있는 점이며, 본 실시예에서는, 반도체층(605) 상에 게이트 절연막(606)이 형성되고, 그 위에 게이트 전극(607)이 형성된 점이다.

<131> 본 실시예에서 작성한 TFT의 전계 효과 이동도는 제1 실시예와 마찬가지로, 반도체층보다 나중에 TFT 기판층의 배향막을 형성하는 종래의 프로세스에서 작성한 TFT의 전계 효과 이동도가 향상되는 효과가 얻어진다.

### 발명의 효과

<132> 배향막의 형성 시에 발생하는 유기 반도체막의 열화를 방지하여, 유기 박막 트랜지스터를 이용한 액정 표시 장치를 염가로 제공할 수 있다.

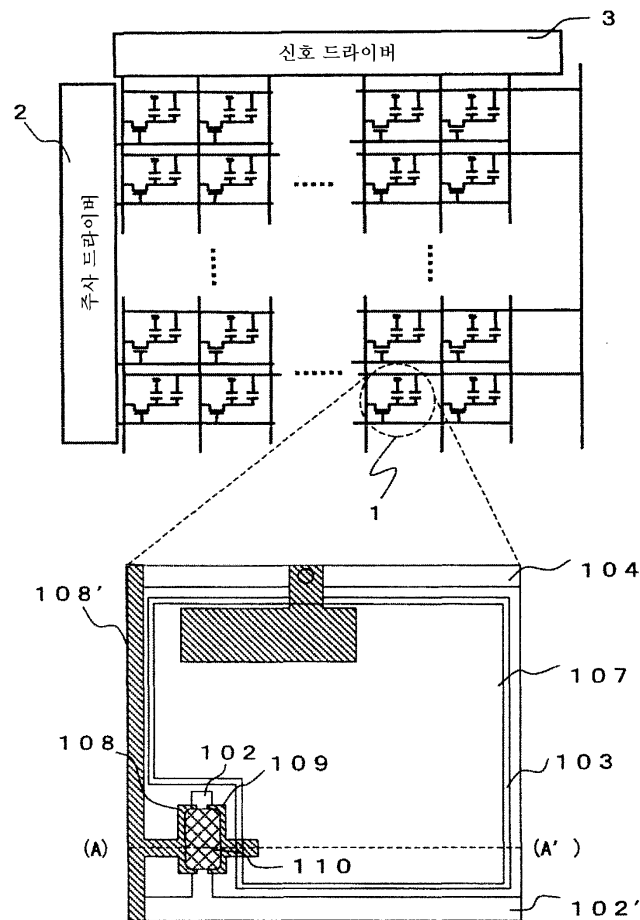
### 도면의 간단한 설명

- <1> 도 1은 본 발명에 따른 액정 표시 장치의 일 실시예의 구성 및 평면 개략을 도시한 도면.
- <2> 도 2는 본 발명의 박막 트랜지스터의 일 단면 구조를 도시한 도면.
- <3> 도 3은 본 발명의 화소부의 일 평면 구조를 도시한 도면.
- <4> 도 4는 본 발명의 박막 트랜지스터의 다른 단면 구조를 도시한 도면.
- <5> 도 5는 본 발명의 박막 트랜지스터의 다른 단면 구조를 도시한 도면.
- <6> 도 6은 본 발명의 박막 트랜지스터의 다른 단면 구조를 도시한 도면.
- <7> 도 7은 본 발명의 박막 트랜지스터의 다른 단면 구조를 도시한 도면.
- <8> 도 8은 본 발명의 박막 트랜지스터의 다른 단면 구조를 도시한 도면.
- <9> <도면의 주요부분에 대한 부호의 설명>
- <10> 100, 101': 절연 기판
- <11> 102: 게이트 전극
- <12> 102': 주사 배선
- <13> 103, 401: 화소 전극
- <14> 104: 공통 배선
- <15> 105, 301: 게이트 절연층

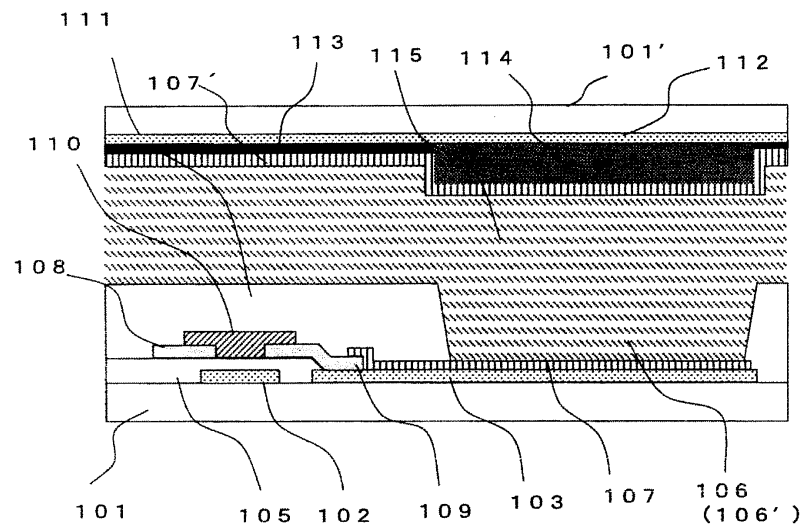
- <16> 106, 106', 202:스루홀
- <17> 107, 402:배향막
- <18> 108:드레인 전극
- <19> 108':신호 배선
- <20> 109:소스 전극
- <21> 110:반도체층
- <22> 111:보호막
- <23> 112:공통 전극
- <24> 113:블랙 매트릭스
- <25> 114:컬러 필터
- <26> 115:액정층
- <27> 201:게이트 절연층
- <28> 302:전계 효과 이동도 향상용의 막

도면

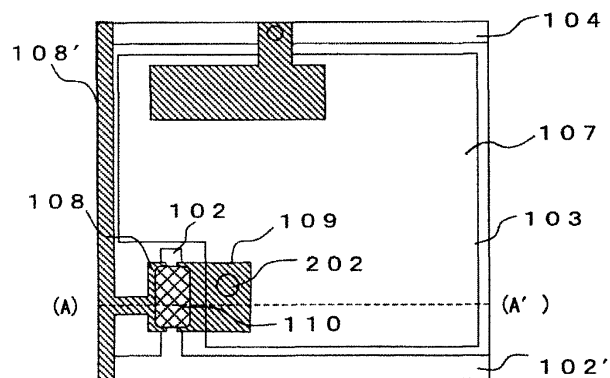
도면1



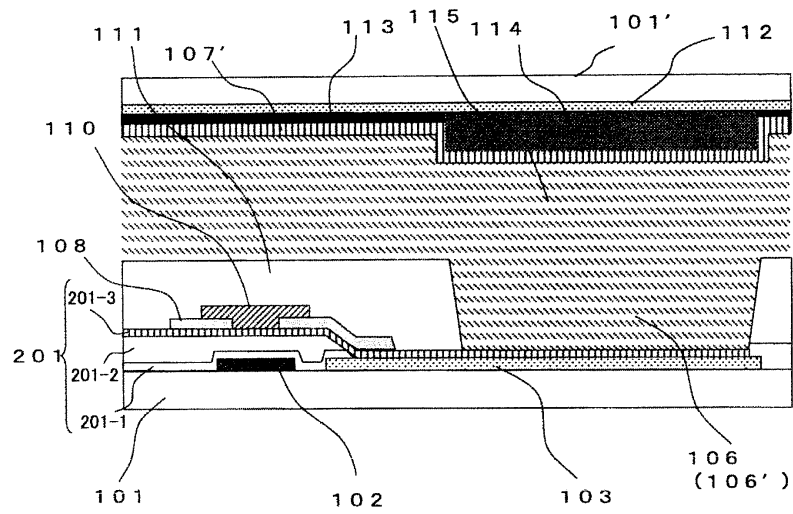
도면2



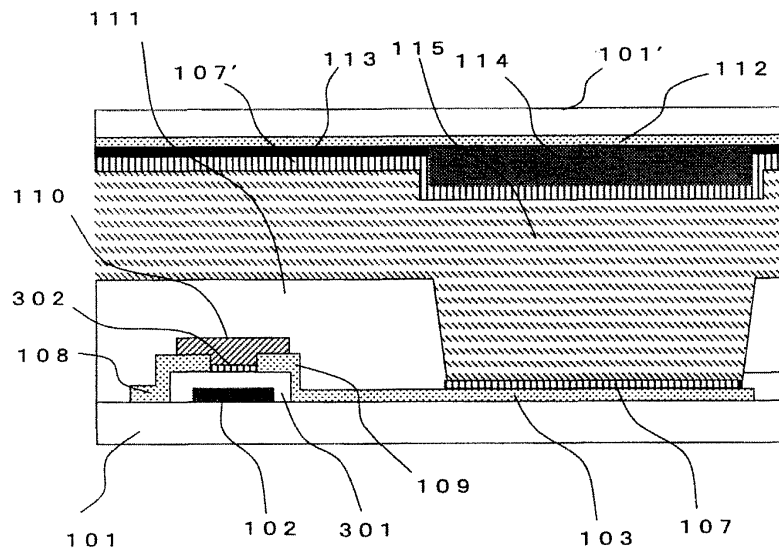
도면3



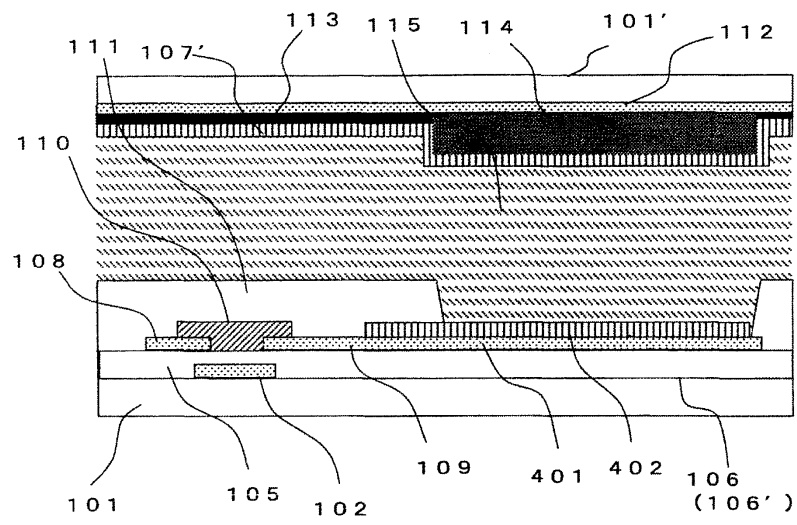
도면4



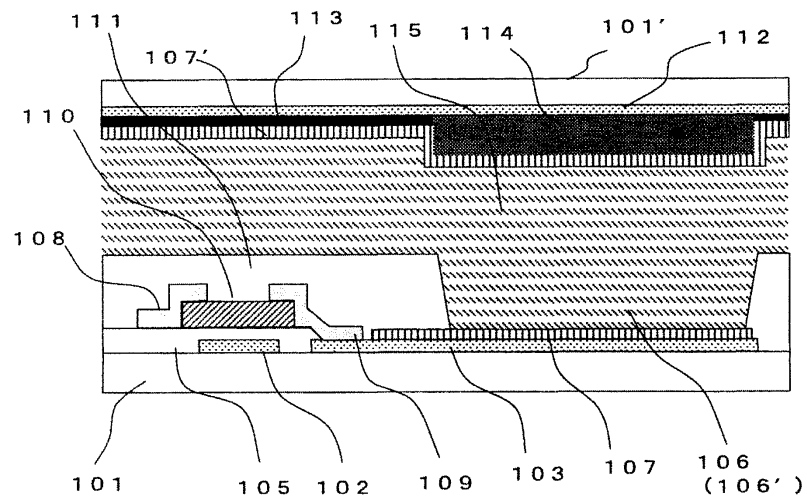
도면5



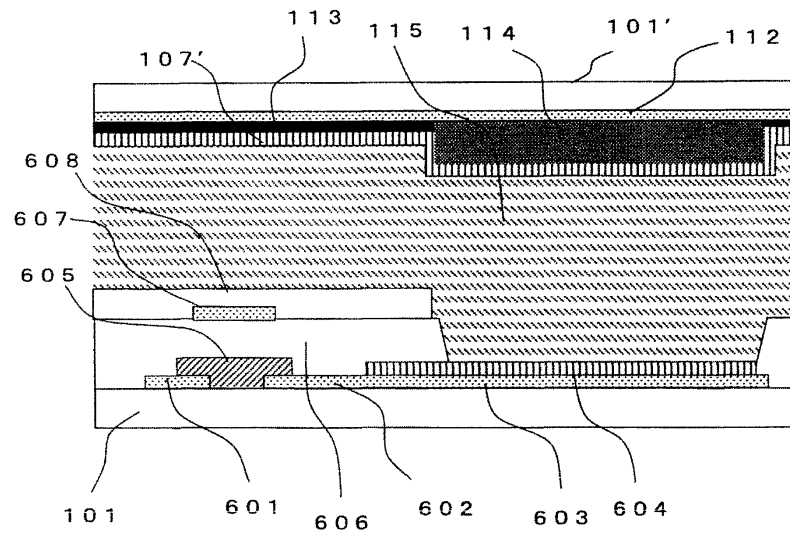
도면6



도면7



도면8



|                |                                                                                                              |         |            |
|----------------|--------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶显示器                                                                                                        |         |            |
| 公开(公告)号        | <a href="#">KR100839684B1</a>                                                                                | 公开(公告)日 | 2008-06-19 |
| 申请号            | KR1020060081089                                                                                              | 申请日     | 2006-08-25 |
| [标]申请(专利权)人(译) | 日立HITACHI SEISAKUSHODBA                                                                                      |         |            |
| 申请(专利权)人(译)    | 株式会社日立制作所                                                                                                    |         |            |
| 当前申请(专利权)人(译)  | 株式会社日立制作所                                                                                                    |         |            |
| [标]发明人         | KAWASAKI MASAHIRO<br>가와사끼마사히로<br>SHIBA TAKEO<br>시바다께오<br>IMAZEKI SHUJI<br>이마제끼슈우지<br>ANDO MASAHIKO<br>안도마사히코 |         |            |
| 发明人            | 가와사끼마사히로<br>시바다께오<br>이마제끼슈우지<br>안도마사히코                                                                       |         |            |
| IPC分类号         | G02F1/1337 G02F1/136                                                                                         |         |            |
| CPC分类号         | G02F1/133784 G02F1/133723 G02F2202/02 G02F1/1368                                                             |         |            |
| 代理人(译)         | CHANG, SOO KIL                                                                                               |         |            |
| 优先权            | 2005255805 2005-09-05 JP                                                                                     |         |            |
| 其他公开文献         | KR1020070026046A                                                                                             |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                    |         |            |

#### 摘要(译)

防止在形成取向膜时发生的有机半导体膜的劣化，并且以低成本提供使用高性能有机薄膜晶体管的液晶显示装置。一种薄膜晶体管，包括栅电极，栅极绝缘膜，源/漏电极和半导体层，具有布线和像素电极的薄膜晶体管基板，以及布置成将液晶层夹在其间的对置基板，在显示装置中，具有控制液晶层的分子取向功能的取向膜不介于半导体层和液晶层之间。

