



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년05월16일
(11) 등록번호 10-0829066
(24) 등록일자 2008년05월06일

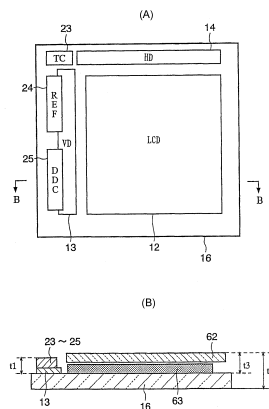
- | | |
|---|--|
| <p>(51) Int. Cl.
G02F 1/1345 (2006.01)</p> <p>(21) 출원번호 10-2002-7004833</p> <p>(22) 출원일자 2002년04월15일
심사청구일자 2006년08월07일
번역문제출일자 2002년04월15일</p> <p>(65) 공개번호 10-2002-0040879</p> <p>(43) 공개일자 2002년05월30일</p> <p>(86) 국제출원번호 PCT/JP2001/007204
국제출원일자 2001년08월23일</p> <p>(87) 국제공개번호 WO 2002/17007
국제공개일자 2002년02월28일</p> <p>(30) 우선권주장
JP-P-2000-00254335 2000년08월24일 일본(JP)</p> <p>(56) 선행기술조사문헌
US05453858 A1</p> <p>전체 청구항 수 : 총 20 항</p> | <p>(73) 특허권자
소니 가부시끼 가이샤
일본국 도쿄도 미나토쿠 코난 1-7-1</p> <p>(72) 발명자
이노마스미쓰
일본국도쿄도시나가와쿠키타시나가와6초메7반35고
소니가부시끼가이샤내</p> <p>(74) 대리인
김재만, 유미특허법인</p> |
|---|--|
- 심사관 : 안준형

(54) 액정 표시 장치 및 이것을 사용한 전자 장치

(57) 요약

본 발명은, 박형화, 소면적화, 프레임 에지의 축소화를 실현할 수 있는 액정 표시 장치 및 이것을 사용한 전자 장치를 제공한다. 그러므로, 본 발명의 액정 표시 장치는, 제1 기판(16)과, 제1 기판(16) 상에 형성되고, 행렬형으로 배치된 화소를 가지는 화소부(12)와, 제1 기판(16)에 대향하여 배치된 제2 기판(62)과, 제1 기판(16)과 제2 기판(62) 사이에 유지된 액정 조성물(63)과, 제1 기판(16) 상에 형성되고, 화소부(12)에 대하여 화소 신호를 기입하는 주변 회로를 가지고, 주변 회로 중 최소한 일부의 주변 회로(13)가 제1 기판(16) 상에 박막 트랜지스터로 형성되고, 주변 회로 중 나머지 부분의 주변 회로(23,24,25)가 반도체 칩으로 형성되어 있고, 반도체 칩의 최소한 일부가 박막 트랜지스터로 형성된 주변 회로의 영역과 겹치도록, 반도체 칩이 상기 제1 기판(16) 상에 배치되어 있다.

대표도 - 도3



(81) 지정국

국내특허 : 중국, 대한민국, 노르웨이, 미국

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일,
덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드,
이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투
갈, 스웨덴, 핀란드, 사이프러스, 터키

특허청구의 범위

청구항 1

제1 기관(16)과,
 상기 제1 기관(16) 상에 형성되고, 행렬형으로 배치된 화소를 가지는 화소부(12)와,
 상기 제1 기관(16)에 대향하여 배치된 제2 기관(62)과,
 상기 제1 기관(16)과 상기 제2 기관(62) 사이에 유지된 액정 조성물(63)과,
 상기 제1 기관(16) 상에 형성되고, 상기 화소부(12)에 대하여 화소 신호를 기입하는 주변 회로를 가지고,
 상기 주변 회로 중 최소한 일부의 주변 회로(13)가 상기 제1 기관(16) 상에 박막 트랜지스터로 형성되고,
 상기 주변 회로 중 나머지 부분의 주변 회로(23,24,25)가 반도체 칩으로 형성되어 있고,
 상기 반도체 칩의 최소한 일부가 상기 박막 트랜지스터로 형성된 상기 주변 회로의 영역과 겹치도록, 상기 반도체 칩이 상기 제1 기관(16) 상에 배치되어 있으며,
 상기 박막 트랜지스터와 반도체 칩으로 형성되는 상기 주변 회로의 전체 두께는 상기 제2 기관과 상기 액정 조성물의 전체 두께보다 작은, 액정 표시 장치.

청구항 2

제1항에 있어서,
 상기 박막 트랜지스터로 형성되는 상기 주변 회로는,
 상기 화소부의 각 화소를 행단위로 순차 선택하는 수직 드라이버(13)와,
 상기 수직 드라이버에 의해 행단위로 선택된 각 화소에 화소 신호를 기입하는 수평 드라이버(14)를 가지는, 액정 표시 장치.

청구항 3

제1항에 있어서,
 상기 박막 트랜지스터로 형성되는 상기 주변 회로는, 상기 화소부의 각 화소를 행단위로 순차 선택하는 수직 드라이버(13)를 가지고,
 상기 반도체 칩으로 형성되는 상기 주변 회로는, 상기 수직 드라이버에 의해 행단위로 선택된 각 화소에 화소 신호를 기입하는 수평 드라이버(74)를 가지는, 액정 표시 장치.

청구항 4

제2항 또는 제3항에 있어서,
 상기 반도체 칩으로 형성되는 상기 주변 회로는, 상기 수직 드라이버(13)에 의한 상기 화소의 선택 타이밍, 및 상기 수평 드라이버에 의한 상기 화소에의 화소 신호의 기입 타이밍을 제어하는 타이밍 컨트롤러(23)를 가지는, 액정 표시 장치.

청구항 5

제2항 또는 제3항에 있어서,
 상기 반도체 칩으로 형성되는 상기 주변 회로는, 상기 수평 드라이버로 기준 전압을 출력하는 기준 전압 발생부(24)를 가지는, 액정 표시 장치.

청구항 6

제2항 또는 제3항에 있어서,
 상기 반도체 칩으로 형성되는 상기 주변 회로는, 입력 전압보다 높은 전압을 2종류 이상 발생하고, 최소한 상기

수직 드라이버 및 상기 수평 드라이버에 전원을 부여하는 DC-DC 컨버터(25)를 가지는, 액정 표시 장치.

청구항 7

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 반도체 칩의 최소한 일부가, COG법에 의해 상기 박막 트랜지스터로 형성된 상기 주변 회로의 영역과 겹치도록, 상기 반도체 칩이 상기 제1 기판 상에 실장되어 있는, 액정 표시 장치.

청구항 8

제7항에 있어서,

상기 박막 트랜지스터로 형성된 상기 주변 회로의 주변 부분에, 상기 COG법에 의해 상기 반도체 칩을 접속하기 위한 접속부가 형성되어 있는, 액정 표시 장치.

청구항 9

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 주변 회로로서, 저속 구동하는 일부의 주변 회로를 상기 박막 트랜지스터로 형성하고, 상기 일부의 주변 회로보다 고속 구동하는 주변 회로를 상기 반도체 칩으로 형성하는, 액정 표시 장치.

청구항 10

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 반도체 칩의 두께가 상기 제1 기판 상의 상기 액정 조성물 및 상기 제2 기판의 두께를 합한 두께보다 작은, 액정 표시 장치.

청구항 11

원하는 표시를 행하는 표시부와, 조작부와, 상기 조작부에 의한 조작 내용에 따라 원하는 표시를 상기 표시부에 표시시키는 신호처리부를 가지는 전자 장치로서,

상기 표시부는,

제1 기판(16)과,

상기 제1 기판(16) 상에 형성되고, 행렬형으로 배치된 화소를 가지는 화소부(12)와,

상기 제1 기판(16)에 대향하여 배치된 제2 기판(62)과,

상기 제1 기판(16)과 상기 제2 기판(16) 사이에 유지된 액정 조성물(63)과,

상기 제1 기판(16) 상에 형성되고, 상기 화소부(12)에 대하여 화소 신호를 기입하는 주변 회로를 가지고,

상기 주변 회로 중 최소한 일부의 주변 회로(13)가 상기 제1 기판(16) 상에 박막 트랜지스터로 형성되고,

상기 주변 회로 중 나머지 부분의 주변 회로(23,24,25)가 반도체 칩으로 형성되어 있고,

상기 반도체 칩의 최소한 일부가 상기 박막 트랜지스터로 형성된 상기 주변 회로의 영역과 겹치도록, 상기 반도체 칩이 상기 제1 기판(16) 상에 배치되어 있으며,

상기 박막 트랜지스터와 반도체 칩으로 형성되는 상기 주변 회로의 전체 두께는 상기 제2 기판과 상기 액정 조성물의 전체 두께보다 작은, 전자 장치.

청구항 12

제11항에 있어서,

상기 박막 트랜지스터로 형성되는 상기 주변 회로는,

상기 화소부의 각 화소를 행단위로 순차 선택하는 수직 드라이버(13)와,

상기 수직 드라이버에 의해 행단위로 선택된 각 화소에 화소 신호를 기입하는 수평 드라이버(14)를 가지는, 전

자 장치.

청구항 13

제11항에 있어서,

상기 박막 트랜지스터로 형성되는 상기 주변 회로는, 상기 화소부의 각 화소를 행단위로 순차 선택하는 수직 드라이버(13)를 가지고,

상기 반도체 칩으로 형성되는 상기 주변 회로는, 상기 수직 드라이버에 의해 행단위로 선택된 각 화소에 화소 신호를 기입하는 수평 드라이버(74)를 가지는, 전자 장치.

청구항 14

제12항 또는 제13항에 있어서,

상기 반도체 칩으로 형성되는 상기 주변 회로는, 상기 수직 드라이버(13)에 의한 상기 화소의 선택 타이밍, 및 상기 수평 드라이버에 의한 상기 화소에의 화소 신호의 기입 타이밍을 제어하는 타이밍 컨트롤러(23)를 가지는, 전자 장치.

청구항 15

제12항 또는 제13항에 있어서,

상기 반도체 칩으로 형성되는 상기 주변 회로는, 상기 수평 드라이버로 기준 전압을 출력하는 기준 전압 발생부(24)를 가지는, 전자 장치.

청구항 16

제12항 또는 제13항에 있어서,

상기 반도체 칩으로 형성되는 상기 주변 회로는, 입력 전압보다 높은 전압을 2종류 이상 발생하고, 최소한 상기 수직 드라이버 및 상기 수평 드라이버에 전원을 부여하는 DC-DC 컨버터(25)를 가지는, 전자 장치.

청구항 17

제11항 내지 제13항 중 어느 한 항에 있어서,

상기 반도체 칩의 최소한 일부가, COG법에 의해 상기 박막 트랜지스터로 형성된 상기 주변 회로의 영역과 겹치도록, 상기 반도체 칩이 상기 제1 기판 상에 실장되어 있는, 전자 장치.

청구항 18

제17항에 있어서,

상기 박막 트랜지스터로 형성된 상기 주변 회로의 주변 부분에, 상기 COG법에 의해 상기 반도체 칩을 접속하기 위한 접속부가 형성되어 있는, 전자 장치.

청구항 19

제11항 내지 제13항 중 어느 한 항에 있어서,

상기 주변 회로로서, 저속 구동하는 일부의 주변 회로를 상기 박막 트랜지스터로 형성하고, 상기 일부의 주변 회로보다 고속 구동하는 주변 회로를 상기 반도체 칩으로 형성하는, 전자 장치.

청구항 20

제11항 내지 제13항 중 어느 한 항에 있어서,

상기 반도체 칩의 두께가 상기 제1 기판 상의 상기 액정 조성물 및 상기 제2 기판의 두께를 합한 두께보다 작은, 전자 장치.

명세서

기술분야

<1> 본 발명은, 액정 표시 장치 및 이것을 사용한 전자 장치에 관한 것이며, 특히 박형화, 소면적화, 프레임 에지의 축소화가 요구되는 휴대 가능한 전자 장치에 사용되는 액정 표시 장치 및 이것을 표시부로서 사용하는 전자 장치에 관한 것이다.

배경기술

- <2> 텔레비전 수상기, 컴퓨터 또는 휴대 단말기 등의 표시 장치로서, 근년, 박형이며 저소비 전력의 패널 디스플레이가 많이 사용되어 오고 있다.
- <3> 이 패널 디스플레이로서는, 유리 기판 등의 투명 절연 기판(패널) 상에, 스위칭 소자로서, 예를 들면 TFT(Thin Film Transistor; 박막 트랜지스터)를 사용한 화소를 행렬형으로 다수 배열하여, 액정 등의 전기 광학적 효과를 가지는 물질과 조합시킨 액티브 매트릭스형 표시 장치가 알려져 있다.
- <4> 이 액티브 매트릭스형 표시 장치로서, 일본국 특개평4(1992)-242724호 공보에서는, 화소부를 구동하기 위해 기판 상에 형성되는 주변 회로의 일부를, 화소에 접속된 액티브 소자와 동일한 상보형(相補型)의 TFT로 구성하고, 나머지 주변 회로를 반도체칩으로 구성된 액정 표시 장치를 제공하고 있다.
- <5> 도 1 (A)에 상기의 일본국 특개평 4(1992)-242724호 공보 등으로 대표되는 종래의 액정 표시 장치의 개략적인 구성도를, 도 1 (B)에 도 1 (A)에서의 A-A 선의 단면도를 나타낸다.
- <6> 도 1 (A) 및 (B)에 나타난 액정 표시 장치에서는, TFT에 의해 예를 들면 수평 드라이버(HD)(14), 수직 드라이버(VD)(13) 등의 일부의 주변 회로가 형성된 투명 절연 기판(16)과, 이것과 대향 배치된 투명 절연 기판(대향 기판)(62) 사이에 액정층(63)을 유지하여 이루어지는 액정 표시 장치에 있어서, 반도체칩으로 구성한, 예를 들면 타이밍 콘트롤러(TC)(23), 기준 전압 발생 회로(REF)(24), 및 DC-DC 컨버터(DCC)(25) 등의 나머지 주변 회로, 즉 IC칩(23~25)을 투명 절연 기판(16)에서의 주변 회로(13,14)가 형성되어 있는 면과는, 반대측의 면에 장착하고, 플렉시블 케이블(8)을 사용하여 주변 회로(13,14) 사이의 전기적 접속을 이루는 구성을 채용하고 있다.
- <7> 또는, 도 2에 도시한 바와 같이, TFT에 의해 예를 들면 수평 드라이버(HD)(14), 수직 드라이버(VD)(13) 등의 일부의 주변 회로가 형성된 투명 절연 기판(16)의 동일 면에, 나머지 반도체칩으로 구성했다, 예를 들면 타이밍 콘트롤러(TC)(23), 기준 전압 발생 회로(REF)(24), 및 DC-DC 컨버터(DCC)(25) 등의 주변 회로, 즉 IC 칩(23~25)을 장착, 주변 회로(13,14) 사이의 전기적 접속을 이루는 구성을 하고 있다.
- <8> 그러나, 도 1 (A) 및 (B)에 나타난 액정 표시 장치에서는, 도 1 (B)에 도시한 바와 같이, 최소한 IC 칩(23~25) 및 플렉시블 케이블(8)의 두께(ta)만큼, 예를 들면 1mm 정도만큼 액정 표시 장치 전체의 두께(tb)가 두껍게 되어 버린다.
- <9> 따라서, 상기 액정 표시 장치를 표시부로서 사용하는 기기의 두께도 두껍게 되어 버린다. 특히, 휴대 단말기, 예를 들면 휴대 전화기에서는, 장치 본체의 박형화가 진행되고 있어, 이 휴대 전화기의 표시부로서 사용되는 액정 표시 장치의 두께(tb)가 두꺼우면, 휴대 전화기 본체의 박형화가 방해가 된다.
- <10> 또, 도 2에 나타난 액정 표시 장치에서는, TFT에 의해 형성된 일부의 주변 회로(13,14)와, 나머지 IC칩(23~25)의 합산된 면적이, 주변부(프레임 에지)의 면적으로 되고, 컴팩트화가 손상된다고 하는 불이익이 있다. 또, 액정 표시 장치에 차지하는 유효 표시 면적(액정 표시부)의 비율이 작아진다고 하는 불이익도 있다.

발명의 상세한 설명

- <11> 본 발명의 목적은, 액정 표시 장치의 박형화, 소면적화, 프레임 에지의 축소화를 실현할 수 있는 액정 표시 장치를 제공하는데 있다.
- <12> 본 발명의 다른 목적은, 이와 같은 액정 표시 장치를 탑재함으로써, 전체로서, 박형화, 소면적화, 프레임 에지의 축소화를 실현할 수 있는 전자 장치를 제공하는데 있다.
- <13> 상기의 목적을 달성하기 위해, 본 발명의 액정 표시 장치는, 제1 기판과, 상기 제1 기판 상에 형성되고, 행렬형으로 배치된 화소를 가지는 화소부와, 상기 제1 기판에 대향하여 배치된 제2 기판과, 상기 제1 기판과 상기 제2 기판 사이에 유지된 액정 조성물과, 상기 제1 기판 상에 형성되고, 상기 화소부에 대하여 화소 신호를 기입하는 주변 회로를 가지고, 상기 주변 회로중 최소한 일부의 주변 회로가, 상기 제1 기판 상에 박막 트랜지스터로 형

성되고, 상기 주변 회로중 나머지 부분의 주변 회로가, 반도체칩으로 형성되어 있고, 상기 반도체칩의 최소한 일부가, 상기 박막 트랜지스터로 형성된 상기 주변 회로의 영역과 겹치도록, 상기 반도체칩이 상기 제1 기판 상에 배치되어 있다.

<14> 또한, 상기의 목적을 달성하기 위해, 본 발명의 전자 장치는, 원하는 표시를 행하는 표시부와, 조작부와, 상기 조작부에 의한 조작 내용에 따라서 원하는 표시를 상기 표시부에 표시시키는 신호처리부를 가지는 전자 장치로서, 상기 표시부는, 제1 기판과, 상기 제1 기판 상에 형성되고, 행렬형으로 배치된 화소를 가지는 화소부와, 상기 제1 기판에 대향하여 배치된 제2 기판과, 상기 제1 기판과 상기 제2 기판 사이에 유지된 액정 조성물과, 상기 제1 기판 상에 형성되고, 상기 화소부에 대하여 화소 신호를 기입하는 주변 회로를 가지고, 상기 주변 회로중 최소한 일부의 주변 회로가, 상기 제1 기판 상에 박막 트랜지스터로 형성되고, 상기 주변 회로중 나머지 부분의 주변 회로가, 반도체칩으로 형성되어 있고, 상기 반도체칩의 최소한 일부가, 상기 박막 트랜지스터로 형성된 상기 주변 회로의 영역과 겹치도록, 상기 반도체칩이 상기 제1 기판 상에 배치되어 있다.

실시예

<28> 본 발명의 바람직한 실시예를 첨부 도면을 참조하여 설명한다.

<29> 제1 실시예

<30> 본 실시예는, 아날로그 점순차 구동 방식의 액티브 매트릭스형 액정 표시 장치에 본 발명을 적용한 것이다.

<31> 도 3 (A)는 본 실시예의 액정 표시 장치의 각 회로부의 개략 배치도이며, 도 3 (B)는 도 3 (A)에서의 B-B 선의 단면도이다.

<32> 또, 도 4는, 본 실시예의 액정 표시 장치를 구성하는 각 회로부의 전기적 접속 관계를 나타낸 개략 구성도이다.

<33> 도 3 (A) 및 도 4에 도시한 바와 같이, 본 실시예에 따른 액티브 매트릭스형 액정 표시 장치로서는, 화소(11)가 행렬형으로 다수 배열되어 이루어지는 액정 표시부(12), 액정 표시부(12)의 각 화소(11)를 행단위로 순차 선택하는 수직 드라이버(VD)(13), 행단위로 선택된 각 화소(11)에 화소 신호를 기입하는 수평 드라이버(HD)(14) 및 상기 수직 및 수평 드라이버(13,14)를 컨트롤하는 제어부(15)가 투명 절연 기판(16) 상에 실장된 구성으로 되어 있다.

<34> 투명 절연 기판(16) 상에는, 액정 표시부(12)에 있어서, m 행분의 게이트 라인(수직 선택 라인)(17-1~17-m)과, n열분의 신호 라인(소스 라인)(18-1~18-n)이 매트릭스형으로 배선되는 동시에, 소정 간격을 가지고 대향 배치된 다른 쪽의 투명 절연 기판(62) 사이에 액정층(63)이 유지된 구조로 되어 있다. 그리고, 게이트 라인(17-1~17-m)과 신호 라인(18-1~18-n)과의 각 교차 부분에 화소(11)가 배치되어 있다.

<35> 화소(11)의 각각은, 게이트 전극이 게이트 라인(17-1~17-m)에 접속되고, 소스 전극이 신호 라인(18-1~18-n)에 접속된 스위칭 소자인 폴리실리콘 TFT(Thin Film Transistor; 박막 트랜지스터)(19)와, 이 TFT(19)의 드레인 전극에 화소 전극이 접속된 액정셀(액정 정전 용량)(20)과, TFT(19)의 드레인 전극에 한 쪽 전극이 접속된 보조 정전 용량(21)으로 구성되어 있다.

<36> 상기의 화소 구조에 있어서, 액정셀(20)의 대향 전극은, 보조 정전 용량(21)의 다른 쪽의 전극과 함께, 공통선(22)에 접속되어 있다.

<37> 공통선(22)에는, 소정의 직류 전압이 공통 전압(VCOM)으로서 부여된다.

<38> 액정 표시부(12)의 스위칭 소자로서의 트랜지스터, 및 수직 드라이버(VD)(13), 수평 드라이버(HD)(14) 등의 구동부를 구성하는 트랜지스터로서 사용되는 폴리실리콘 TFT에는, 게이트 전극이 게이트 절연막의 아래에 배치되는 보텀 게이트 구조의 것과, 게이트 전극이 게이트 절연막 상에 배치되는 톱게이트 구조의 것이 있다.

<39> 도 5 (A)에 보텀 게이트 구조의 폴리실리콘 TFT, 도 5 (B)에 톱게이트 구조의 폴리실리콘 TFT의 단면도를 나타낸다.

<40> 도 5 (A)에 나타난 보텀 게이트 구조의 TFT에서는, 투명 절연 기판(유리 기판)(16) 상에 게이트 전극(42)이 형성되고, 상기 게이트 전극(42) 상에 게이트 절연막(43)을 사이에 두고 폴리실리콘(Poly-Si)층(44)이 형성되고, 또한 상기 폴리실리콘층(44)을 피복하여 층간 절연막(45)이 형성되어 있다.

<41> 또, 게이트 전극(42)의 옆쪽의 게이트 절연막(43) 상에는, n⁺ 확산층으로 이루어지는 소스 영역(46) 및 드레인

영역(47)이 형성되고, 상기 소스·드레인 영역(46,47)에는 알루미늄 배선으로 이루어지는 소스 전극(48) 및 드레인 전극(49)이 각각 접속되어 있다.

- <42> 도 5 (B)에 나타난 톱게이트 구조의 TFT에서는, 투명 절연 기관(유리 기관)(16)상에 폴리실리콘층(52)이 형성되고, 상기 폴리실리콘층(52) 상에 게이트 절연막(53)을 사이에 두고 게이트 전극(54)이 형성되고, 또 게이트 전극(54)을 피복하여 층간 절연막(55)이 형성되어 있다.
- <43> 또, 폴리실리콘층(52)의 옆쪽의 투명 절연 기관 (16) 상에는, n⁺ 확산층으로 이루어지는 소스 영역(56) 및 드레인 영역(57)이 형성되고, 상기 소스·드레인 영역(56, 57)에는 알루미늄 배선으로 이루어지는 소스 전극(58) 및 드레인 전극(59)이 각각 접속되어 있다.
- <44> 제어부(15)에 있어서, 타이밍 컨트롤러(TC)(23)에는, 예를 들면, 도시하지 않은 외부의 전원부로부터 전원 전압(VDD)이, 도시하지 않은 외부의 CPU로부터 디지털 화상 데이터(data)가, 도시하지 않은 외부의 클럭 발생기로부터 클럭(CLK)이 각각 도시하지 않은 TCP(Tape Carrier Package)를 통해 입력된다.
- <45> 타이밍 컨트롤러(23)는, 타이밍 제어하면서, 수직 스타트 펄스(VST), 수직 클럭(VCK) 등의 클럭 신호 및 각종 컨트롤 신호를 수직 드라이버(VD)(13)에, 수평 스타트 펄스(HST), 수평 클럭(HCK) 등의 클럭 신호, 각종 컨트롤 신호 및 디지털 화상 데이터(data)를 수평 드라이버(HD)(14)에 각각 공급한다.
- <46> 기준 전압 발생 회로(REF)(24)는, 서로 전압치가 상이한 복수의 기준 전압을 발생하고, 이들 복수의 기준 전압을 수평 드라이버(HD)(14)의 후술하는 기준 전압 선택형 D/A 컨버터(37)에 대하여 그 기준 전압으로서 부여한다.
- <47> DC-DC 컨버터(DDC)(25)는, 낮은 전압의 직류 전압(저전압)을 2종류 이상 높은 직류 전압(고전압)으로 변환하여 수직 드라이버(VD)(13), 수평 드라이버(HD)(14), 기준 전압 발생 회로(24) 등의 각 회로부에 부여한다.
- <48> 본 실시예에서는, 고속 구동하는 회로 부분, 또는 특성 불균일이 작은 회로 부분으로서, 예를 들면, 상기 제어부(15)의 타이밍 컨트롤러(23), 기준 전압 발생 회로(24) 및 DC-DC 컨버터(25)가, 단결정 실리콘의 칩으로 형성(IC화)되어 있다.
- <49> 그리고, 이 실리콘 IC(23~25)는, 도 3 (B)에 도시한 바와 같이, 수직 드라이버(VD)(13) 상에, 예를 들면 COG(Chip on Glass)법에 의해 실장되어 있다.
- <50> 이 단결정 실리콘에 의해 형성된 실리콘 IC(23~25)는, 100MHz라도 구동하는 것이 가능하다.
- <51> 한편, 저속 구동으로 특성 불균일이 큰 회로 부분으로서, 예를 들면 수직 드라이버(VD)(13) 및 수평 드라이버(HD)(14)에 관해서는, 전술한 바와 같이 폴리실리콘 TFT를 사용하여 형성한다.
- <52> 수직 드라이버(VD)(13)는, 예를 들면 도 6에 도시한 바와 같이, 구동부 레지스터(31), 레벨 시프터(32) 및 게이트 버퍼(33)를 가지는 구성으로 되어 있다.
- <53> 구동부 레지스터(31)는, 수직 스타트 펄스(VST)가 입력되면, 상기 수직 스타트 펄스(VST)를 수직 클럭(VCK)에 동기하여, 순차 전송함으로써 각 전송단으로부터 시프트 펄스로서 순차 출력한다.
- <54> 레벨 시프터(32)는, 시프트 레지스터(31)의 각 전송단으로부터 출력되는 시프트 펄스를 승압하여 게이트 버퍼(33)에 공급한다.
- <55> 게이트 버퍼(33)는, 레벨 시프터(32)로 승압된 시프트 펄스를 수직 주사 펄스로서 액정 표시부(12)의 게이트 라인(17-1~17-m)에 순차 인가하여, 액정 표시부(12)의 각 화소(11)를 행단위로 선택 구동함으로써 수직 주사를 행한다.
- <56> 수평 드라이버(HD)(14)는, 예를 들면 도 7에 도시한 바와 같이, 시프트 레지스터(34), 레벨 시프터(35), 데이터 래치 회로(36), D/A 컨버터(37) 및 버퍼(38)를 가지는 구성으로 되어 있다.
- <57> 시프트 레지스터(34)는, 수평 스타트 펄스(HST)가 입력되면, 이 수평 스타트 펄스(HST)를 수평 클럭(HCK)에 동기하여 순차 전송함으로써, 각 전송단으로부터 시프트 펄스로서 순차 출력하고, 수평 주사를 행한다.
- <58> 레벨 시프터(35)는, 시프트 레지스터(34)의 각 전송단으로부터 출력되는 시프트 펄스를 승압하여, 데이터 래치 회로(36)에 공급한다.
- <59> 데이터 래치 회로(36)는, 레벨 시프터(35)를 통해 시프트 레지스터(34)로부터 부여되는 시프트 펄스에

응답하여, 입력되는 소정 비트의 디지털 화상 데이터 (data)를 순차 래치한다.

- <60> D/A 컨버터(37)는, 예를 들면 기준 전압 선택형의 구성을 취하여, 데이터 래치 회로(36)에 래치된 디지털 화상 데이터를 아날로그 화상 신호로 변환하고, 버퍼(38)를 통해 액정 표시부(12)의 신호 라인(18-1~18-n)에 부여한다.
- <61> 도 8 (A)에 실리콘 IC (23~25)으로 형성된 제어부(15)와, 폴리실리콘 TFT로 형성된 수직 드라이버(VD)(13)의 접속 방법의 설명도를 나타낸다. 또, 도 8 (B)에, 접속 부분에서의 단면도를 나타낸다.
- <62> 도 8 (A)에 도시한 바와 같이, 실리콘 IC(23~25)의 배치를 가능하게 하기 위해, 수직 드라이버(VD)(13)에는, 구동 회로 영역(13a)이 형성되어 있고, 상기 구동 회로 영역(13a)이 복수의 패드(13b)에 접속된 구성으로 되어 있다.
- <63> 한편, 실리콘 IC(23~25)측도, 도 8 (A)에 도시한 바와 같이, 실리콘 기판(250)상에 제어 회로 영역(251)이 형성되고, 상기 제어 회로 영역(251)이 복수의 도시하지 않은 패드를 사이에 두고 범프(252)에 전기적으로 접속된 구성으로 되어 있다. 또, 도 8 (A)에서, 제어 회로 영역(251) 및 범프(252)는, 지면상, 배면에 형성되어 있다.
- <64> 그리고, 도 8 (B)에 도시한 바와 같이, 상기 수직 드라이버(VD)(13)의 구동 회로 영역(13a)과 실리콘 IC(23~25) 측 제어 회로 영역(251)이 대향하도록 하여, 실리콘 IC(23~25)측 범프(252)를 도전입자재(66)를 사이에 두고, 수직 드라이버(VD)(13)측 패드(13b) 상에 실장함으로써, 제어 회로와 구동 회로와의 전기적 접속이 달성된다.
- <65> 또, 패드(13b)는, 투명 절연 기관 (16)상에 설치된 도시하지 않은 알루미늄 배선에 접속되어 있고, 상기 알루미늄 배선에 따라 도 4에 도시한 바와 같은 IC 칩 (23~25) 간의 전기적 접속, 및 IC 칩(23~25)과 수평·수직 드라이버(13,14)의 전기적 접속을 달성하고 있다.
- <66> 또, 도 8 (B)에는, 구동 회로 영역(13a)이, 상보형의 TFT에 의해 구성되어 있는 예를 나타냈다. 따라서, 한 쪽 TFT의 n⁺ 확산층으로 이루어지는 드레인 영역(47)과, 다른 쪽의 TFT의 p⁺ 확산층으로 이루어지는 소스 영역(드레인 영역)(46a)이, 예를 들면 알루미늄 배선(60)에 의해 전기적으로 접속되어 있다. 또, 상기 상보형의 TFT를 피복하여 패시베이션막(61)이 형성되어 있다.
- <67> 상기 구성의 액정 표시 장치의 동작에 대하여 설명한다.
- <68> 예를 들면, 외부의 CPU로부터 타이밍 콘트롤러(23)에 화상 데이터(data)가 입력되어, 화상 데이터(data)가 수평 드라이버(HD)(14)의 데이터 래치 회로(36)에 공급된다.
- <69> 또, 기준 전압 발생 회로(24)에 있어서, 수평 드라이버(HD)(14)의 D/A 컨버터(37)에서 사용되는 복수의 기준 전압이 발생되어, D/A 컨버터(37)의 도시하지 않은 기준 전압선에 공급된다.
- <70> 그리고, 수평 클록(HCK) 및 수평 스타트 펄스(HST)가 수평 드라이버(HD)(14)의 시프트 레지스터(34)에 입력된다.
- <71> 시프트 레지스터(34)에서는, 수평 스타트 펄스(HST)가 입력되면, 이 수평 스타트 펄스(HST)가 수평 클록(HCK)에 동기하여 순차 전송되고, 각 전송단으로부터 시프트 펄스로서 순차 레벨 시프터(35)에 출력된다.
- <72> 레벨 시프터(35)에 있어서, 시프트 레지스터의 각 전송단으로부터 출력되는 시프트 펄스가 승압되어, 데이터 래치 회로(36)에 공급된다.
- <73> 데이터 래치 회로(36)에서는, 레벨 시프터(35)를 통해 시프트 레지스터(34)로부터 부여되는 시프트 펄스에 응답하여, 타이밍 콘트롤러(23)로부터 입력되는 소정 비트의 디지털 화상 데이터(data)를 순차 래치한다.
- <74> 데이터 래치 회로(36)에 래치된 화상 데이터는, 기준 전압 선택형의 D/A 컨버터(37)에 공급된다.
- <75> D/A 컨버터(37)에서는 대응하는 기준 전압이 선택되어, 디지털 화상 데이터가 아날로그 화상 신호로 변환되고, 버퍼(38)를 통해 액정 표시부(12)의 신호 라인(18-1~18-n)에, 아날로그 신호로서 공급된다.
- <76> 또, 수직 드라이버(VD)(13)에 있어서, 수직 스타트 펄스(VST)가 시프트 레지스터(31)에 입력되면, 이 수직 스타트 펄스(VST)가 수직 클록(VCK)에 동기하여 순차 전송되어, 각 전송단으로부터 시프트 펄스로서 순차 레벨 시프터(32)에 출력된다.
- <77> 다음에, 레벨 시프터(32)에 있어서, 시프트 레지스터(31)의 각 전송단으로부터 출력되는 시프트 펄스가 승압되

어, 게이트 버퍼(33)에 공급된다.

- <78> 그리고, 게이트 버퍼(33)에 있어서, 레벨 시프터(32)로 승압된 시프트 펄스 가 수직 주사 펄스로서, 게이트 라인(17-1~17-m)에 순차 인가되고, 액정 표시부(12)의 각 화소(11)가 행단위로 선택 구동된다.
- <79> 이에 따라, 화상 데이터가 n개의 화소에 대하여 병렬로 기입되게 된다
- <80> 본 실시예에 따른 액정 표시 장치에 의하면, 저속 구동으로 특성 불균일이 큰 회로 부분으로서, 예를 들면 수직 드라이버(VD)(13) 및 수평 드라이버(HD)(14)에 관해 폴리실리콘 TFT를 사용하여 형성하는 한편, 고속 구동하는 회로 부분, 또는 특성 불균일이 작은 회로 부분으로서, 예를 들면 제어부(15)의 타이밍 콘트롤러(23), 기준 전압 발생 회로(24), 및 DC-DC 컨버터(25)에 관해는 단결정 실리콘으로 IC 화하고, 상기 IC화한 각 회로 부분을 수직 드라이버(VD)(13) 등의 구동 회로 부분상에 예를 들면 COG 법에 따라 실장함으로써, 액정 표시 장치의 프레임 에지 부분의 축소화를 도모할 수 있다.
- <81> 또, 도 3 (B)에 도시한 바와 같이, 수직 드라이버(VD)(13)와 IC 칩(23~25)을 합친 두께(t1)가 대향 측 투명 절연 기관(62) 및 액정층(63)을 합친 두께(t3) 이하로 되도록 함으로써, 액정 표시 장치 전체의 두께(t2)가 IC 칩(23~25)의 두께에 의존하는 일이 없기 때문에, 액정 표시 장치의 박형화를 도모할 수 있다.
- <82> 즉, 투명 절연 기관(16), 투명 절연 기관(62) 및 액정층(63)의 토털의 두께 (t2)가 액정 표시 장치 자체의 두께로 된다.
- <83> 또한, 주변 회로를 IC화하고, 이 IC 칩을 투명 절연 기관(16) 상에 실장함으로써, 투명 절연 기관(16)상에서의 외부 회로와의 전기적으로 접속하는 개소를 적게 할 수 있기 때문에, 액정 표시 장치의 기계 진동 등에 대한 신뢰성을 향상시킬수 있는 동시에, 제조 공정에서의 전기적인 접속 불량 발생을 억제할 수 있다.
- <84> 또, IC 칩(23~25)을 투명 절연 기관(16) 상에 실장한 경우, IC 칩 자체에 관해는, IC 제작시에 보호층이 실리콘 IC로 형성되기 때문에, 신뢰성의 면에서 문제로 되는 것은 없다.
- <85> 제2 실시예
- <86> 본 실시예는, 시분할 구동 방식(셀렉터 방식)의 액티브 매트릭스형 액정 표시 장치에 본 발명을 적용한 것이다.
- <87> 도 9는, 본 발명이 적용된 시분할 구동 방식의 액티브 매트릭스형 액정 표시 장치의 각 회로부의 개략 배치도이다.
- <88> 도 10은, 도 9에 나타난 액정 표시 장치의 각 회로부의 전기적 접속 관계를 나타낸 개략 구성도이다.
- <89> 도 9 및 도 10에 있어서, 본 실시예에 따른 액정 표시 장치는, 화소(11)가 행렬형으로 다수 배열되어 이루어지는 액정 표시부(12), 액정 표시부(12)의 각 화소(11)를 행단위로 순차 선택하는 수직 드라이버(VD)(13), 행단위로 선택된 각 화소(11)에 화소 신호를 기입하는 수평 드라이버(HD)(74), 시분할 구동을 위한 시분할 스위치부(SW)(75), 수직 및 수평 드라이버(13,74)나 시분할 스위치부(SW)(75)를 컨트롤하는 제어부(15)가 투명 절연 기관(16) 상에 실장된 구성으로 되어 있다.
- <90> 화소(11)의 각각은, 게이트 전극이 게이트 라인(17-1~17-m)에 접속되고, 소스 전극이 신호 라인(18-1~18-n)에 접속된 폴리실리콘 TFT(19)과, 상기 TFT(19)의 드레인 전극에 화소 전극이 접속된 액정셀(20)과, TFT(19)의 드레인 전극에 한 쪽 전극이 접속된 보조 정전 용량(21)으로 구성되어 있다.
- <91> 상기 구성의 화소(11)의 각각에 있어서, 액정셀(20)의 대향 전극은, 보조 정전 용량(21)의 다른 쪽의 전극과 함께 공통선(22)에 접속되어 있다. 공통선(22)에는, 소정의 직류 전압이 공통 전압(VCOM)으로서 부여된다.
- <92> 수직 드라이버(VD)(13), 수평 드라이버(HD)(74) 및 시분할 스위치부(SW)(75)를 제어하는 제어부(15)는, 타이밍 콘트롤러(TC)(23), 기준 전압 발생 회로(REF)(24), DC-DC 컨버터(DCC)(25) 등을 가진다.
- <93> 타이밍 콘트롤러(23)에는, 예를 들면, 도시하지 않은 외부의 전원부로부터 전원 전압(VDD)이, 도시하지 않은 외부의 CPU로부터 디지털 화상 데이터(data)가, 도시하지 않은 외부의 클럭 발생기로부터 클럭(CLK)이 각각 도시하지 않은 TCP를 통해 입력된다.
- <94> 타이밍 콘트롤러(23)는, 타이밍 제어하면서, 수직 스타트 펄스(VST), 수직 클럭(VCK) 등의 클럭 신호 및 각종 컨트롤 신호를 수직 드라이버(VD)에, 수평 스타트 펄스(HST), 수평 클럭(HCK) 등의 클럭 신호, 각종 컨트롤 신호 및 디지털 화상 데이터(data)를 수평 드라이버(HD)(74)에, 게이트 선택 신호(S1~S3, XS1~XS3)를 시분할 스

위치부(SW)(75)에 각각 공급한다.

- <95> 기준 전압 발생 회로(24)는, 서로 전압치가 상이한 복수의 기준 전압을 발생하고, 이들 복수의 기준 전압을 수평 드라이버(HD)(74)의 후술하는 기준 전압 선택형 D/A 컨버터(8)에 대하여 그 기준 전압으로서 부여한다.
- <96> DC-DC 컨버터(25)는, 낮은 전압의 직류 전압(저전압)을 2종류 이상 높은 직류 전압(고전압)으로 변환하여 수직 드라이버(VD)(13), 수평 드라이버(HD)(74), 기준 전압 발생 회로(24) 등의 각 회로부에 부여한다.
- <97> 상기 구성의 시분할 구동 방식의 액티브 매트릭스형 액정 표시 장치에 있어서, 수직 드라이버(VD)(13)를 구성하는 트랜지스터, 시분할 스위치부(SW)(75)를 구성하는 각 아날로그 스위치는, TFT, 특히 액정 표시부(12)의 스위칭 소자인 트랜지스터(19)와 동일 폴리실리콘 TFT에 의해, 액정 표시부(12)와 동일한 투명 절연 기판(16) 상에 형성되어 있다.
- <98> 한편, 수평 드라이버(HD)(74), 제어부(15)의 타이밍 콘트롤러(23), 기준 전압 발생 회로(24), DC-DC 컨버터(25)는, 단결정 실리콘에 의해 IC화 되어 있다.
- <99> 그리고, 상기 실리콘 IC로 형성된 수평 드라이버(HD)(74)는 시분할 선택 스위치부(75) 상에, 실리콘 IC로 형성된 기준 전압 발생 회로(24), 및 DC-DC 컨버터(25)는, 수직 드라이버(VD)(13) 상에, 예를 들면 COG 법에 의해 실장되어 있다.
- <100> 여기서, 시분할 구동법에 대해, 본 실시예의 액정 표시의 동작과 함께 설명한다.
- <101> 시분할 구동법이란, 액정 표시부(12)의 서로 인접하는 복수 개의 신호 라인을 1단위(블록)으로서 분할하고, 이 1분할 블록내의 복수 개의 신호 라인에 부여하는 신호 전압을 시계열로 수평 드라이버(HD)(74)의 각 출력 단자로부터 출력하는 한편, 복수 개의 신호 라인을 1단위로서 시분할 스위치부(SW)(75)를 설치하고, 이 때 분할 스위치부(SW)(75)에 의해 수평 드라이버(HD)(74)로부터 출력되는 시계열의 신호 전압을 시분할로 샘플링하여 복수 개의 신호 라인에 순차 부여하는 구동 방법이다.
- <102> 이 때 분할 구동법을 실현하기 위해, 수평 드라이버(HD)(74)는, 복수 개의 신호 라인을 1단위로 하고, 이들 복수 개의 신호 라인에 부여하는 신호 전압을 시계열로 출력하는 구성으로 되어 있다.
- <103> 도 11에, 상기의 수평 드라이버(74)의 구성예를 나타낸다.
- <104> 도 11에 나타난 수평 드라이버(HD)(74)는, 시프트 레지스터(84), 샘플링 스위치군(85), 레벨 시프터(86), 데이터 래치 회로(87) 및 D/A 컨버터(88)를 가지고, 본 실시예에서는, 예를 들면 5비트의 디지털 화상 데이터(data1~data5)나 전원 전압(Vdd, Vss)를 시프트 레지스터(84)의 시프트 방향에서의 양측으로부터 받아들이는 구성으로 되어 있다.
- <105> 상기 구성의 수평 드라이버(HD)(74)에 있어서, 시프트 레지스터(84)는, 수평 스타트 펄스(HST)가 입력되면, 이 수평 스타트 펄스(HST)를 수평 클럭(HCK)에 동기하여 순차 전송함으로써 각 전송단으로부터 시프트 펄스로서 순차 출력하고, 수평 주사를 행한다.
- <106> 샘플링 스위치군(85)에서의 샘플링 스위치의 각각은, 시프트 레지스터(84)로부터 순차 출력되는 시프트 펄스(샘플링 펄스)에 응답하여, 입력되는 디지털 화상 데이터(data1~data5)를 순차 샘플링한다.
- <107> 레벨 시프터(86)는, 샘플링 스위치군(85)으로 샘플링된 예를 들면 5V의 디지털 데이터를 액정 구동 전압의 디지털 데이터로 승압한다.
- <108> 데이터 래치 회로(87)는, 레벨 시프터(86)로 승압된 디지털 데이터를 1H분 축적하는 메모리이다.
- <109> D/A 컨버터(88)는, 예를 들면 기준 전압 선택형의 구성을 취하고, 데이터 래치 회로(87)로부터 출력되는 1H분의 디지털 화상 데이터를 아날로그 화상 신호로 변환하여 출력한다.
- <110> 그리고, 수평 드라이버(HD)(74)로서, 이른바 컬럼 반전 구동 방식의 것을 사용한다.
- <111> 상기 수평 드라이버(HD)(74)는, 컬럼 반전 구동을 실현하기 위해, 각 출력 단자의 홀수, 짝수마다 전위가 반전하는 신호 전압을 출력하고, 또한 그 신호 전압의 극성을 1필드마다 반전한다. 여기서, 컬럼 반전 구동 방식이란, 수평 방향으로 인접하는 화소 사이에서는 이 동극성으로 되고, 또한 이 화소 극성의 상태를 1필드마다 반전시키는 구동 방식이다.
- <112> 한편, 시분할 스위치부(SW)(75)는, 수평 드라이버(HD)(74)로부터 출력되는 시계열의 신호 전압을 시분할로 샘플

링하는 아날로그 스위치(트랜스미션 스위치)에 의해 구성되어 있다.

- <113> 도 12에, 시분할 스위치부(SW)(75)의 일 구성예를 나타낸다.
- <114> 도 12에 나타낸 시분할 스위치부(SW)(75)는, 수평 드라이버(HD)(74)의 각 출력에 대하여 1개씩 설치되는 것이다. 또, 여기서는, R(적), G(녹), B(청)에 대응하여 3 시분할 구동을 행하는 경우를 예로 들어 나타내고 있다.
- <115> 이 때 분할 스위치부(SW)(75)는, p 채널 MOS 트랜지스터 및 n 채널 MOS 트랜지스터가 병렬로 접속되어 이루어지는 CMOS 구성의 아날로그 스위치(75-1,75-2,75-3)에 의해 구성되어 있다.
- <116> 또, 본 실시예에서는, 아날로그 스위치(75-1,75-2,75-3)로서, CMOS 구성의 것을 사용하는 것으로 했지만, p 채널 MOS 트랜지스터 또는 n 채널 MOS 트랜지스터구성의 것을 사용하는 것도 가능하다.
- <117> 상기의 시분할 스위치부(SW)(75)에 있어서, 3개의 아날로그 스위치(75-1,75-2,75-3)의 각 입력단이 공통으로 접속되어, 각 출력단이 3개의 신호 라인(18-1,18-2,18-3)의 각 일단에 각각 접속되어 있다.
- <118> 그리고, 이들 아날로그 스위치(75-1,75-2,75-3)의 각 입력단에는, 수평 드라이버(HD)(74)로부터 시계열로 출력되는 신호 전위가 부여된다.
- <119> 또, 1개의 아날로그 스위치에 관하여 2개씩, 합계 6개의 제어 라인(89-1~89-6)이 배선되어 있다. 그리고, 아날로그 스위치(75-1)의 2개의 제어 입력단, 즉, CMOS 트랜지스터의 각 게이트가 제어 라인(89-1,89-2)에, 아날로그 스위치(75-2)의 2개의 제어 입력단이 제어 라인(89-3,89-4)에, 아날로그 스위치(75-3)의 2개의 제어 입력단이 제어 라인(89-5,89-6)에 각각 접속되어 있다.
- <120> 6개의 제어 라인(89-1~89-6)에 대하여, 3개의 아날로그 스위치(75-1,75-2,75-3)를 순차로 선택하기 위한 게이트 선택 신호(S1~S3,XS1~XS3)가 타이밍 컨트롤러(TC)(23)(도 10 참조)부터 부여된다. 여기서, 게이트 선택 신호(XS1~XS3)는, 게이트 선택 신호(S1~S3)의 반전 신호이다.
- <121> 게이트 선택 신호(S1~S3,XS1~XS3)는, 수평 드라이버(HD)(74)로부터 출력되는 시계열의 신호 전위에 동기하여, 3개의 아날로그 스위치(75-1,75-2,75-3)를 순차 온시킨다.
- <122> 이에 따라, 아날로그 스위치(75-1,75-2,75-3)는, 수평 드라이버(HD)(74)로부터 출력되는 시계열의 신호 전위를, 1H 기간에 3 시분할로 샘플링하면서, 대응하는 신호 라인(18-1,18-2,18-3)에 각각 공급한다.
- <123> 본 실시예에 따른 액정 표시 장치에서는, 저속 구동으로 특성 불균일이 큰 회로 부분으로서, 예를 들면 수직 드라이버(VD)(13) 및 시분할 스위치부(SW)(75)에 관해 폴리실리콘 TFT를 사용하여 형성하는 한편, 고속 구동하는 회로 부분, 또는 특성 불균일이 작은 회로 부분으로서, 예를 들면 수평 드라이버(HD)(74)나, 제어부(15)의 타이밍 컨트롤러(23), 기준 전압 발생 회로(24), 및 DC-DC 컨버터(25)에 관해는 단결정 실리콘으로 IC화하고, 상기 IC화한 각 회로 부분을 수직 드라이버(VD)(13)나 시분할 스위치부(SW)(75) 상에 예를 들면 COG 법에 따라 실장함으로써, 제1 실시예와 동일한 효과를 얻을 수 있다.
- <124> 제3 실시예
- <125> 상기의 제1 및 제2 실시예에 따른 액정 표시 장치는, 퍼스널 컴퓨터, 워드 프로세서 등의 OA 기기나 텔레비전 수상기 등의 디스플레이로서 사용되는 이외에, 특히, 장치 본체의 박형화가 진행되고 있는 휴대 전화기나 PDA(Personal Digital Asistants) 등의 휴대 가능한 전자 장치의 표시부로서 사용하는 데 바람직한 것이다.
- <126> 도 13은, 제1 및 제2 실시예에 따른 액정 표시 장치가 탑재되는 전자 장치, 예를 들면 PDA의 구성의 개략을 나타낸 사시도이다.
- <127> 본 예에 따른 PDA는, 장치 케이스체(91)의 전면측에, 표시부(92), 스피커부(93), 조작부(94) 및 전원부(95) 등이 배치된 구성으로 되어 있다.
- <128> 또, 도 13에 나타낸 PDA에서는, 예를 들면, 표시부(92) 상으로부터, 펜(96) 등에 의해 입력가능하게 되어 있다.
- <129> 도시는 하지 않지만, 장치 케이스체(91)의 내부에는, 조작부(94) 및 펜(96) 등에 의한 조작 내용이나 입력 내용에 따라서, 원하는 신호 처리를 행하고 표시부(92)에 원하는 표시를 행하게 하는 신호 처리부가 탑재되어 있다.
- <130> 이러한 구성의 PDA의 표시부(92)에 있어서, 제1 실시예 또는 제2 실시예에 따른 액정 표시 장치가 사용된다.
- <131> 이와 같이, PDA나 휴대 전화기 등의 전자 장치에 있어서, 본 발명에 따른 액정 표시 장치를 표시부(92)로서 사용함으로써, 상기 액정 표시 장치는, 박형화 및 프레임 에지의 축소화를 달성할 수 있는 구성으로

되어있으므로, 특히 형태 가능한 휴대 단말기 등의 전자 장치의 장치 본체의 박형화, 프레임 에지의 축소화에 크게 기여할 수 있는 이점이 있다.

- <132> 본 발명은, 상기의 실시예의 설명에 한정되지 않는다.
- <133> 예를 들면, 본 실시예에서는, CPU, 화상 데이터를 격납하는 메모리 또는 클록 발생기를 액정 표시부의 외부에 설치하는 것으로 했지만, 그들의 최소한 하나를 제어부의 일부로서 액정 표시부 상에 실장하는 것도 가능하다.
- <134> 또, 본 실시예에서는, 수직 드라이버 상에 IC화된 제어부를 COG 법에 의해 실장하는 예를 나타냈지만, 이것에 한정되는 것이 아니라, 예를 들면, TAB(Tape Automated bonding)법 등에 의해 실장하는 것도, 또 수평 드라이버 상에 실장하는 것도 가능하다.
- <135> 그 외에, 본 발명의 요지를 일탈하지 않는 범위에서, 여러 가지 변경이 가능하다.

산업상 이용 가능성

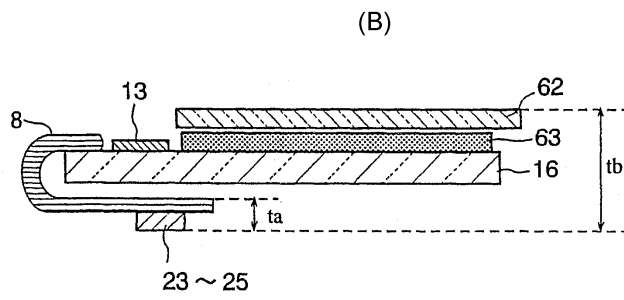
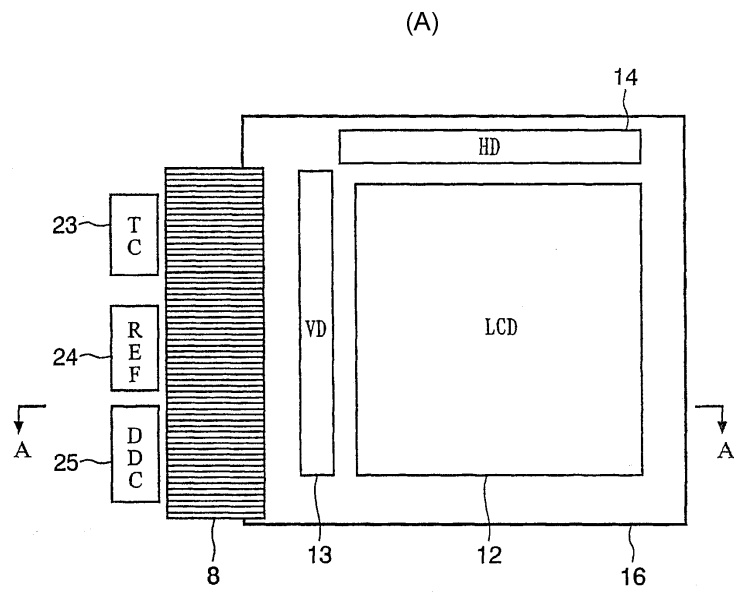
- <136> 본 발명은, 액정 패널 등의 표시 장치나, 상기 액정 패널을 구비한 전자 장치에 적용할 수 있고, 이에 따라, 표시 장치의 박형화, 소면적화, 프레임 에지의 축소화를 실현할 수 있고, 나아가서는 이것을 표시부로서 사용하는 전자 장치의 박형화, 소면적화, 프레임 에지의 축소화를 실현할 수 있다.

도면의 간단한 설명

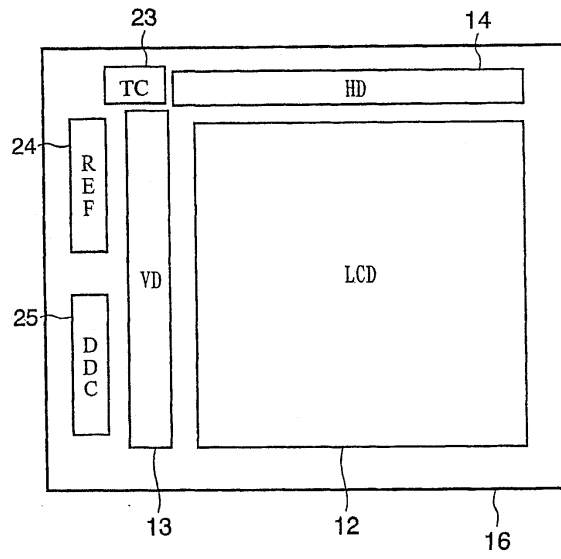
- <15> 도 1 (A)는, 종래에 1의 액정 표시 장치의 개략적인 구성도, 도 1 (B)는 도 1 (A)에서의 A-A 선의 단면도를 나타낸 것이다.
- <16> 도 2는, 종래에 2의 액정 표시 장치의 개략적인 구성도를 나타낸 것이다.
- <17> 도 3 (A)는 제1 실시예의 액정 표시 장치의 각 회로부의 개략 배치도이며, 도 3 (B)는 도 3 (A)에서의 B-B 선의 단면도이다.
- <18> 도 4는, 제1 실시예의 액정 표시 장치를 구성하는 각 회로부의 전기적 접속관계를 나타낸 개략 구성도이다.
- <19> 도 5 (A)는, 보텀 게이트 구조의 폴리실리콘 TFT의 단면도, 도 5 (B)는 톱게이트 구조의 폴리실리콘 TFT의 단면도를 나타낸 것이다.
- <20> 도 6은, 아날로그 점순차 구동 방식의 액티브 매트릭스형 액정 표시 장치에서의 수직 드라이버의 구성의 일례를 나타낸 블럭도이다.
- <21> 도 7은, 아날로그 점순차 구동 방식의 액티브 매트릭스형 액정 표시 장치에서의 수평 드라이버의 구성의 일례를 나타낸 블럭도이다.
- <22> 도 8 (A)는, 실리콘 IC로 형성된 제어부와, 폴리실리콘 TFT에서 형성된 수직 드라이버의 접속 방법을 설명하기 위한 도면이고, 도 8 (B)는, 접속 부분에 있어서의 단면도이다.
- <23> 도 9는, 제2 실시예에서의 액정 표시 장치의 각 회로부의 개략 배치도이다.
- <24> 도 10은, 도 9에 나타낸 액정 표시 장치의 각 회로부의 전기적 접속 관계를 나타낸 개략적인 구성도이다.
- <25> 도 11은, 제2 실시예의 시분할 구동 방식의 액티브 매트릭스형 액정 표시 장치에서의 수평 드라이버의 구성의 일례를 나타낸 블럭도이다.
- <26> 도 12는, 시분할 스위치부의 구성의 일례를 나타낸 회로도이다.
- <27> 도 13은, 본 발명이 적용되는 전자 장치로서, 예를 들면 PDA의 구성의 개략을 나타낸 사시도이다.

도면

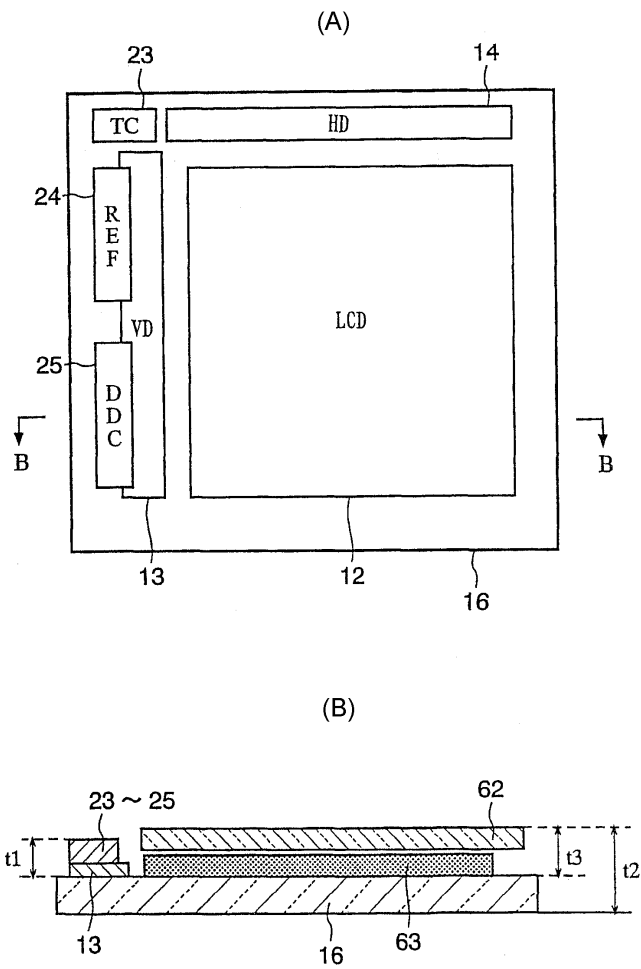
도면1



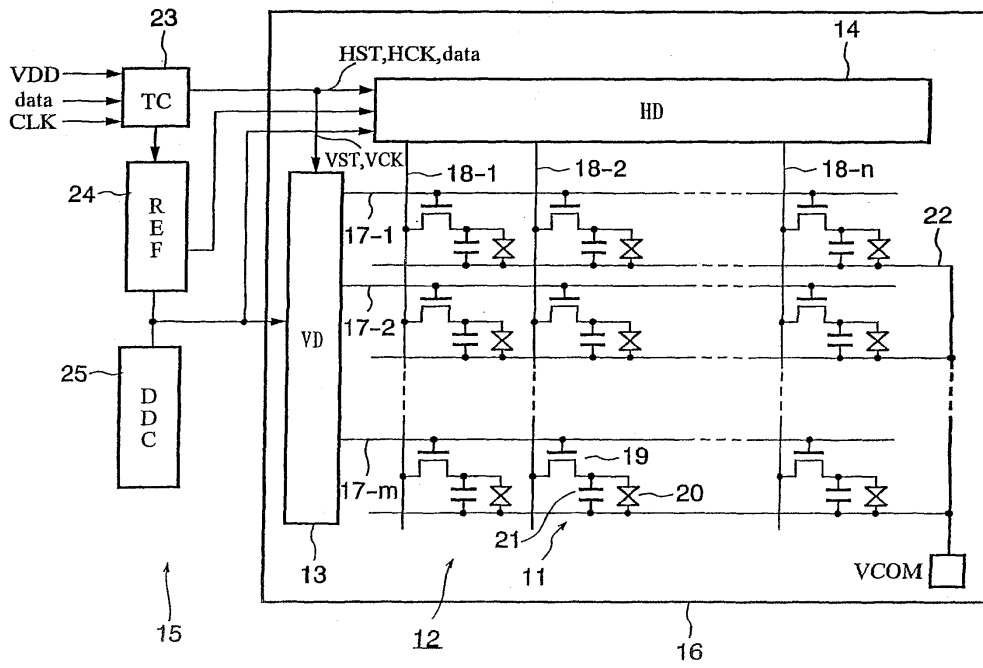
도면2



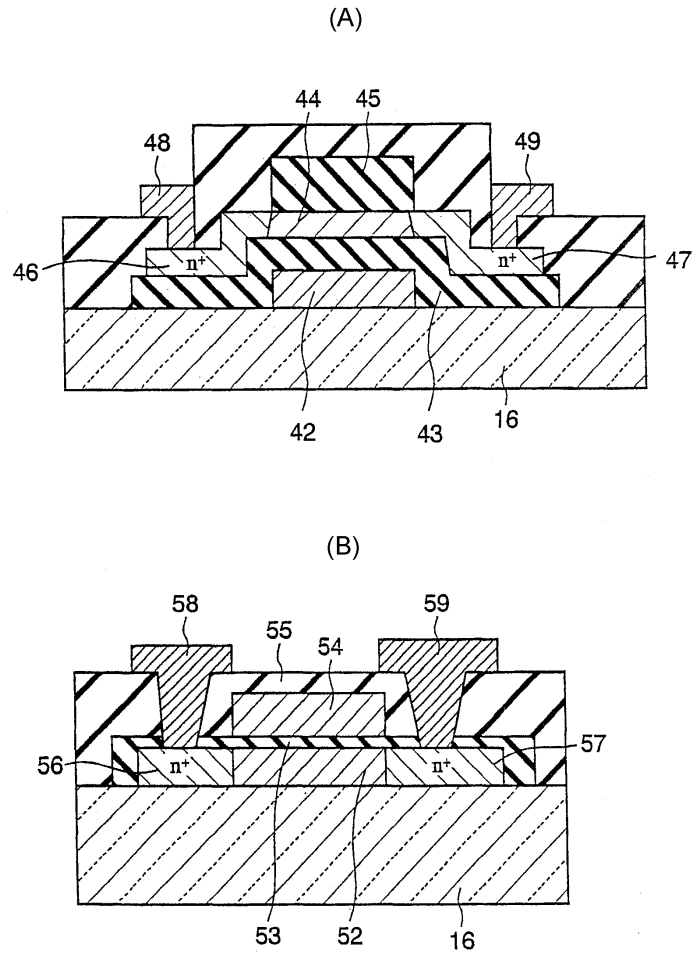
도면3



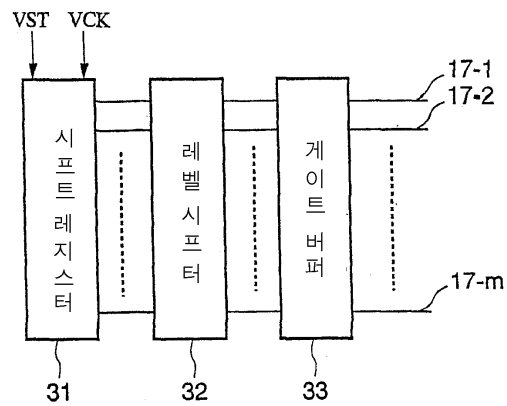
도면4



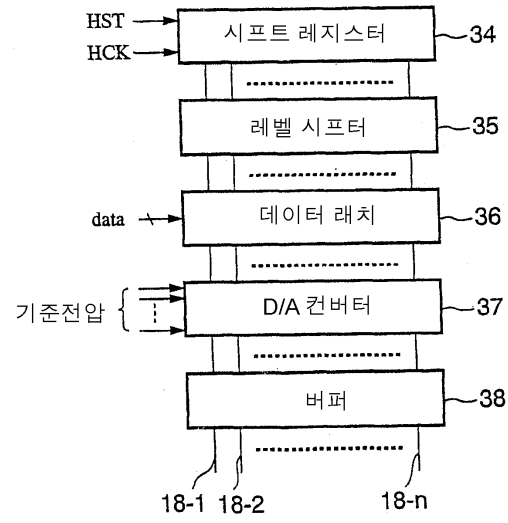
도면5



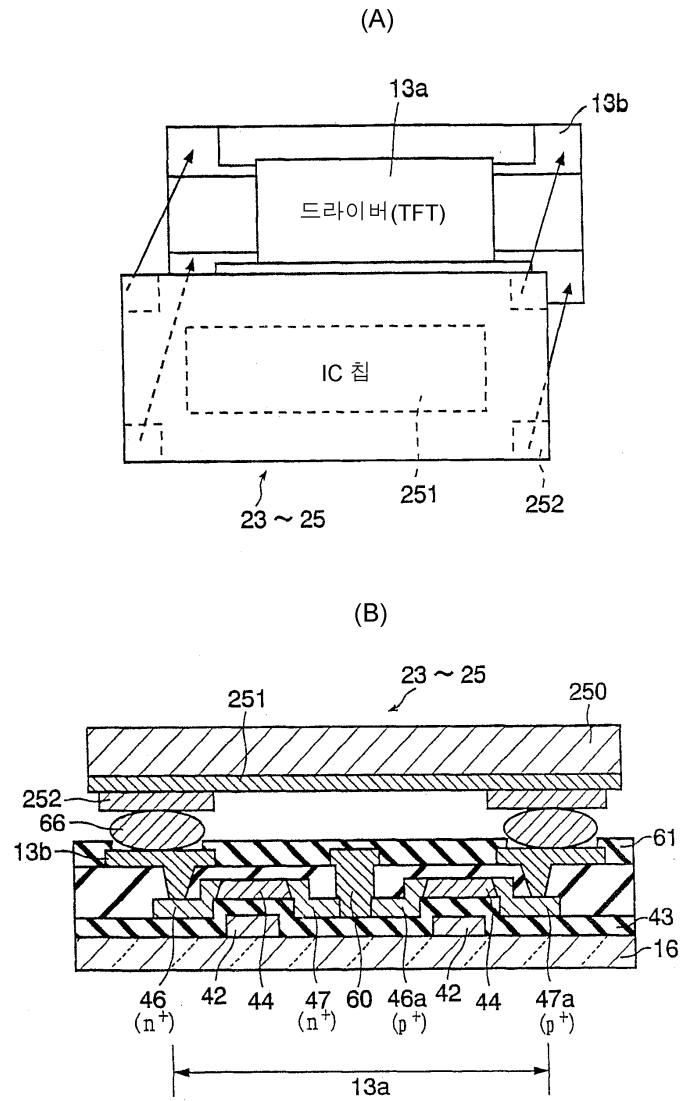
도면6



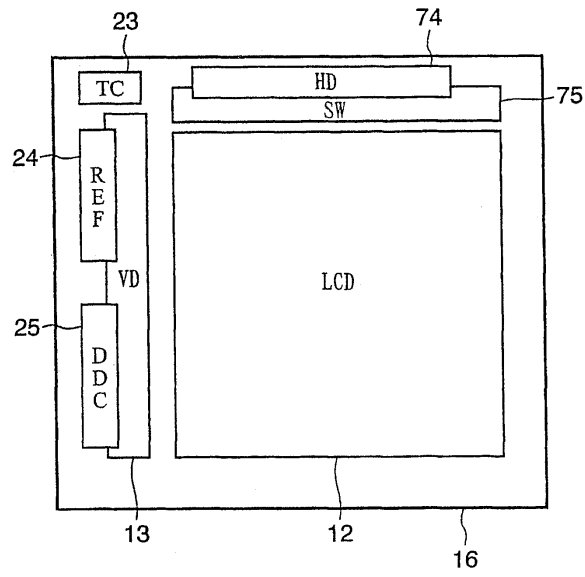
도면7



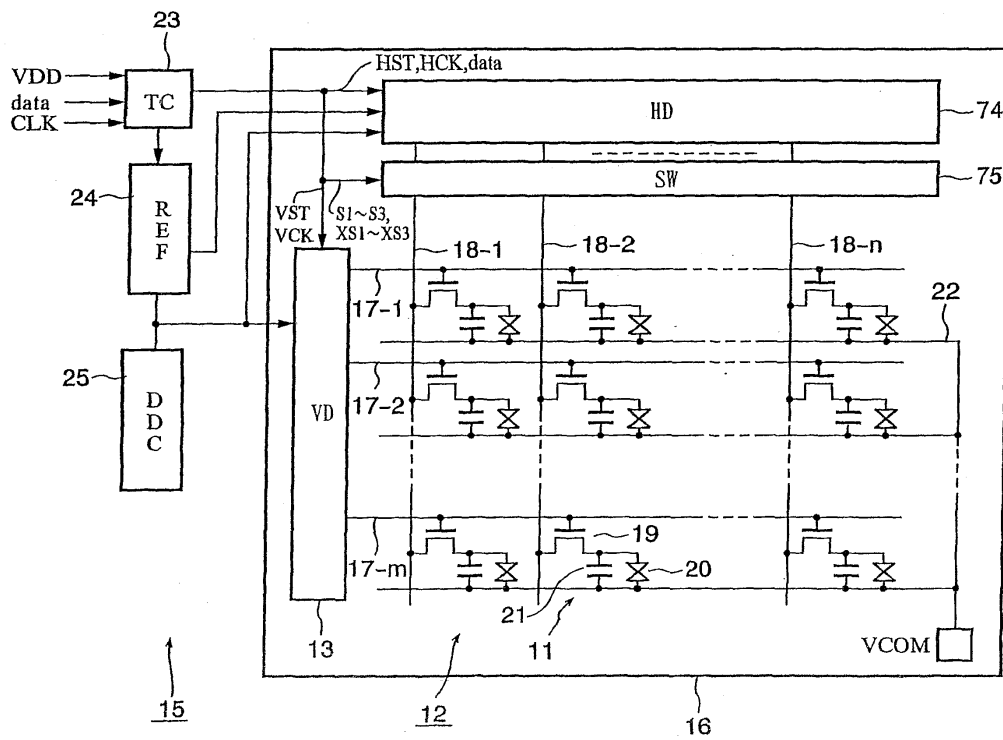
도면8



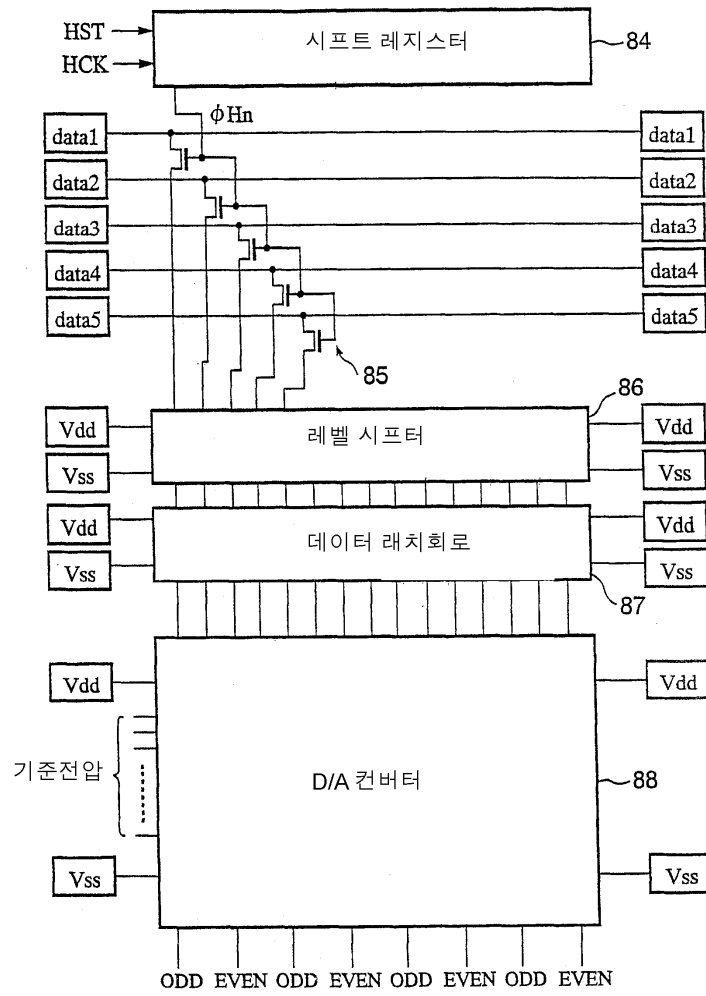
도면9



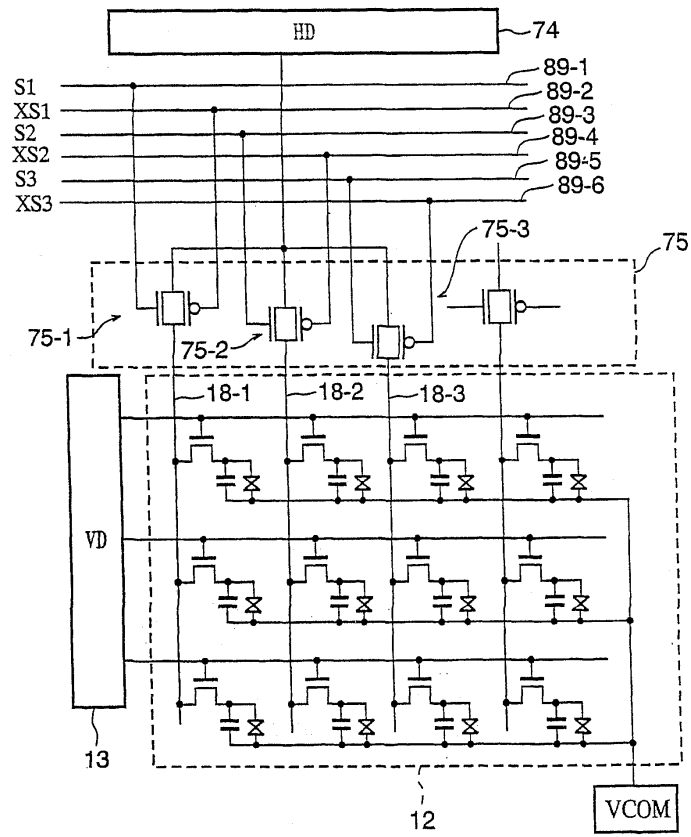
도면10



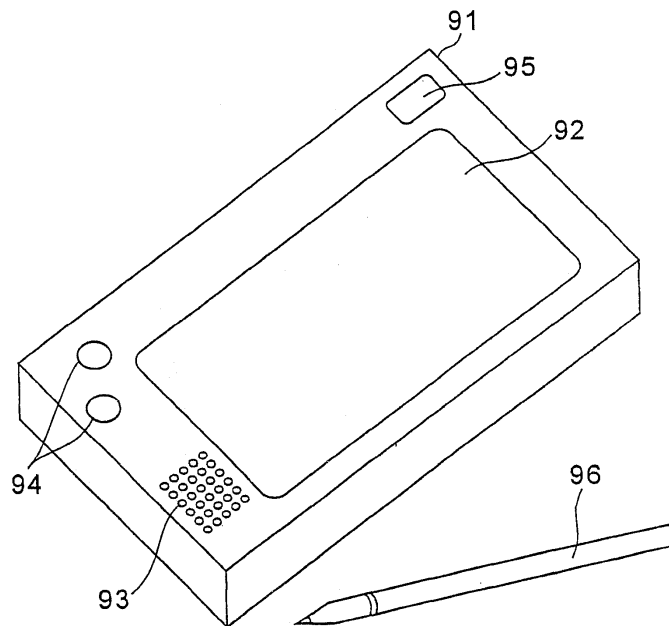
도면11



도면12



도면13



专利名称(译)	液晶显示装置和使用其的电子设备		
公开(公告)号	KR100829066B1	公开(公告)日	2008-05-16
申请号	KR1020027004833	申请日	2001-08-23
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	INO MASUMITSU		
发明人	INO,MASUMITSU		
IPC分类号	G02F1/1345 G02F1/13 G02F1/133 G02F1/1362		
CPC分类号	G02F1/13452 G02F1/13454 H01L2224/16225		
代理人(译)	您是我的专利和法律公司 KIM , JAE MAN		
优先权	2000254335 2000-08-24 JP		
其他公开文献	KR1020020040879A		
外部链接	Espacenet		

摘要(译)

本发明提供了薄型成型，用于制造小面积的液晶显示器，以及实现了框架边缘的缩小，以及使用该液晶显示器的电子设备。因此，为了使本发明的液晶显示器与具有在第一基板(16)上形成的像素的像素(12)的区域和第一基板(16)重叠，并将其布置为矩阵类型和外围电路，其中剩余部分的半导体芯片外围电路(23,24,25)的至少一部分形成在半导体芯片中的半导体芯片中形成在第二基板(62)上，第一基板(16)与第一基板(16)和第一基板(16)之间设置的液晶组合(63)和至少部分外围电路(13)在第一基板(16)上形成薄膜晶体管，外围电路写入像素信号，在像素(12)周围的外围电路中形成薄膜晶体管，半导体芯片排列在第一基板上小号substrate(16)。液晶显示器，电子器件，薄型，小面积。

