



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년02월01일
 (11) 등록번호 10-0799464
 (24) 등록일자 2008년01월23일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2001-0014651
 (22) 출원일자 2001년03월21일
 심사청구일자 2006년03월21일
 (65) 공개번호 10-2002-0074702
 (43) 공개일자 2002년10월04일
 (56) 선행기술조사문헌

US6078365 A
 (뒷면에 계속)

전체 청구항 수 : 총 16 항

심사관 : 김창균

(54) 액정표시장치 및 그 제조방법

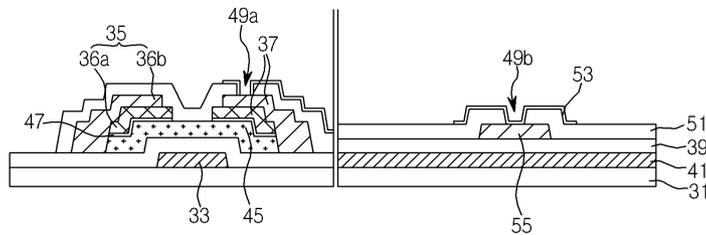
(57) 요약

본 발명은 균일한 화질을 구현할 수 있는 액정표시장치 및 그 제조방법에 관한 것이다.

본 발명에 따른 액정표시장치는 기판상에 형성되는 게이트전극과, 상기 기판상에 게이트전극을 덮도록 형성되는 게이트절연막과, 상기 게이트전극과 중첩되도록 상기 게이트절연막상에 형성되는 반도체층과, 상기 반도체층과 동일 패턴으로 형성되는 버퍼금속층과, 채널을 사이에 두고 상기 버퍼금속층상에 데이터금속층으로 형성되는 소스 전극 및 드레인전극을 구비한다.

본 발명에 의하면, 데이터금속층을 습식식각후 버퍼금속층과 오믹접촉층을 건식식각함으로써 TFT의 기생용량의 분포가 균일하게 되어 플리커와 크로스토크가 감소될 뿐만 아니라 균일한 화질을 구현할 수 있다.

대표도 - 도6



(56) 선행기술조사문헌
JP08328041 A
KR1019990031218 A
KR1020000039313 A
KR1020000072230 A

특허청구의 범위

청구항 1

기판상에 형성되는 게이트전극과,
 상기 기판상에 상기 게이트전극을 덮도록 형성되는 게이트절연막과,
 상기 게이트전극과 중첩되도록 상기 게이트절연막상에 형성되는 활성층과,
 상기 활성층상에 구비되며 상기 활성층의 채널을 노출되도록 식각된 식각 단면을 갖는 오믹접촉층과,
 상기 오믹접촉층상에 구비되며 상기 오믹접촉층의 식각 단면과 동일한 식각 단면을 갖는 버퍼금속층과 상기 버퍼금속층상에 구비되며 상기 버퍼금속층의 상부면이 노출되도록 상기 버퍼금속층의 식각 단면으로부터 후퇴되도록 식각된 식각 단면을 갖는 데이터 금속층으로 이루어진 소스 전극 및 드레인 전극을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,
 상기 게이트전극과 소스전극 및 드레인전극을 가지는 박막트랜지스터를 덮도록 상기 게이트절연막상에 전면 형성되는 보호층과,
 상기 드레인전극과 접촉하도록 상기 보호층상에 형성되는 화소전극을 추가로 구비하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,
 상기 버퍼금속층은 몰리브덴(MO), 티탄(Ti)중 어느 하나로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 4

제 1 항에 있어서,
 상기 데이터금속층은 알루미늄(Al), 알루미늄 합금, 구리(Cu), 구리합금 중 어느 하나로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 5

기판상에 게이트전극을 형성하는 단계와,
 상기 기판상에 상기 게이트전극을 덮도록 게이트절연막을 형성하는 단계와,
 상기 게이트절연막 상에 동일 패턴을 갖는 활성층, 오믹접촉패턴층 및 버퍼금속패턴층을 형성하는 단계와,
 상기 버퍼금속패턴층을 포함하는 상기 기판상에 데이터금속박막층을 형성하는 단계와,
 상기 데이터 금속박막층을 식각한 후, 상기 버퍼금속패턴층 및 상기 오믹접촉패턴층을 동시에 식각하여 데이터 금속층과 버퍼금속층으로 이루어진 소스 전극 및 드레인 전극과 오믹접촉층을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 6

제 5 항에 있어서,
 상기 게이트전극과 소스전극 및 드레인전극을 가지는 박막트랜지스터를 덮도록 상기 게이트절연막 상에 전면 보호층을 형성하는 단계와,
 상기 보호층 상에 상기 드레인전극의 일부를 노출시키기 위한 접촉홀을 형성하는 단계와,
 상기 접촉홀을 통하여 상기 드레인전극에 접속되도록 전극물질을 상기 보호층상에 전면 증착한 후에 이를 패터

닝하여 화소전극을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 7

제 6 항에 있어서,

상기 데이터 금속박막층을 식각한 후, 상기 버퍼금속패턴층 및 상기 오믹접촉패턴층을 동시에 식각하여 소스 전극 및 드레인 전극과 오믹접촉층을 형성하는 단계는,

상기 데이터금속박막층상에 일정한 패턴을 갖는 포토레지스트 패턴을 형성하는 단계와,

상기 포토레지스트 패턴을 식각마스크로 사용하여 상기 데이터금속박막층을 습식식각하여 소스 전극 및 드레인 전극의 데이터 금속층을 형성하는 단계와,

상기 포토레지스트 패턴을 식각마스크로 사용하여 상기 버퍼금속패턴층 및 상기 오믹접촉패턴층을 동시에 건식 식각하여, 소스 전극 및 드레인 전극의 버퍼금속층과 오믹접촉층을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 8

기관상에 게이트전극을 형성하는 단계와,

상기 기관상에 상기 게이트전극을 덮도록 게이트절연막을 형성하는 단계와,

상기 게이트전극과 중첩되도록 상기 게이트절연막상에 동일한 패턴을 갖는 활성층과 오믹접촉패턴층을 형성하는 단계와,

상기 오믹접촉패턴층을 포함하는 기관상에 버퍼금속박막층과 데이터금속박막층을 형성하는 단계와,

상기 데이터금속박막층을 식각하여 소스 전극 및 드레인 전극의 데이터 금속층을 형성한 후, 상기 버퍼금속박막층과 상기 오믹접촉패턴층을 동시에 식각하여 소스 전극 및 드레인 전극의 버퍼금속층과 오믹접촉층을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 9

제 8 항에 있어서,

상기 게이트전극과 소스전극 및 드레인전극을 가지는 박막트랜지스터를 덮도록 상기 게이트절연막 상에 전면 보호층을 형성하는 단계와,

상기 보호층 상에 상기 드레인전극의 일부를 노출시키기 위한 접촉홀을 형성하는 단계와,

상기 접촉홀을 통하여 상기 드레인전극에 접속되도록 전극물질을 상기 보호층상에 전면 증착한 후에 이를 패터닝하여 화소전극을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 10

제 9 항에 있어서,

상기 데이터금속박막층을 식각하여 소스 전극 및 드레인 전극의 데이터 금속층을 형성한 후, 상기 버퍼금속박막층과 상기 오믹접촉패턴층을 동시에 식각하여 소스 전극 및 드레인 전극의 버퍼금속층과 오믹접촉층을 형성하는 단계는,

상기 데이터금속박막층상에 일정한 패턴을 갖는 포토레지스트 패턴을 형성하는 단계와,

상기 포토레지스트 패턴을 식각 마스크로 사용하여 상기 데이터금속박막층을 습식식각하여 소스 전극 및 드레인 전극의 데이터 금속층을 형성하는 단계와,

상기 포토레지스트 패턴을 식각 마스크로 사용하여 상기 버퍼금속박막층과 상기 오믹접촉패턴층을 동시에 건식 식각하여 소스 전극 및 드레인 전극의 버퍼금속층과 오믹접촉층을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

제 2 항에 있어서,

상기 게이트 전극과 접속되는 게이트 라인;

상기 게이트 절연막을 사이에 두고 상기 게이트 라인과 중첩되는 스토리지 전극;

상기 스토리지 전극과 접속되는 화소전극을 포함하는 스토리지 캐패시터를 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 14

제 13 항에 있어서,

상기 화소전극은 상기 보호층을 관통하여 상기 스토리지 전극을 노출시키는 접촉홀을 통해 상기 스토리지 전극과 접속되는 것을 특징으로 하는 액정표시장치.

청구항 15

삭제

청구항 16

제 6 항에 있어서,

상기 게이트 전극과 접속되는 게이트 라인, 상기 게이트 절연막을 사이에 두고 상기 게이트 라인과 중첩되는 스토리지 전극, 상기 화소전극에서 신장되어 상기 스토리지 전극과 접속되는 화소전극을 포함하는 스토리지 캐패시터를 형성하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 17

제 16 항에 있어서,

상기 화소전극은 상기 보호층을 관통하여 상기 스토리지 전극을 노출시키는 접촉홀을 통해 상기 스토리지 전극과 접속되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 18

제 9 항에 있어서,

상기 게이트 전극과 접속되는 게이트 라인, 상기 게이트 절연막을 사이에 두고 상기 게이트 라인과 중첩되는 스토리지 전극, 상기 화소전극에서 신장되어 상기 스토리지 전극과 접속되는 화소전극을 포함하는 스토리지 캐패시터를 형성하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 19

제 18 항에 있어서,

상기 화소전극은 상기 보호층을 관통하여 상기 스토리지 전극을 노출시키는 접촉홀을 통해 상기 스토리지 전극과 접속되는 것을 특징으로 하는 액정표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <18> 본 발명은 액정표시장치 및 그 제조방법에 관한 것으로, 특히, 균일한 화질을 구현할 수 있는 액정표시장치 및 그 제조방법에 관한 것이다.
- <19> 액티브 매트릭스 구동방식의 액정표시장치는 스위칭소자로서 박막트랜지스터를 이용하여 자연스러운 동화상을 표시하고 있다. 이러한 액정표시장치는 브라운관에 비하여 소형화가 가능하며, 퍼스널 컴퓨터와 노트북 컴퓨터는 물론, 복사기 등의 사무자동화기기, 휴대전화기나 호출기 등의 휴대기기까지 광범위하게 이용되고 있다.
- <20> 액정표시장치는 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라함)로 이루어진 스위칭 소자와 기판 사이에 주입되어 입사되는 빛을 투과하거나 반사하는 액정을 제어하는 화소(Pixel)전극을 기본단위로 하는 화소가 중첩으로 배열된 구조를 가진다.
- <21> 액정표시장치에서 스위칭소자인 TFT와 이에 연결된 화소전극으로 구성된 $N \times M$ (여기서, N 및 M 은 자연수)개의 단위 화소가 하부 기판 상에 매트릭스(Matric) 상태로 배열되고, 이 TFT 게이트전극들과 드레인전극들에 신호를 전달하는 N 개의 게이트라인과 M 개의 데이터라인이 교차되어 형성된다.
- <22> 도 1 및 도 2를 참조하면, 투명기판(1) 상에 N 개의 게이트라인(11)과 M 개의 데이터라인(13)이 교차되게 형성되어 $N \times M$ 개의 화소영역을 한정한다. 상기에서 게이트라인(11)과 데이터라인(13)은 금속으로 형성되며 게이트절연막(9)에 의해 전기적으로 절연된다. $N \times M$ 개의 화소 각각은 게이트라인(11) 및 데이터라인(13)에 전기적으로 연결된 TFT에 의해 구동된다.
- <23> TFT는 게이트전극(3)과, 소스 및 드레인전극(5)(7)과, 반도체층(15)과 오믹접촉층(17)으로 형성된다. 게이트전극(3)은 게이트라인(11)과 연결되게 형성되는 데, 이 게이트전극(3)의 상부에 게이트절연막(9)을 개재시켜 활성층(15) 및 오믹접촉층(17)이 형성된다. 드레인전극(7)은 데이터라인(13)과 연결되고, 소스전극(5)은 게이트전극(3)을 사이에 두고 드레인전극(7)과 대응되게 형성된다. 소스 및 드레인전극(5)(7)은 오믹접촉층(17)을 개재시켜 활성층(15)의 양측과 중첩되게 형성된다.
- <24> 스토리지 캐패시터는 앞단 주사라인의 주사시 앞단 게이트라인의 전압에 의해 충전되어 다음단의 주사라인의 주사시 화소전극의 전압을 낮추는 역할을 한다.
- <25> 이러한, 스토리지 캐패시터는 하부전극으로 게이트라인(11)이 사용되며, 상부전극으로 사용되는 스토리지전극(25)이 게이트절연막(9)을 개재시켜 형성된다. 스토리지전극(25)은 게이트라인(11)과 중첩되도록 데이터라인(13), 소스 및 드레인전극(5)(7)과 동시에 형성된다.
- <26> 상술한 구조상에 TFT 및 스토리지 캐패시터상에 보호층(21)이 형성된다. 보호층(21)은 TFT의 드레인전극(7)과 스토리지 캐패시터의 스토리지전극(25)을 노출시키는 제 1 및 제 2 접촉홀(19a)(19b)을 갖는다. 그리고 보호층(21) 상의 화소영역에 투명한 화소전극(23)이 형성된다. 화소전극(23)은 제 1 접촉홀(19a)을 통해 TFT의 드레인전극(7)과 연결되고 제 2 접촉홀(19b)을 통해 스토리지 캐패시터의 스토리지전극(25)과 연결된다.
- <27> 도 3a 내지 도 3e는 도 2에 도시된 액정표시장치의 제조방법을 나타내는 단면도이다.
- <28> 도 3a를 참조하면, 투명기판(1) 상에 스퍼터링(sputtering)등의 방법으로 알루미늄(Al) 또는 구리(Cu) 등을 증착하여 금속박막을 형성한다. 그리고, 금속박막을 습식방법을 포함하는 포토리소그래피방법으로 패터닝하여 투명기판(1)상에 게이트전극(3)과 게이트라인(11)을 형성한다.
- <29> 도 3b를 참조하면, 투명기판(1)상에 게이트라인(11) 및 게이트전극(5)을 덮도록 게이트절연막(9), 활성층(15) 및 오믹접촉층(17)을 화학기상증착방법(Cheical Vapor Deposition : 이하 "CVD" 라함)으로 순차적으로 형성한다.
- <30> 게이트절연막(9)은 질화실리콘 또는 산화실리콘으로 절연물질을 증착하여 형성하고, 활성층(15)은 불순물이 도핑되지 않은 비정질실리콘 또는 다결정실리콘으로 형성된다. 또한, 오믹접촉층(17)은 N형 또는 P형의 불순물이 고농도로 도핑된 비정질실리콘 또는 다결정실리콘으로 형성된다.
- <31> 오믹접촉층(17) 및 활성층(9)을 게이트전극(3)과 대응하는 부분에만 잔류되도록 포토리소그래피(photo lithography)공정으로 게이트절연막(9)이 노출되도록 패터닝한다. 여기서, 포토리소그래피공정은 포토레지스트 도포, 포토레지스트 패터닝, 노광, 현상, 에천트를 이용한 식각과정을 포함한다.
- <32> 도 3c를 참조하면, 게이트절연막(9) 상에 오믹접촉층(17)을 덮도록 버퍼금속(6a)/데이터금속(6b)이 순차적으로

CVD방법 또는 스퍼터링(sputtering)방법을 이용해 증착된다. 여기서, 데이터금속(6a)은 알루미늄(Al), 알루미늄합금 등으로 형성되며, 버퍼금속(6b)은 몰리브덴(Mo), 티탄(Ti), 크롬(Cr) 등으로 형성된다. 증착된 금속 또는 금속합금은 오믹접촉층(17)과 오믹접촉을 이룬다. 그리고, 금속박막상에 포토레지스트를 도포하고 노광 및 현상하여 게이트전극(3)의 양측과 대응하는 부분에 포토레지스트 패턴을 형성한다. 포토레지스트 패턴은 마스크로 사용하여 금속박막을 오믹접촉층(17)이 노출되도록 습식식각하여 소스 및 드레인전극(5)(7)을 형성한다.

- <33> 그리고, 포토레지스트 패턴을 마스크로 사용하여 노출된 오믹접촉층(17)을 활성층(15)이 노출되도록 건식 식각한다. 이 때, 식각되지 않고 잔류하는 오믹접촉층(17) 사이의 게이트전극(3)과 대응하는 부분의 활성층(15)은 채널이 된다.
- <34> 또한, 금속 또는 금속합금을 게이트라인(11)과 중첩되게 잔류하도록 패터닝하여 게이트절연막(9)상에 스토리지 캐패시터의 스토리지 전극(25)이 형성된다.
- <35> 도 3d를 참조하면, 게이트절연층(9)상에 스토리지전극(25), 소스 및 드레인전극(5,7)을 덮도록 질화실리콘 또는 산화실리콘 등의 무기절연물질 또는 아크릴계(acryl)유기화합물, 테프론(Teflon), BCB(benzocyclobutene), 사이토프 (cytop) 또는 PFCB(perfluorocyclobutane) 등의 유전상수가 작은 유기절연물을 증착하여 보호층(21)이 형성된다. 보호층(21)을 포토리소그래피방법으로 패터닝하여 드레인전극(7)과 스토리지 전극(25)을 노출시키는 제 1 및 제 2접촉홀(19a,19b)이 형성된다.
- <36> 도 3e를 참고하면, 보호층(21)상에 투명한 전도성물질인 인듐-틴-옥사이드(Indium-Tin-Oxide : 이하 "ITO"라 함), 인듐-아연-옥사이드(Indium-Zinc-Oxide) 또는 인듐-틴-아연 옥사이드(Indium-Tin-Zinc-Oxide) 을 증착하여 보호층(21)상의 TFT와 대응되는 부분을 제외한 부분에 화소전극(23)이 형성된다. 화소전극(23)은 제 2접촉홀(19b)을 통해 스토리지 전극(25)과 접촉되며, 제 1접촉홀(19a)을 통해 드레인전극과 전기적으로 접촉된다.
- <37> 그러나, 종래의 액정표시장치의 경우 도 4a에 도시된 바와 같이 버퍼금속(6a) 및 데이터금속(6b)박막상에 포토레지스트패턴(27)을 형성한 후 마스크로 사용하여 금속박막(6a,6b)을 오믹접촉층(17)이 노출되도록 습식식각하면 "a"만큼의 버퍼금속층과 데이터금속층의 과식각이 발생된다. 도 4b에 도시된 바와 같이 포토레지스트 패턴(27)을 마스크로 사용하여 노출된 오믹접촉층(17)을 활성층(15)이 노출되도록 건식식각하면 게이트전극(3)과 데이터전극(5,7)사이의 기생용량에 "b"만큼의 편차가 발생된다. b만큼의 편차로 인해 Cgd용량이 커져 수학적식1과 같이 화소전극(23)의 전압을 떨어뜨리는 ΔV가 발생한다.

수학적식 1

$$\Delta V = \frac{C_{GD}}{C_{LC} + C_{ST} + C_{GD}} \Delta V_g$$

- <38>
- <39> ΔV는 전압의 극성에 관계없이 도 5에 도시된 바와 같이 게이트전극(3)이 높은 전압이 걸렸을 때의 채널에 축적된 전자가 게이트전극(3)의 전압이 떨어질 때에 화소전극(23)으로 유입되어 화소전극(23)의 전압을 낮추므로 이것을 보상하지 않으면 액정층에 DC전압이 걸린다. ΔV이 크면 화면 떨림 및 크로스토크현상이 생기고, 액정층이 받는 DC전압 때문에 잔상이 생길 수 있다. 이로 인해, 화질을 균일하게 구현할 수가 없다.

발명이 이루고자 하는 기술적 과제

- <40> 따라서, 본 발명의 목적은 균일한 화질을 구현할 수 있는 액정표시장치 및 그 제조방법을 제공하는 데 있다.

발명의 구성 및 작용

- <41> 상기 목적들을 달성하기 위하여, 본 발명에 따른 액정표시장치는 기관상에 형성되는 게이트전극과, 상기 기관상에 상기 게이트전극을 덮도록 형성되는 게이트절연막과, 상기 게이트전극과 중첩되도록 상기 게이트절연막상에 형성되는 활성층과, 상기 활성층상에 구비되며 상기 활성층의 채널을 노출되도록 식각된 식각 단면을 갖는 오믹접촉층과, 상기 오믹접촉층상에 구비되며 상기 오믹접촉층의 식각 단면과 동일한 식각 단면을 갖는 버퍼금속층과, 상기 버퍼금속층상에 구비되며 상기 버퍼금속층의 상부면이 노출되도록 상기 버퍼금속층의 식각 단면으로부

터 후퇴되도록 식각된 식각 단면을 갖는 데이터 금속층으로 이루어진 소스 전극 및 드레인 전극을 구비한다.

- <42> 상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시장치의 제조방법은 기판상에 게이트전극을 형성하는 단계와, 상기 기판상에 상기 게이트전극을 덮도록 게이트절연막을 형성하는 단계와, 상기 게이트절연막 상에 동일 패턴을 갖는 활성층, 오믹접촉패턴층 및 버퍼금속패턴층을 형성하는 단계와, 상기 버퍼금속패턴층을 포함하는 상기 기판상에 데이터금속박막층을 형성하는 단계와, 상기 데이터 금속박막층을 식각한 후, 상기 버퍼금속패턴층 및 상기 오믹접촉패턴층을 동시에 식각하여 데이터 금속층과 버퍼금속층으로 이루어진 소스 전극 및 드레인 전극과 오믹접촉층을 형성하는 단계를 포함한다.
- <43> 상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시장치의 제조방법은 기판상에 게이트전극을 형성하는 단계와, 상기 기판상에 상기 게이트전극을 덮도록 게이트절연막을 형성하는 단계와, 상기 게이트전극과 중첩되도록 상기 게이트절연막상에 동일한 패턴을 갖는 활성층과 오믹접촉패턴층을 형성하는 단계와, 상기 오믹접촉패턴층을 포함하는 기판상에 버퍼금속박막층과 데이터금속박막층을 형성하는 단계와, 상기 데이터금속박막층을 식각하여 소스 전극 및 드레인 전극의 데이터 금속층을 형성한 후, 상기 버퍼금속박막층과 상기 오믹접촉패턴층을 동시에 식각하여 소스 전극 및 드레인 전극의 버퍼금속층과 오믹접촉층을 형성하는 단계를 포함한다.
- <44> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 설명예들에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- <45> 이하, 도 6 내지 도 9f를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- <46> 도 6은 본 발명의 제1 실시 예에 따른 액정표시장치를 나타내는 단면도이다.
- <47> 도 6을 참조하면, TFT는 게이트전극(33)과, 소스 및 드레인전극(35)(37)과, 활성층(45)과 오믹접촉층(47)으로 형성된다. 상기에서 게이트전극(33)은 게이트라인(41)과 연결되게 형성되는데, 이 게이트전극(33)의 상부에 게이트절연막(39)을 개재시켜 활성층(45), 오믹접촉층(47) 및 버퍼금속층(36a)이 형성된다. 오믹접촉층(47)은 게이트전극(33)과 대응된 활성층(45)의 일부를 노출한다. 드레인전극(37)은 화소전극(53)과 연결되고, 소스전극(35)은 게이트전극(33)을 사이에 두고 드레인전극(37)과 대응되게 형성된다. 상기에서 소스 및 드레인전극(35)(37)은 데이터금속층(36b)과 버퍼금속층(36a)으로 형성된다. 여기서, 버퍼금속층(36a)은 데이터금속층(36b)과 오믹접촉층(47)을 개재시켜, 활성층(45)의 양측과 중첩되게 형성된다.
버퍼금속층(36a)은 오믹접촉층(47)과 동일한 패턴을 가진다. 즉, 버퍼금속층(36a)은 오믹접촉층(47)상에 구비되며 오믹접촉층(47)의 식각 단면과 동일한 식각 단면을 가진다. 데이터 금속층(36b)은 버퍼금속층(36a)상에 서로 마주하며 구비되며 버퍼금속층(36a)의 상부면이 노출되도록 버퍼금속층(36a)의 식각 단면으로부터 후퇴되도록 식각된 식각 단면들을 가진다. 또한, 데이터 금속층(36b)은 버퍼금속층(36a)의 양 끝단의 식각단면을 덮을 수 있다.
- <48> 스토리지 캐패시터는 하부전극으로 게이트라인(41)이 사용되며, 상부전극으로 사용되는 스토리지전극(55)이 게이트절연막(39)을 개재시켜 형성된다. 스토리지전극(55)은 게이트라인(41)과 중첩되도록 데이터금속층(36b)으로 소스 및 드레인전극(35)(37)과 동시에 형성된다.
- <49> 상술한 구조상에 TFT 및 스토리지 캐패시터상에 보호층(51)이 형성된다. 보호층(51)은 TFT의 드레인전극(37)과 스토리지 캐패시터의 스토리지전극(55)을 노출시키는 제 1 및 제 2 접촉홀(49a)(49b)을 갖는다. 그리고 보호층(51) 상의 화소영역에 투명한 화소전극(53)이 형성된다. 화소전극(53)은 제 1 접촉홀(49a)을 통해 TFT의 드레인전극(37)과 연결되고 제 2 접촉홀(49b)을 통해 스토리지 캐패시터의 스토리지전극(55)과 연결된다.
- <50> 도 7a 내지 도 7e는 도 6에 도시된 액정표시장치의 제조방법을 나타내는 단면도이다.
- <51> 도 7a를 참조하면, 투명기판(31) 상에 스퍼터링(sputtering)등의 방법으로 알루미늄(Al) 또는 구리(Cu) 등을 증착하여 금속박막을 형성한다. 그리고, 금속박막을 습식방법을 포함하는 포토리소그래피방법으로 패터닝하여 투명기판(31)상에 게이트전극(33)과 게이트라인(41)을 형성한다.
- <52> 도 7b를 참조하면, 투명기판(31)상에 게이트라인(41) 및 게이트전극(33)을 덮도록 게이트절연막(39), 활성박막층, 오믹접촉박막층 및 버퍼금속박막층을 CVD로 순차적으로 형성한다.
- <53> 게이트절연막(39)은 질화실리콘 또는 산화실리콘으로 절연물질을 증착하여 형성된다. 활성박막층은 불순물이 도핑되지 않은 비정질실리콘으로 형성된다. 오믹접촉박막층은 N형 또는 P형의 불순물이 고농도로 도핑된 비정질실리콘으로 형성된다. 또한, 버퍼금속박막층은 몰리브덴(Mo) 또는 티탄늄(Ti)으로 형성된다.

- <54> 활성박막층, 오믹접촉박막층 및 버퍼금속박막층을 게이트전극(33)과 대응하는 부분에만 잔류되도록 이방식각을 포함하는 포토리소그래피방법으로 게이트절연막(39)이 노출되도록 패터닝하여, 동일한 패턴을 갖는 활성층(45), 오믹접촉패턴층(47a) 및 버퍼금속패턴층(36)을 형성한다.
- <55> 도 7c를 참조하면, 버퍼금속패턴층(36) 및 게이트절연막(39) 상에 알루미늄(Al), 알루미늄 합금, 구리(Cu) 또는 구리합금등의 데이터금속을 CVD방법 또는 스퍼터링(sputtering)방법으로 증착하여 데이터금속박막층을 형성한다. 데이터금속박막층은 오믹접촉층(47)과 오믹접촉을 이룬다. 그리고, 데이터금속박막층 상에 포토레지스트를 도포하고 노광 및 현상하여 게이트전극(33)의 양측과 대응하는 부분에 포토레지스트 패턴을 형성한다. 포토레지스트 패턴을 마스크로 사용하여 데이터금속박막층을 버퍼금속층(36a)의 일부가 노출되도록 습식식각하여 소스 및 드레인전극(35)(37)의 데이터 금속층(36b)을 형성한다. 그리고, 포토레지스트 패턴을 마스크로 사용하여 노출된 버퍼금속패턴층(36)과 오믹접촉패턴층(47)을 건식식각하여 활성층(45)의 일부를 노출시키는 소스 및 드레인전극(35)(37)의 버퍼금속층(36a)과 오믹접촉층(47)을 형성한다. 이때, 식각되지 않고 잔류하는 오믹접촉층(47) 사이의 게이트전극(33)과 대응하는 부분의 활성층(45)은 채널이 된다. 상기 상기 버퍼금속층(36a)은 상기 오믹접촉층상에 구비되며 상기 오믹접촉층의 식각 단면과 동일한 식각 단면을 가진다. 상기 소스 전극 및 드레인 전극(35)(37)은 상기 버퍼금속층상(36a)에 서로 마주하며 구비되고, 상기 버퍼금속층(36a)의 상부면이 노출되도록 상기 버퍼금속층(36a)의 식각 단면으로부터 후퇴되도록 식각된 식각 단면을 갖는 데이터 금속층(36b)으로 형성된다. 데이터 금속층(36b)은 상기 버퍼금속층(36a)의 양끝단에 구비된 식각단면을 덮는다.
- <56> 또한, 데이터금속박막층을 게이트라인(41)과 중첩되게 잔류하도록 패터닝하여 게이트절연막(39)상에 스토리지 캐패시터(Cst)의 스토리지 전극(55)을 형성한다.
- <57> 도 7d를 참조하면, 게이트절연층(39)상에 스토리지전극(55), 소스 및 드레인전극(35,37)을 덮도록 질화실리콘 또는 산화실리콘등의 무기절연물질 또는 아크릴계(acryl)유기화합물, 테프론(Teflon), BCB(benzocyclobutene), 사이토프(cytop)또는 PFCB(perfluorocyclobutane)등의 유전상수가 작은 유기절연물을 증착하여 보호층(51)이 형성된다. 보호층(51)을 포토리소그래피방법으로 패터닝하여 드레인전극(37) 및 스토리지전극(55)을 노출시키는 제 1 및 제 2접촉홀(49a,49b)이 형성된다.
- <58> 도 7e를 참조하면, 보호층(51)상에 투명한 전도성물질인 IT0, IZO, ITZO를 증착하여 보호층(51)상의 TFT와 대응되는 부분을 제외한 부분에 화소전극(53)을 형성한다. 화소전극은(53) 제1 접촉홀(49a)을 통해 드레인전극(37)과 접촉되며, 제2 접촉홀(49b)을 통해 스토리지전극(55)과 전기적으로 접촉된다.
- <59> 도 8은 본 발명의 제 2 실시 예에 따른 액정표시장치를 나타내는 단면도이다.
- <60> 도 8을 참조하면, TFT는 게이트전극(33)과, 소스 및 드레인전극(35)(37)과, 활성층(45)과 오믹접촉층(47)으로 형성된다. 상기에서 게이트전극(33)은 게이트라인(41)과 연결되게 형성되는 데, 이 게이트전극(33)의 상부에 게이트절연막(39)을 개재시켜 활성층(45), 오믹접촉층(47) 이 형성된다. 소스전극(35)은 게이트전극(33)을 사이에 두고 드레인전극(37)과 대응되게 형성된다. 소스 및 드레인전극(35)(37)은 데이터금속층(36b)과 버퍼금속층(36a)으로 형성되며, 데이터금속층(36b)을 습식식각한 후 버퍼금속층(36a)과 오믹접촉층(47)을 동시에 건식식각하여 오믹접촉층(47)을 게이트전극과 대응하는 영역을 개재시켜 활성층(45)의 양측과 중첩되게 형성된다. 버퍼금속층(36a)은 활성층(45)을 노출하는 오믹접촉층(47)의 식각 단면과 동일한 식각 단면을 가진다.
데이터금속층(36b)은 서로 마주하며 버퍼금속층(36a)상에 배치되고 버퍼금속층(36a)의 상부면이 노출되도록 버퍼금속층(36a)의 식각 단면으로부터 후퇴되도록 식각된 식각단면을 가진다. 또한, 데이터금속층(36b)에 구비된 양끝단의 식각단면은 버퍼금속층(36a)의 상부면이 노출되도록 상기 버퍼금속층(36a)의 양끝단으로부터 후퇴되도록 식각된 식각 단면을 가진다. 즉, 데이터금속층(36b)은 버퍼금속층(36a)의 에지부를 노출한다.
- <61> 스토리지 캐패시터는 하부전극으로 게이트라인(41)이 사용되며, 상부전극으로 사용되는 스토리지전극(55)이 게이트절연막(39)을 개재시켜 형성된다. 스토리지전극(55)은 게이트라인(41)과 중첩되도록 버퍼금속층(36a)과 데이터금속층(36b)으로 소스 및 드레인전극(35)(37)과 동시에 형성된다.
- <62> 상술한 구조상에 TFT 및 스토리지 캐패시터상에 보호층(51)이 형성된다. 보호층(51)은 TFT의 드레인전극(37)과 스토리지 캐패시터의 스토리지전극(55)을 노출시키는 제 1 및 제 2 접촉홀(49a)(49b)을 갖는다. 그리고 보호층(51) 상의 화소영역에 투명한 화소전극(53)이 형성된다. 화소전극(53)은 제 1 접촉홀(49a)을 통해 TFT의 드레인전극(37)과 연결되고 제 2 접촉홀(49b)을 통해 스토리지 캐패시터의 스토리지전극(55)과 연결된다.
- <63> 도 9a 내지 도 9f는 도 8에 도시된 액정표시장치의 제조방법을 단계적으로 나타내는 단면도이다.

- <64> 도 9a를 참조하면, 투명기판(31) 상에 스퍼터링(sputtering) 등의 방법으로 알루미늄(Al) 또는 구리(Cu) 등을 증착하여 금속박막을 형성한다. 그리고, 금속박막을 습식방법을 포함하는 포토리소그래피방법으로 패터닝하여 투명기판(31) 상에 게이트전극(33)과 게이트라인(41)을 형성한다.
- <65> 도 9b를 참조하면, 투명기판(31) 상에 게이트라인(41) 및 게이트전극(35)을 덮도록 게이트절연막(39), 활성박막층, 오믹접촉박막층을 CVD로 순차적으로 형성한다.
- <66> 게이트절연막(39)은 질화실리콘 또는 산화실리콘으로 절연물질을 증착하여 형성하고, 활성박막층은 불순물이 도핑되지 않은 비정질실리콘 또는 다결정실리콘으로 형성된다. 또한, 오믹접촉박막층은 N형 또는 P형의 불순물이 고농도로 도핑된 비정질실리콘 또는 다결정실리콘으로 형성된다.
- <67> 오믹접촉박막층 및 활성박막층을 게이트전극(33)과 대응하는 부분에만 잔류되도록 이방성 식각을 포함하는 포토리소그래피방법으로 게이트절연막(39)이 노출되도록 패터닝하여, 동일한 패턴을 갖는 오믹접촉패턴층(47a)과 활성층(45)을 형성한다.
- <68> 도 9c를 참조하면, 오믹접촉패턴층(47a)과 게이트절연막(39) 상에 버퍼금속박막층(36c) 및 데이터금속박막층을 CVD방법 또는 스퍼터링(sputtering)방법으로 형성한다.
- <69> 버퍼금속박막층(36c)은 오믹접촉패턴층과 오믹접촉을 이루고 몰리브덴(Mo), 티탄(Ti) 등으로 형성되며, 데이터금속박막층은 알루미늄(Al), 알루미늄 합금, 구리(Cu) 및 구리합금 등으로 형성된다.
- <70> 그리고, 데이터금속박막층 상에 포토레지스트를 도포하고 노광 및 현상하여 게이트전극(33)의 양측과 대응하는 부분에 포토레지스트 패턴(50)을 형성한다. 포토레지스트 패턴(50)을 마스크로 사용하여 데이터금속박막층은 버퍼금속층(36c)을 노출하도록 습식식각하여, 소스 전극 및 드레인 전극의 데이터금속층(36b)을 형성한다. 데이터금속층(36b)은 포토레지스트 패턴(50)에 대해 언더컷 형상을 가진다.
- <71> 도 9d를 참조하면, 포토레지스트 패턴(50)을 마스크로 사용하여 활성층(45)과 게이트절연막(39)이 노출되도록 버퍼금속박막층과 오믹접촉패턴층을 건식 식각하여 소스 및 드레인전극(35, 37)의 버퍼금속층(36a)과 오믹접촉층(47)을 형성한다. 버퍼금속층(36a)과 오믹접촉층(47)은 동일한 식각 단면을 가진다. 그러나, 데이터금속층(36b)의 식각단면은 상기 버퍼금속층(36a)의 식각 단면으로부터 후퇴되도록 식각된 식각 단면을 가진다. 상기 데이터 금속층(36b)은 상기 버퍼금속층(36a)의 에지부를 노출한다.
 이때, 식각되지 않고 잔류하는 오믹접촉층(47) 사이의 게이트전극(33)과 대응하는 부분의 활성층(45)은 채널이 된다.
 이에 더하여, 소스 전극 및 드레인 전극(35, 37)을 형성하는 단계에서 스토리지전극(55)이 더 형성된다.
- <72> 도 9e를 참조하면, 스토리지전극(55), 소스 및 드레인전극(35, 37)을 덮으며 게이트 절연막(39) 상에 질화실리콘 또는 산화실리콘 등의 무기절연물질 또는 아크릴계(acryl) 유기화합물, 테프론(Teflon), BCB(benzocyclobutene), 사이토프(cytop) 또는 PFCB(perfluorocyclobutane) 등의 유전상수가 작은 유기절연물을 증착하여 보호층(51)을 형성한다. 보호층(51)을 포토리소그래피방법으로 패터닝하여 드레인전극(37) 및 스토리지전극(55)을 노출시키는 제 1 및 제 2접촉홀(49a, 49b)을 형성한다.
- <73> 도 9f를 참조하면, 보호층(51) 상에 투명한 전도성물질인 ITO, IZO, ITZO를 증착하여 보호층(51) 상의 TFT와 대응되는 부분을 제외한 부분에 화소전극(53) 및 스토리지전극(55)을 형성한다. 화소전극은(53) 제 1접촉홀(49a)을 통해 드레인전극(37)과 접촉되며, 제 2 접촉홀(49b)을 통해 스토리지전극(57)과 전기적으로 접촉된다.

발명의 효과

- <74> 상술한 바와 같이, 본 발명에 따른 액정표시장치 및 그 제조방법은 데이터금속박막층을 습식식각으로 형성하고, 버퍼금속층과 오믹접촉을 건식식각으로 형성함으로써, TFT의 기생용량의 분포를 균일하게 되어 플리커와 크로스토크가 감소될 뿐만 아니라 균일한 화질을 구현할 수 있다.
- <75> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

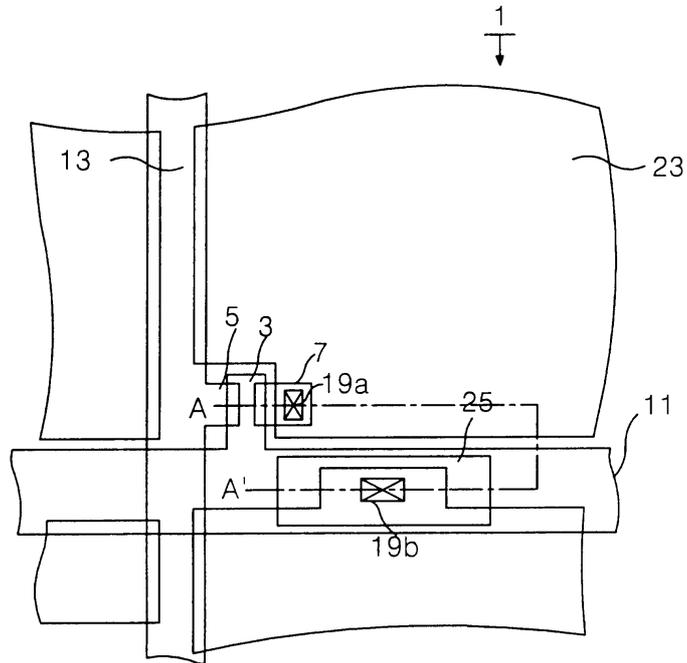
- <1> 도 1은 종래의 액정표시장치를 나타내는 평면도.
- <2> 도 2는 도 1에 선 "A-A'"을 따라 절취한 액정표시장치를 나타내는 단면도.
- <3> 도 3a 내지 도 3e는 도 2에 도시된 액정표시장치의 제조방법을 단계적으로 설명하는 단면도.
- <4> 도 4a 및 도 4b는 오믹접촉층, 소스 및 드레인전극을 패터닝하는 단계를 나타내는 단면도.
- <5> 도 5는 액정층의 전압과 피드-쓰로우(feed-through) 전압의 관계를 나타내는 도면.
- <6> 도 6은 본 발명의 제 1 실시예에 따른 액정표시장치의 단면도.
- <7> 도 7a 내지 도 7e는 도 6에 도시된 액정표시장치의 제조방법을 단계적으로 설명하는 단면도.
- <8> 도 8은 본 발명의 제2 실시 예에 따른 액정표시장치의 단면도.
- <9> 도 9a 내지 도 9f는 도 8에 도시된 액정표시장치의 제조방법을 단계적으로 설명하는 단면도.

<10> <도면의 주요 부분에 대한 부호의 설명>

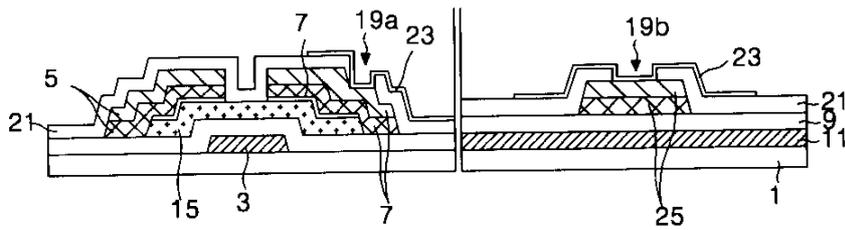
- | | | |
|------|----------------|----------------|
| <11> | 1,31 : 투명기판 | 3: 게이트전극 |
| <12> | 5,35 : 소스전극 | 7,37: 드레인전극 |
| <13> | 9,39 : 게이트절연막 | 11,41 : 게이트라인 |
| <14> | 13,43 : 데이터라인 | 15,45 : 활성층 |
| <15> | 17,47 : 오믹접촉층 | 19,49 : 접촉홀 |
| <16> | 21,51 : 보호층 | 23,53 : 화소전극 |
| <17> | 25,55 : 스토리지전극 | 27 : 포토레지스트 패턴 |

도면

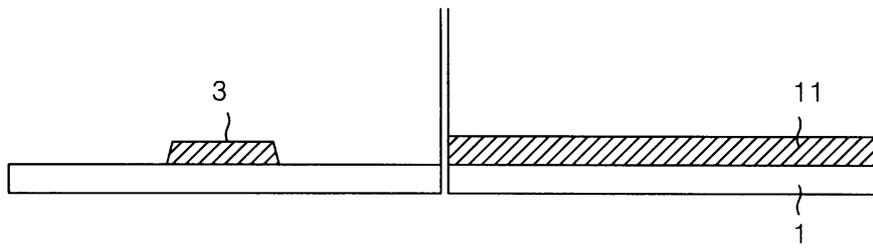
도면1



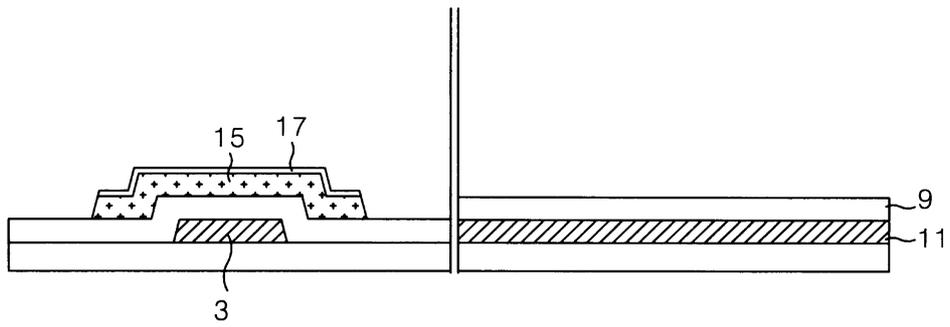
도면2



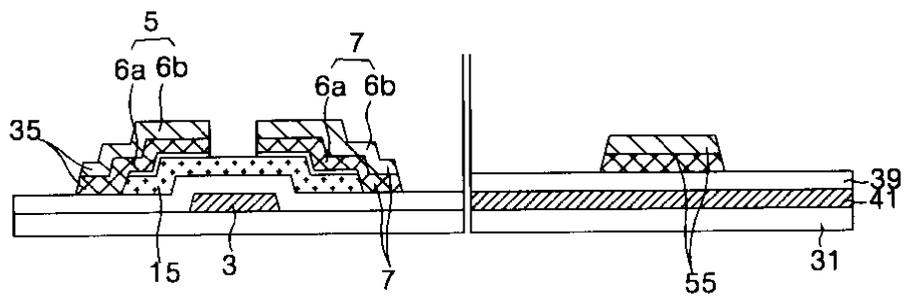
도면3a



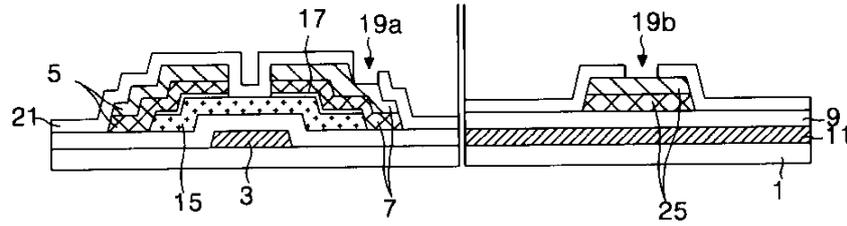
도면3b



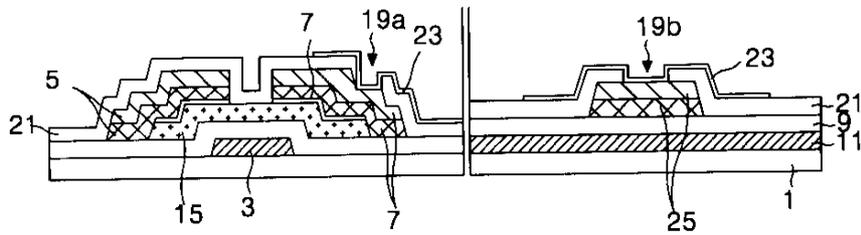
도면3c



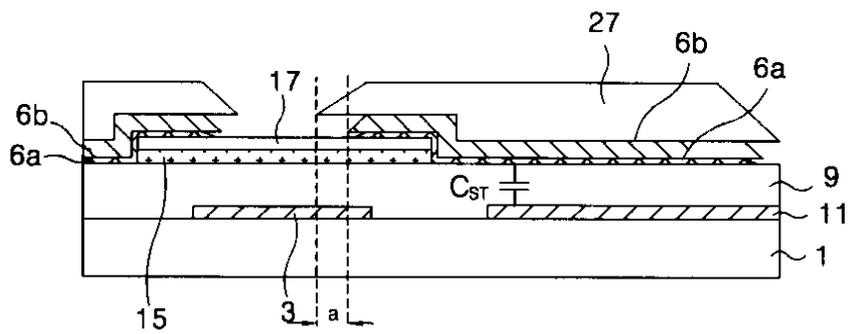
도면3d



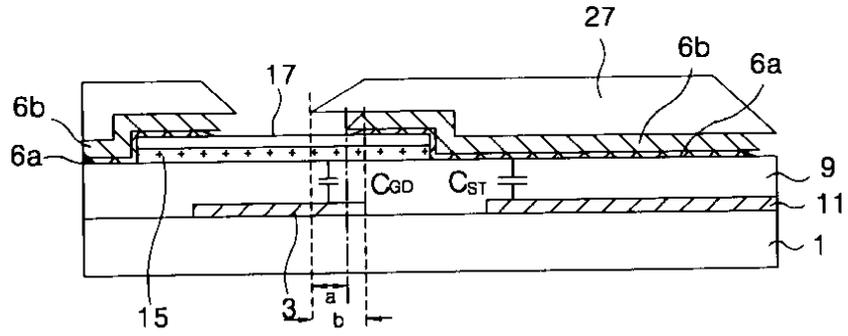
도면3e



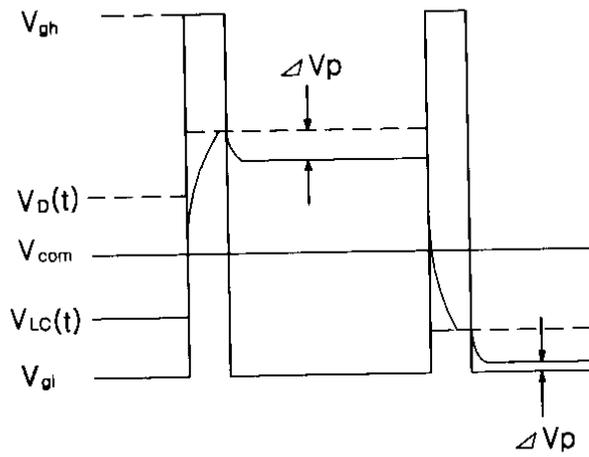
도면4a



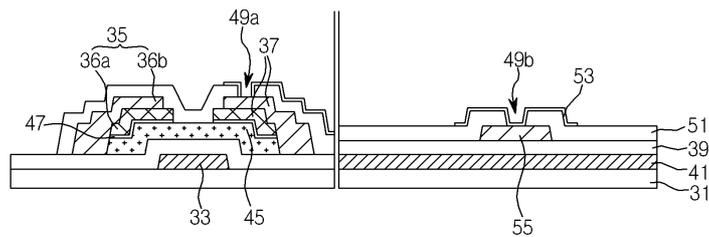
도면4b



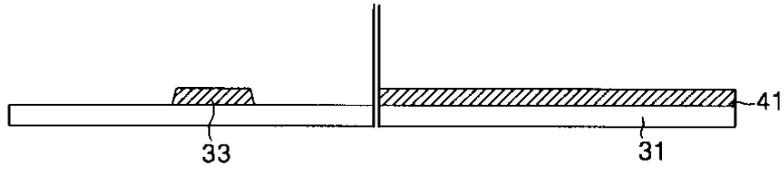
도면5



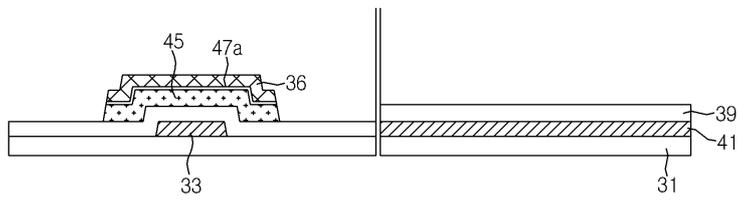
도면6



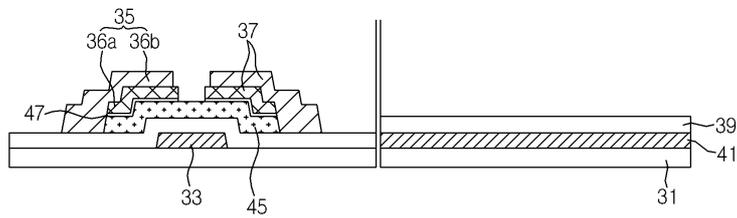
도면7a



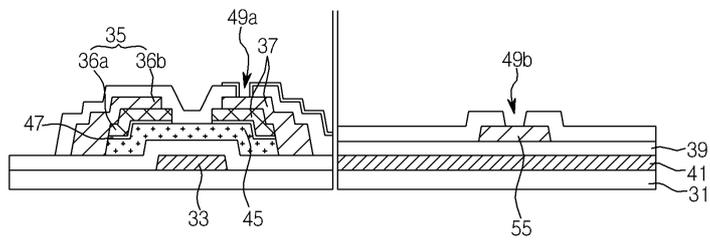
도면7b



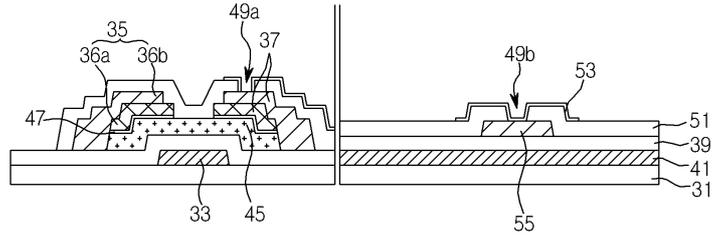
도면7c



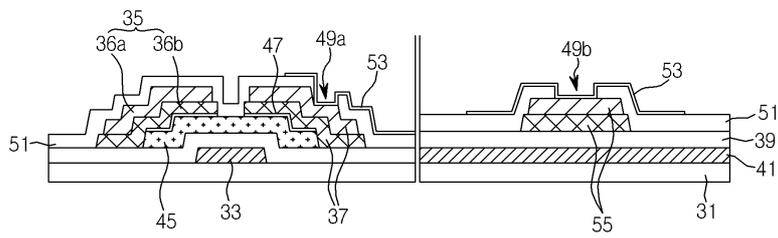
도면7d



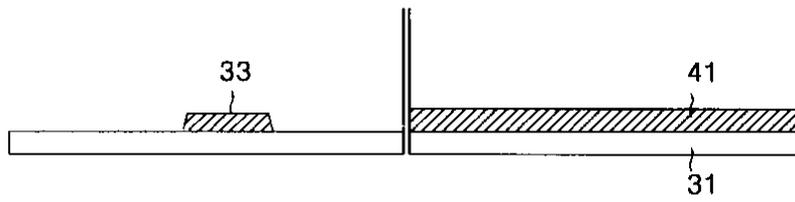
도면7e



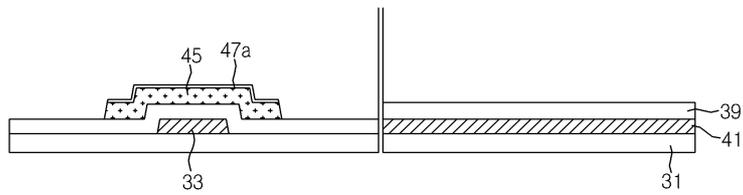
도면8



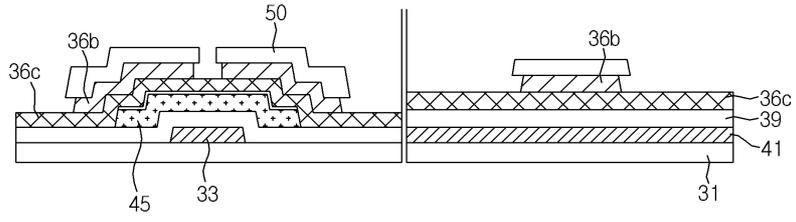
도면9a



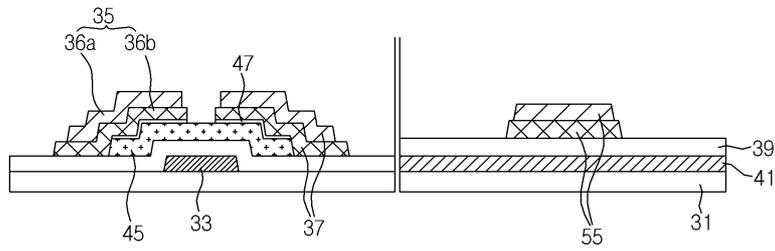
도면9b



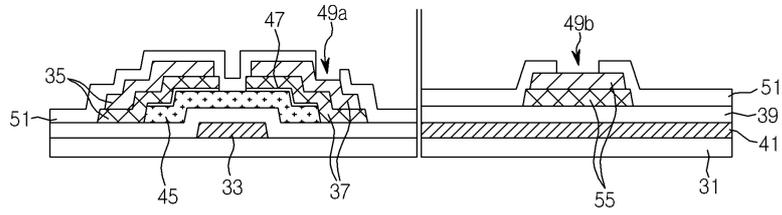
도면9c



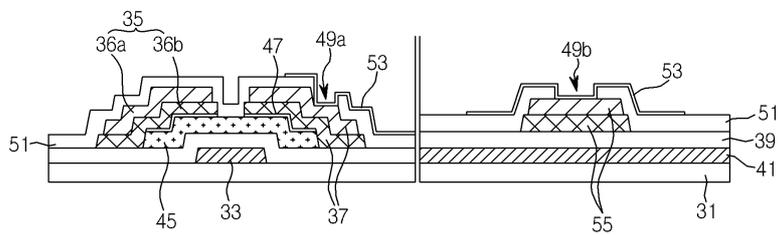
도면9d



도면9e



도면9f



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR100799464B1	公开(公告)日	2008-02-01
申请号	KR1020010014651	申请日	2001-03-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHAE GEESUNG		
发明人	CHAE, GEESUNG		
IPC分类号	G02F1/136 G02F1/1368 H01L21/28 H01L21/336 H01L29/786		
CPC分类号	G02F1/1368		
其他公开文献	KR1020020074702A		
外部链接	Espacenet		

摘要(译)

本发明涉及实现均匀图像质量的液晶显示装置及其制造方法。根据本发明的液晶显示器包括形成在基板上的栅电极，并且栅电极与栅极绝缘层重叠，栅极绝缘层形成成为覆盖基板上的栅电极和形成的缓冲金属层。在与上述半导体层相同的图案中，形成有在栅极绝缘层上形成的半导体层重叠，并且在间隔中具有沟道的源电极和漏电极在缓冲金属层上形成数据金属层。根据本发明，通过干法刻蚀数据金属层，湿法刻蚀后的缓冲金属层和欧姆接触层均匀地均匀化TFT的寄生电容分布，减少了闪烁和串扰，均匀的图像质量可以实施。

