

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl.
G02F 1/1343 (2006.01)

(45) 공고일자 2006년10월02일
(11) 등록번호 10-0630878
(24) 등록일자 2006년09월26일

(21) 출원번호 10-2004-0042621
(22) 출원일자 2004년06월10일

(65) 공개번호 10-2005-0059398
(43) 공개일자 2005년06월20일

(30) 우선권주장 1020030090822 2003년12월12일 대한민국(KR)

(73) 특허권자 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 이윤복
서울특별시 마포구 대흥동 43-8 10/5

(74) 대리인 특허법인네이트

(56) 선행기술조사문헌
09230311 * 1003411230000 *
1019990048947 * 1019990058889 *
14006303 *
* 심사관에 의하여 인용된 문헌

심사관 : 윤성주

(54) 프린지 필드 스위칭 모드 액정표시장치 및 그 제조방법

요약

본 발명에 따른 FFS모드 액정표시장치 및 그 제조방법에 의하면, 횡전계를 형성하는 전극이 화소 영역과 대응되게 형성되는 플랫 형태의 제 1 전극과, 제 1 전극과 중첩된 위치에서 원형전극 구조를 가지는 제 2 전극으로 구성됨에 따라, 제 1, 2 전극 간의 개구 영역이 원형 구조를 가짐에 따라 액정 방향자가 모든 방향에서 동일하여 시야각을 향상시킬 수 있고, 정사각형 픽셀 구조를 적용하여 개구율을 향상시킬 수 있으며, 블랙매트릭스와 중첩 영역이 감소되어 합착 미스얼라인시에 제품별 발생할 수 있는 휘도차이를 최소화할 수 있는 장점을 가질 수 있다.

대표도

도 5

명세서

도면의 간단한 설명

도 1은 일반적인 횡전계형 액정표시장치의 구동 원리를 설명하기 위한 도면.

도 2는 일반적인 횡전계형 액정표시장치용 어레이 기판에 대한 개략적인 평면도.

도 3a, 3b는 일반적인 FFS모드 액정표시장치에 대한 도면으로서, 도 3a는 평면도이고, 도 3b는 상기 도 3a의 절단선 "IIIb-IIIb"에 따라 절단한 단면을 도시한 단면도.

도 4a, 4b는 본 발명에 따른 FFS모드 원형 전극의 패턴 구조에 대해서 나타낸 도면으로서, 도 4a는 도메인별 액정 분자의 구동 특성, 도 4b는 T-V(transmittance-voltage) 곡선 그래프에 대한 도면.

도 5는 본 발명의 제 1 실시예에 따른 FFS모드 액정표시장치용 기판의 평면도.

도 6a 내지 6f는 본 발명의 제 1 실시예에 따른 6 마스크 공정에 의한 FFS모드 액정표시장치용 기판의 제조 공정을 단계별로 나타낸 도면.

도 7a 내지 7e는 본 발명의 제 2 실시예에 따른 5 마스크에 의한 FFS모드 액정표시장치의 제조 공정을 단계별로 나타낸 평면도.

도 8은 본 발명의 제 3 실시예에 따른 FFS모드 액정표시장치용 기판에 대한 평면도.

도 9a 내지 9c는 본 발명의 제 3 실시예에 따른 6 마스크 공정에 의해 달팽이꼴 구조 FFS 모드 횡전계형 액정표시장치용 기판을 제조하는 공정을 단계별로 나타낸 평면도.

도 10a 내지 10c는 본 발명의 제 4 실시예에 따른 5 마스크 공정에 의해 FFS 모드 액정표시장치용 기판을 제조하는 공정을 단계별로 나타낸 평면도.

도 11a, 11b는 횡전계 전극의 패턴 구조에 따른 합착 미스얼라인시의 개구율 감소 정도를 설명하기 위한 도면으로서, 도 11a는 종래의 스트라이프 패턴 타입 횡전계 전극, 도 11b는 본 발명에 따른 원형 패턴 타입 횡전계 전극에 대한 도면.

도 12는 본 발명의 제 5 실시예에 따른 FFS 모드 액정표시장치에 대한 평면도.

도 13은 본 발명의 제 6 실시예에 따른 FFS 모드 액정표시장치에 대한 평면도.

도 14a, 14b는 본 발명의 제 7 실시예에 따른 FFS 모드 액정표시장치에 대한 평면도.

<도면의 주요부분에 대한 부호의 설명>

112 : 게이트 배선 128 : 데이터 배선

134 : 공통배선 136 : 공통전극

140 : 인출 배선

144a, 144b, 144c : 제 1 내지 제 3 화소전극 패턴

144 : 화소 전극 142 : 연결 배선

146 : 오픈부 BA : 블랙매트릭스 형성영역

Cst : 스토리지 커패시터 P : 화소 영역

T : 박막트랜지스터

삭제

삭제

삭제

삭제

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치(Liquid Crystal Display Device)에 관한 것이며, 특히 고투과율 및 고개구율을 갖는 액정표시장치 및 그 제조방법에 관한 것이다.

최근에, 액정표시장치는 소비전력이 낮고 휴대성이 양호한 기술집약적이며 부가가치가 높은 차세대 첨단 표시장치 소자로 각광받고 있다.

상기 액정표시장치는 투명 전극이 형성된 두 기관 사이에 액정을 주입하고, 상부 및 하부 기관 외부에 상부 및 하부 편광판을 위치시켜 형성되며, 액정 분자의 이방성에 따른 빛의 편광특성을 변화시켜 영상효과를 얻는 비발광 소자에 해당된다.

현재에는, 각 화소를 개폐하는 스위칭 소자인 박막트랜지스터(Thin Film Transistor ; TFT)가 화소마다 배치되는 능동행렬 방식 액정표시장치(AM-LCD ; Active Matrix Liquid Crystal Display)가 해상도 및 동영상 구현능력이 우수하여 평판 TV 시스템 또는 휴대 컴퓨터용 고-정보량의 모니터와 같은 응용분야에 광범위하게 사용되게 되었다.

그러나, 대표적인 액정표시장치인 TN(Twisted Nematic) 표시 모드는, 좁은 시야각 특성과 늦은 응답 특성, 특히 그레이스케일 동작에서의 늦은 응답특성 등과 같은 근본적인 문제점을 갖는다.

이러한 문제점을 해결하기 위하여, 액정표시장치의 새로운 다양한 개념이 제안되었다. 예를 들면, 하나의 방법은 하나의 화소가 여러 개의 서브화소로 나누어지는 멀티-도메인 TN 구조를 사용하는 것이고, 다른 방법은 액정 분자의 물리적 특성을 보상하는 OCB(Optically Compensated birefringence) 모드를 사용하는 것이다. 그러나, 멀티 도메인 방식은, 멀티 도메인을 형성하는데 공정이 복잡하고, 시야각 개선에도 한계가 있다. 또한, OCB 모드 방식은 시야각 특성과 응답 속도면에서 전기 광학적 성능이 우수하지만, 바이어스 전압에 의해 액정을 안정적으로 조절, 유지하기 어렵다는 단점이 있다.

최근에는 새로운 표시 모드의 일환으로, 액정 분자들을 구동시키는 전극들이 모두 동일한 기관 상에 형성되는 횡전계 모드(in plane switching mode) 모드가 제안되었다.

도 1은 일반적인 횡전계형 액정표시장치의 구동 원리를 설명하기 위한 도면이다.

도시한 바와 같이, 컬러필터 기관인 상부 기관(10)과 어레이 기관인 하부 기관(20)이 서로 이격되어 대향하고 있으며, 이 상부 기관(10) 및 하부 기관(20) 사이에는 액정층(30)이 개재되어 있는 구조에서, 상기 하부 기관(20) 내부면에는 공통 전극(22) 및 화소 전극(24)이 모두 형성되어 있다.

상기 액정층(30)은 상기 공통 전극(22)과 화소 전극(24)의 수평전계(26)에 의해 작동되고, 액정층(30)내 액정 분자가 수평전계에 의해 이동하므로 시야각이 넓어지는 특성을 띠게 된다.

한 예로, 상기 횡전계형 액정표시장치를 정면에서 보았을 때, 상/하/좌/우 방향으로 약 80 ~ 85°범위에서 가시할 수 있다.

이하, 일반적인 횡전계형 액정표시장치용 어레이 기관의 전극 배치 구조에 대해서 도면을 참조하여 상세히 설명한다.

도 2는 일반적인 횡전계형 액정표시장치용 어레이 기관에 대한 개략적인 평면도이다.

도시한 바와 같이, 게이트 배선(40) 및 데이터 배선(42)이 서로 교차되게 형성되어 있고, 게이트 배선(40) 및 데이터 배선(42)의 교차지점에는 박막트랜지스터(T)가 형성되어 있다. 상기 게이트 배선(40) 및 데이터 배선(42)의 교차 영역은 화소 영역(P)으로 정의된다.

상기 게이트 배선(40)과 일정간격 이격되게 공통 배선(44)이 형성되어 있고, 화소 영역(P)에 위치하는 공통 배선(44)에서는 데이터 배선(42)과 평행한 방향으로 다수 개의 공통 전극(46)이 분기되어 있다. 그리고, 상기 박막트랜지스터(T)와 연결되어 제 1 인출 배선(48)이 형성되어 있고, 제 1 인출 배선(48)에서는 공통 전극(46)간 이격구간에 공통 전극(46)과 서로 엇갈리게 다수 개의 화소 전극(50)이 분기되어 있다.

그리고, 상기 화소 전극(50) 들의 끝단을 연결하며, 상기 공통 배선(44)과 중첩된 위치에는 제 2 인출 배선(52)이 형성되어 있다. 상기 공통 배선(44)과 제 2 인출 배선(52)의 중첩된 영역은 미도시한 절연체가 개재된 상태에서 스토리지 캐패시턴스(C_{ST})를 이룬다.

상기 공통 전극(46)과 화소 전극(50)의 이격구간은 횡전계에 의해 액정을 구동시키는 실질적인 개구 영역(II)에 해당되며, 본 도면에서는 4 개의 개구 영역(II)을 가지는 4 블럭 구조를 일 예로 도시하였다. 즉, 상기 화소 영역(P) 별로 3 개의 공통 전극(46)과 2 개의 화소 전극(50)이 서로 엇갈리게 배치된 구조에 대해서 도시하였다.

설명의 편의상, 상기 데이터 배선(42)과 인접하게 위치하는 공통 전극(46)은 제 1 공통 전극(46a), 화소 영역(P)의 내부에 위치하는 공통 전극(46)은 제 2 공통 전극(46b)으로 명칭할 때, 상기 제 1, 2 공통 전극(46a, 46b) 중 외곽에 위치하는 제 1 공통 전극(46a)은 데이터 배선(42)과 화소 전극(50) 간에 발생하는 화질 불량 현상인 크로스토크(cross talk)를 최소화하고, 빛샘 현상을 방지하기 위한 목적으로, 상기 제 2 공통 전극(46b)보다 넓은 폭으로 형성해야하므로, 개구율이 떨어지는 문제점이 있었다.

상기 횡전계형 액정표시장치의 개구율 및 투과율을 개선하기 위하여, 프린지 필드 스위칭 모드(Fringe Field Switching Mode ; 이하, FFS모드로 약칭함) 액정표시장치가 제안되고 있다.

상기 FFS모드 액정표시장치는, 화소 영역에 대응하는 일종의 아일랜드 패턴(island pattern) 구조에 해당하는 플랫폼(flat) 형태의 공통 전극과 막대형상의 패턴이 서로 이격되게 다수 개 형성되는 구조에 해당하는 슬릿 slit 형태의 화소 전극이 절연체가 개재된 상태에서 중첩되게 배치된 구조를 가져, IPS 모드와 다르게 수 Å 간격을 두고 횡전계가 이루어지므로 횡전계가 강력하고, 전극 상부의 액정분자까지 횡전계에 의해 배열하는 것이 가능한 장점이 있다. 또한, 2 ITO구조이므로 화이트 휘도를 높여 개구율을 높일 수 있는 특징을 가진다.

이하, 일반적인 FFS모드 액정표시장치의 전극 배치 구조에 대해서 도면을 참조하여 상세히 설명한다.

도 3a, 3b는 일반적인 FFS모드 액정표시장치에 대한 도면으로서, 도 3a는 평면도이고, 도 3b는 상기 도 3a의 절단선 "IIIb-IIIb"에 따라 절단한 단면을 도시한 단면도이며, 설명의 편의상 도 3a는 FFS모드 액정표시장치용 어레이 기판에 대한 평면도를 중심으로, 도 3b는 해당 절단영역을 기준으로 액정층을 포함한 액정표시장치의 단면 구조를 중심으로 도시하였다.

도 3a는, 게이트 배선(62) 및 데이터 배선(78)이 서로 교차되게 형성되어 있고, 게이트 배선(62) 및 데이터 배선(78)의 교차지점에 박막트랜지스터(T)가 형성되어 있으며, 게이트 배선(62) 및 데이터 배선(78)의 교차 영역은 화소 영역(P)으로 정의된다. 화소 영역(P)에는 박막트랜지스터(T)와 연결되며 서로 이격되게 위치하는 다수 개의 화소 전극(82)과, 다수 개의 화소 전극(82)을 덮는 영역에 공통 전극(68)이 형성되어 있다.

좀 더 상세히 설명하면, 상기 박막트랜지스터(T)는 게이트 전극(64), 반도체층(72), 소스 전극(74), 드레인 전극(76)으로 이루어지고, 드레인 전극(76)과 연결되어 제 1 인출 배선(84)이 형성되어 있고, 제 1 인출 배선(84)에서는 전술한 다수 개의 화소 전극(82)이 분기되어 있고, 화소 전극(82) 들의 끝단은 제 2 인출 배선(86)에 의해 연결되어 있다.

그리고, 화소 영역(P)별 공통 전극(68)은, 상기 게이트 배선(62)과 동일한 방향으로 일정간격 이격되게 형성된 공통 배선(66)과 연결된다.

상기 공통 전극(68) 및 화소 전극(82)은, 서로 다른 공정에서 투명 도전성 물질로 이루어지는 것을 특징으로 하고, 상기 공통 배선(66)은 게이트 배선(62)과 동일 공정에서 동일 물질로 이루어지고, 상기 공통 배선(66)과 공통 전극(68)은 연결되는 방식으로 연결되고, 미도시한 절연체가 개재된 상태에서 공통 전극(68) 상부에 화소 전극(82)이 배치된 구조를 가진다.

이하, 상기 도 3a의 단면 구조의 제시를 통해 상기 FFS모드 액정표시장치의 동작 특성에 대해서 설명한다.

도 3b는, 제 1 기판(60) 상에 플랫(flat) 형태의 공통 전극(68)이 형성되어 있고, 공통 전극(68)을 덮는 영역에 제 1 절연층(70)이 형성되어 있으며, 제 1 절연층(70) 상부의 공통 전극(68) 상부에는 서로 이격되게 다수 개의 슬릿(slit) 형태의 화소 전극(82)이 형성되어 있고, 화소 전극(82)을 덮는 영역에는 제 1 배향막(88)이 형성되어 있다.

그리고, 상기 제 1 기판(60)과 대향되게 제 2 기판(90)이 배치되어 있고, 제 2 기판(90) 하부에는 컬러필터층(92), 제 2 배향막(94)이 차례대로 형성되어 있으며, 상기 제 1, 2 배향막(88, 94) 사이에는 액정층(96)이 개재되어 있다.

상기 FFS모드의 동작 원리에 대해서 좀 더 상세히 설명하면, 초기에는 측면전기장에 의하여 전극과 전극 사이의 액정이 먼저 기판에 평행하게 회전하고, 일정 시간이 지나면, 전극 부분에서 수직 및 측면전기장과 액정의 탄성력에 의하여 전극 위 액정 분자가 회전한다. 즉, 전극 위의 모든 면에서 빛이 투과되므로, 투과율이 높다. 또한 한 화소 내에서의 액정의 회전 정도가 달라 색택 정도가 자기 보상 효과에 의해 감소된다.

상기 횡전계 전극이 스트라이프 패턴으로 이루어진 경우, 전압 인가시 횡전계 형성을 위해 배향 방향은 0°방향으로 기준으로 대략 60°정도 기울어진 방향으로 이루어지게 되므로, 편광판의 편광축 방향과 비교시 기울어지게 되므로, 시야각 범위가 불균일해지는 문제점이 있고, 스트라이프 패턴의 경우에도 배향 방향은 90°- 270°방향으로 대부분 이루어지고, 이에 대한 편광판의 편광축 방향은 0°, 90°로 서로 직교되게 위치함에 따라 45°, 135°방향에서 시야각 특성이 저하되게 된다.

또한, 전 방향에서 대해서 각도별로 컬러 쉬프트 차이가 존재하므로, 시야각 특성이 저하되는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

이러한 문제점을 해결하기 위하여, 본 발명에서는 컬러 쉬프트 현상의 최소화로 시야각을 향상시킬 수 있는 FFS모드 액정 표시장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

이를 위하여, 본 발명에서는 화소 영역과 대응된 위치에 플랫 형태로 형성되는 제 1 전극과, 상기 제 1 전극과 중첩된 위치에서 원형 구조로 형성된 제 2 전극을 이용한 횡전계에 의해 액정을 구동시키고자 한다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 제 1 특징에서는, 제 1 기판 상에 제 1 방향으로 형성된 게이트 배선과; 상기 제 1 방향과 교차되는 제 2 방향으로 형성된 데이터 배선과; 상기 제 1 방향으로 게이트 배선과 이격되게 형성된 공통 배선과; 상기 게이트 배선 및 데이터 배선의 교차 영역은 화소 영역으로 정의되고, 상기 공통 배선에서 분기되어 상기 화소 영역과 대응되는 플랫(flat) 형태로 형성된 공통 전극과; 상기 게이트 배선 및 데이터 배선의 교차 지점에 형성된 박막트랜지스터와; 상기 박막트랜지스터와 연결되는 인출 배선과; 상기 인출 배선에서 분기되며, 절연체가 개재된 상태에서 상기 공통 전극과 중첩된 영역에서 원형 구조로 형성된 화소 전극과; 상기 제 1 기판과 대향되게 배치된 제 2 기판과; 상기 제 1, 2 기판 사이에 개재된 액정층을 포함하며, 상기 공통 전극 및 화소 전극은 투명 도전성 물질로 이루어지고, 상기 화소 전극은 적어도 두 개 이상의 패턴으로 이루어져, 상기 화소전극 패턴 간 이격 구간과, 상기 공통 전극 및 화소 전극 간의 중첩 영역을 포함하는 영역에서의 횡전계에 의해 상기 액정층의 액정 분자를 구동시키는 것을 특징으로 하는 FFS(Fringe Field Switching Mode) 모드 액정표시장치를 제공한다.

본 발명의 제 2 특징에서는, 제 1 기판 상에, 제 1 방향으로 형성된 게이트 배선과; 상기 제 1 방향과 교차되는 제 2 방향으로 형성된 데이터 배선과; 상기 제 1 방향으로 게이트 배선과 이격되게 형성된 공통 배선과; 상기 게이트 배선 및 데이터 배선의 교차 영역은 화소 영역으로 정의되고, 상기 공통 배선에서 분기되어 상기 화소 영역과 대응되는 원형구조로 형성된 공통 전극과; 상기 게이트 배선 및 데이터 배선의 교차 지점에 형성된 박막트랜지스터와; 상기 박막트랜지스터와 연결되며, 절연체가 개재된 상태에서 상기 공통 전극과 중첩된 영역에 플랫 형태로 형성된 화소 전극과; 상기 제 1 기판과 대향되게 배치된 제 2 기판과; 상기 제 1, 2 기판 사이에 개재된 액정층을 포함하며, 상기 공통 전극 및 화소 전극은 투명 도전성 물질로 이루어지고, 상기 공통 전극은 적어도 두 개 이상의 패턴으로 이루어져, 상기 공통 전극 패턴 간 이격 구간과, 상기 공통 전극 및 화소 전극 간의 중첩 영역을 포함하는 영역에서의 횡전계에 의해 상기 액정층의 액정 분자를 구동시키는 것을 특징으로 하는 FFS(Fringe Field Switching Mode) 모드 액정표시장치를 제공한다.

상기 화소 전극은, 동일한 중심부를 가지며 안에서 바깥으로 차례대로 배열된 다수 개의 패턴으로 이루어지고, 상기 화소 전극은, 중심부에서부터 바깥쪽으로 제 1 내지 3 화소전극 패턴이 차례대로 배치된 구조로 이루어지는 것을 특징으로 한다.

상기 제 2 특징에 따른 상기 공통 전극은, 상기 화소 영역의 테두리부를 두르는 영역에 위치하고 원형 구조의 오픈부를 가지는 제 1 공통전극 패턴과, 상기 제 1 공통전극 패턴의 내부에서 원형띠 구조로 이루어지는 제 2 공통전극 패턴을 포함하는 것을 특징으로 한다.

상기 제 1, 2 특징에 따른 상기 공통 전극과 화소 전극 간의 중첩 영역은 미도시한 절연체가 개재된 상태에서 스토리지 커패시터를 이루고, 상기 화소 영역의 주영역을 노출시키는 오픈 영역을 포함하여, 비화소 영역 및 공통 전극의 테두리부를 덮는 영역은, 블랙매트릭스에 의해 가려지는 영역이며, 상기 오픈부는 원형구조로 이루어진 것을 특징으로 한다.

상기 제 1 특징에 따른 상기 화소 전극은 달팽이꼴 구조로 이루어지는 것을 특징으로 한다.

상기 제 2 특징에 따른 상기 공통 전극은 달팽이꼴 구조로 이루어지고, 상기 공통 전극은, 상기 달팽이꼴 오픈부를 가지며, 상기 화소 영역의 테두리부를 두르는 영역에 위치하는 것을 특징으로 한다.

상기 제 1, 2 특징에 따른 상기 화소 영역은 정사각형 구조로 이루어지고, 상기 하나의 화소 영역은 하나의 서브픽셀을 이루고, 적, 녹, 청, 백 4 개의 서브픽셀이 하나의 픽셀을 이루는 4색 픽셀 구조를 가지며, 상기 화소 전극에는, 전단 게이트 배선과 일정 영역 중첩되게 위치하는 커패시터 전극이 연장형성되어 있고, 상기 커패시터 전극과 게이트 배선 간의 중첩 영역은 또 하나의 스토리지 커패시터를 이루는 것을 특징으로 한다.

상기 제 1, 2 특징에 따른 상기 박막트랜지스터는, 상기 게이트 배선에서 분기되는 게이트 전극과, 상기 게이트 전극과 중첩되게 위치하는 반도체층과, 상기 데이터 배선에서 분기되는 소스 전극과, 상기 소스 전극과 이격되게 위치하는 드레인 전극으로 이루어지는 것을 특징으로 한다.

그리고, 상기 제 1 특징에 따른 상기 화소 전극은, 실질적으로 인출 배선을 통해 박막트랜지스터와 연결되는 것을 특징으로 한다.

본 발명의 제 3 특징에서는, 기관 상에, 제 1 방향으로 게이트 배선과 게이트 전극을 형성하는 단계와, 상기 게이트 전극의 상부에 이격된 소스 전극과 드레인 전극과, 상기 소스 전극과 연결되고 상기 게이트 배선과 교차하는 방향으로 구성된 데이터 배선을 형성하는 동시에, 상기 데이터 배선과 상기 소스 및 드레인 전극의 하부에 이와 동일한 패턴으로 반도체 물질층을 형성하는 단계와, 상기 소스 및 드레인 전극과 데이터 배선과 반도체 물질층이 형성된 기관의 전면에 절연체가 형성된 상태에서, 플랫폼 형태의 패턴으로 이루어지는 제 1 FFS (Fringe Field Switching) 전극을 형성하는 단계와, 상기 제 1 FFS 전극과 또 하나의 절연체가 개재된 상태에서 중첩되게 위치하며, 원형 구조를 가지는 제 2 FFS(Fringe Field Switching) 전극을 형성하는 단계를 포함하며, 상기 제 1, 2 FFS 전극은 투명 도전성 물질로 이루어지는 FFS 모드 액정표시장치를 제공한다.

상기 제 1 FFS 전극은 공통 전극으로서, 상기 공통 전극을 형성하는 단계에서는, 상기 공통 전극과 연결되며, 상기 제 1 방향으로 게이트 배선과 이격되게 위치하는 공통 배선을 형성하는 단계를 더 포함하는 것을 특징으로 하고, 상기 제 2 FFS 전극은 화소 전극이며, 상기 화소 전극은 상기 박막트랜지스터와 연결되는 것을 특징으로 하고, 상기 화소 전극을 형성하는 단계는, 동일한 중심부를 가지며 안에서 바깥으로 원형띠 구조를 가지는 다수 개의 화소전극 패턴을 서로 일정간격을 유지하며 차례대로 형성하는 단계를 포함하며, 상기 박막트랜지스터는 게이트 전극, 소스 전극, 드레인 전극으로 이루어지고, 상기 두 개의 절연체는 상기 드레인 전극을 일부 노출시키는 드레인 콘택홀을 가지며, 상기 화소 전극은 상기 드레인 콘택홀을 통해 상기 박막트랜지스터의 드레인 전극과 연결되는 것을 특징으로 한다.

삭제

이하, 본 발명에 따른 바람직한 실시예를 도면을 참조하여 상세히 설명한다.

도 4a, 4b는 본 발명에 따른 FFS모드 원형 전극의 패턴 구조에 대해서 나타낸 도면으로서, 도 4a는 도메인별 액정 분자의 구동 특성, 도 4b는 T-V(transmittance-voltage) 곡선 그래프에 대한 도면에 대한 것으로, 중심부를 동일하게 하여 안에서 바깥쪽으로 원형띠 구조의 횡전계 전극(이하, 원형 전극으로 약칭함)이 차례대로 배치된 구조를 일 예로 제시할 수 있다.

도 4a에 따른 원형 전극(CE ; circular electrode) 구조에 의하면, 서로 다른 액정 분자(110)의 배열 구조를 가지는 영역으로 정의되는 4 개의 도메인(D1, D2, D3, D4)으로 이루어지는 멀티 도메인 구조를 가지게 되고, 도메인별 액정 분자(110)는 러빙 방향을 따라 전압 무인가시에는 도메인 구분없이, 예를 들어 90°- 270°방향으로 배열되었다가, 횡전계 인가에 의해 원형 전극(110)과 수평한 방향으로 전체적으로 방사형 구조로 구동된다.

이에 대한 T-V 특성은, 도 4b에서와 같이 종래의 스트라이프 패턴 구조 횡전계 전극에서의 러빙 방향별 효과가 함으로 나타나는 것을 특징으로 한다.

이하, 본 발명에 따른 원형전극 구조 FFS 모드 액정표시장치에 대한 구체적인 실시시예를 도면을 참조하여 상세히 설명한다.

-- 제 1 실시예 --

도 5는 본 발명의 제 1 실시예에 따른 FFS모드 액정표시장치용 기관의 평면도이다.

도시한 바와 같이, 제 1 방향으로 게이트 배선(112)이 형성되어 있고, 제 1 방향과 교차되는 제 2 방향으로 데이터 배선(128)이 형성되어 있으며, 제 1 방향으로 게이트 배선(112)과 대응되게 공통 배선(134)이 형성되어 있고, 상기 게이트 배선(112) 및 데이터 배선(128)의 교차 영역은 화소 영역(P)으로 정의된다.

상기 공통 배선(142)에서는 화소 영역(P)별로, 화소 영역(P)에 대응되는 플랫폼 형태의 공통 전극(138)이 형성되어 있다.

그리고, 상기 게이트 배선(112) 및 데이터 배선(128)의 교차 지점에는 박막트랜지스터(T)가 형성되어 있고, 박막트랜지스터(T)와 연결되어 인출 배선(140)이 형성되어 있고, 인출 배선(140)에서는 연결 배선(141)이 연장 형성되어 있으며, 연결 배선(141)에서는 다수 개의 원형 패턴으로 이루어진 화소 전극(144)이 분기되어 있다.

상기 화소 전극(144)은, 동일한 중심부를 가지며 안에서 바깥으로 차례대로 배열된 다수 개의 패턴으로 이루어지며, 중심부에서부터 바깥쪽으로 제 1 내지 3 화소전극 패턴(144a, 144b, 144c)이 차례대로 배치된 구조를 이룬다.

본 실시예에 따른 FFS 모드에서는, 화소 전극(144) 패턴 간 이격 영역 및 화소 전극(144)과 공통 전극(138) 간의 중첩 영역을 개구 영역으로 이용하므로, 상기 화소 전극(144) 및 공통 전극(138)은 투명 도전성 물질에서 선택되고, 한 예로 ITO(indium tin oxide)를 들 수 있다.

그리고, 본 발명에 따른 FFS 모드의 경우 별도로 스토리지 커패시터를 구성하지 않아도, 상기 공통 전극(138)과 화소 전극(144) 간의 중첩 영역이 미도시한 절연체가 개재된 상태에서 스토리지 커패시터(Cst)를 이루는 것을 특징으로 한다.

도면에서 빗금친 영역은 블랙매트릭스 형성영역(BA)으로서, 미도시한 블랙매트릭스는 대향 기관 또는 동일 기관에 위치하며, 액정이 구동되지 않는 영역에서의 빛을 차단하는 역할을 한다. 상기 블랙매트릭스 형성영역(BA)는 화소 영역의 주 영역을 노출시키는 오픈부(146)를 포함하여, 비화소 영역 및 공통 전극(138)의 테두리부를 포함하는 영역에 형성되며, 한 예로 제 3 화소전극 패턴(144c)보다 큰 사이즈를 가지며 원형구조로 형성할 수 있다.

도 6a 내지 6f는 본 발명의 제 1 실시예에 따른 6 마스크 공정에 의한 FFS모드 액정표시장치용 기관의 제조 공정을 단계별로 나타낸 도면으로서, 원형 전극 구조를 중심으로 간략하게 설명한다.

전술한 마스크 공정은, 감광성 물질을 이용한 사진식각공정(photolithography)에 의해 패터닝하는 공정을 의미한다.

도 6a는, 기관(110) 상에 제 1 마스크 공정에 의해, 제 1 방향으로 위치하며 게이트 전극(116)을 가지는 게이트 배선(112)을 형성하는 단계이다.

도 6b는, 상기 게이트 배선(112)을 덮는 영역에 게이트 절연막(미도시)을 형성하는 단계와, 제 2 마스크 공정에 의해 상기 게이트 전극(116)을 덮는 영역에 반도체층(122)을 형성하는 단계이고, 도 6c는 제 3 마스크 공정에 의해 제 1 방향과 교차되는 제 2 방향으로 데이터 배선(128)과, 상기 데이터 배선(128)에서 분기되는 소스 전극(130)과, 상기 소스 전극(130)과 이격되게 아일랜드 패턴 구조로 이루어진 드레인 전극(132)을 형성하는 단계이다.

상기 게이트 배선(112) 및 데이터 배선(128)이 교차되는 영역은 화소 영역(P)으로 정의된다.

상기 소스 전극(130)과 드레인 전극(132)은 반도체층(122)의 양측과 중첩되게 위치한다.

이 단계를 거쳐, 상기 게이트 전극(116), 반도체층(122), 소스 전극(130), 드레인 전극(132)은 박막트랜지스터(T)를 이룬다.

상기 소스 전극(130) 및 드레인 전극(132) 간 이격 구간에 위치하는 반도체층(122)의 진성 반도체 물질을 노출시켜, 노출된 진성 반도체 물질 영역을 채널(ch)로 구성하는 단계를 포함한다.

이어서, 도 6d는 상기 박막트랜지스터(T)를 포함하여 기판 전면에 보호층(미도시)을 형성하는 단계와, 상기 보호층 상부에 제 4 마스크 공정에 의해 상기 제 1 방향으로 상기 게이트 배선(112)과 이격되게 위치하는 공통 배선(134)과, 상기 공통 배선(134)에서 화소 영역(P) 단위로, 상기 화소 영역(P)과 대응되는 플랫폼 형태의 패턴으로 분기되는 공통 전극(136)을 형성하는 단계이다.

도 6e는, 상기 공통 배선(134) 및 공통 전극(136)을 덮는 기판 전면에 절연층(미도시)을 형성하는 단계와, 제 5 마스크 공정에 의해 상기 절연층 및 보호층에 상기 드레인 전극(132)을 일부 노출시키는 드레인 콘택홀(138)을 형성하는 단계이다.

도 6f는, 상기 드레인 콘택홀(138)을 포함하는 절연층 상부에 제 6 마스크 공정에 의해 상기 드레인 콘택홀(138)을 통해 드레인 전극(132)과 연결되는 인출 배선(140)과, 상기 인출 배선(140)에서 제 2 방향으로 연장형성된 연결 배선(142)과, 상기 연결 배선(142)에서 분기되는 화소 전극(144)을 형성하는 단계이다.

상기 화소 전극(144)은, 동일한 중심부에서 안쪽에서 바깥쪽으로 일정간격 이격되게 차례대로 형성된 원형 구조의 다수 개의 패턴으로 이루어진다.

좀 더 구체적으로 설명하면, 중심부에 원형패턴으로 이루어진 제 1 화소전극 패턴(144a)과, 제 1 화소전극 패턴(144a)바깥둘레에서 원형패턴 구조로 이루어진 제 2 화소전극 패턴(144b)과, 제 2 화소전극 패턴(144b)의 바깥둘레에서 원형패턴 구조로 이루어진 제 3 화소전극 패턴(144c)으로 이루어진다.

상기 공통 전극(136)과 화소 전극(144)은 서로 중첩된 영역에 위치하는 것이 중요하다.

이하, 상기 제 1 실시예에 따른 제조 공정보다 마스크 수가 절감된 저마스크 공정에 의해 FFS 모드 액정표시장치를 제조하는 공정에 대해서 설명한다.

-- 제 2 실시예 --

도 7a 내지 7e는 본 발명의 제 2 실시예에 따른 5 마스크에 의한 FFS모드 액정표시장치의 제조 공정을 단계별로 나타낸 평면도로서, 상기 제 1 실시예에 따른 5 마스크 공정과 중복되는 공정 설명은 간략히 한다.

도 7a는, 기판(210) 상에, 제 1 마스크 공정에 의해 상기 도 6a와 동일한 방법으로 게이트 배선(212), 게이트 전극(216)을 형성하는 단계이다.

도 7b는, 상기 게이트 배선(212), 게이트 전극(216)을 덮는 영역에 게이트 절연막(미도시)을 형성하는 단계와, 게이트 절연막 상부에 반도체 물질, 금속 물질을 차례대로 적층한 다음, 회절 노광법을 포함하는 제 2 마스크 공정에 의해 상기 금속 물질을 이용하여 데이터 배선(228), 소스 전극(230), 드레인 전극(232)을 형성하고, 상기 데이터 배선(228), 소스 전극(230), 드레인 전극(232)과 대응된 패턴 구조로 반도체 물질을 반도체 물질층(225)으로 형성한다. 상기 반도체 물질층(225)은 소스 전극(230) 및 드레인 전극(232) 간 이격구간을 포함하여 형성되며, 상기 소스 전극(230) 및 드레인 전극(232)과 대응된 위치의 반도체 물질층(225)은 반도체 영역(SC ; semiconductor area)을 이룬다.

상기 게이트 전극(216), 반도체 물질층(225)의 반도체 영역(SC), 소스 전극(230), 드레인 전극(232)은 박막트랜지스터(T)를 이룬다.

이 단계에서는, 회절 노광법에 의해 소스 전극(230) 및 드레인 전극(232) 간 이격 구간에 위치하는 반도체 물질층(225)의 순수 반도체 영역을 노출시켜 채널(ch)을 형성하는 단계를 포함한다.

한 예로, 노광된 부분이 제거되는 포토티브 타입 감광성 물질을 이용할 경우, 채널부와 대응된 위치에 슬릿부를 가지는 마스크를 배치하여, 채널부에서 패터를 형성하고자 하는 부분보다 얇은 두께를 가지는 감광성 물질층을 형성하는 방법으로 하나의 마스크 공정에서 반도체 공정과 소스/드레인 공정을 동시에 진행할 수 있다.

상세히는, 소스 및 드레인 전극층(미도시)과 데이터 배선(228)이 먼저 패터닝된 후, 상기 두께가 낮은 감광성 물질을 애싱공정을 통해 제거하여, 하부의 소스 및 드레인 전극층(미도시)을 노출하고 이를 식각하는 공정을 통해, 비로소 소스 및 드레인 전극(230, 232)을 이격된 상태로 형성하게 되는 것이다.

이와 같이, 상기 소스 및 드레인 전극(230, 232)과 반도체 물질층(225)이 하나의 공정으로 이루어 지기 때문에, 상기 소스 및 드레인 전극(230, 232)의 하부 뿐 아니라, 상기 데이터 배선(228)의 하부 까지 반도체 물질층(225)이 위치한 상태가 되는 것이다.

이때, 데이터 배선(228) 하부에 상기 반도체층(SC)이 존재함으로써, 상기 데이터 배선의 부착 특성이 개선되는 장점이 있다.

도 7c는, 상기 박막트랜지스터(T)를 덮는 기판 전면에서 보호층(미도시)을 형성하는 단계와, 상기 보호층 상부에 제 3 마스크 공정에 의해 공통 배선(234) 및 공통 전극(236)을 형성하는 단계이다.

삭제

상기 공통 배선(234) 및 공통 전극(236)을 이루는 물질은 투명 도전성 물질에서 선택되며, 한 예로 ITO로 이루어질 수 있다.

이어서, 도 7d는 상기 공통 배선(234) 및 공통 전극(236)을 덮는 영역에 절연층(미도시)을 형성하는 단계와, 제 4 마스크 공정에 의해 상기 절연층 및 상기 보호층에 상기 드레인 전극(232)을 일부 노출시키는 드레인 콘택홀(238)을 형성하는 단계이다.

도 7e는, 상기 드레인 콘택홀(238)을 포함하는 절연층 상부에, 제 5 마스크 공정에 의해, 상기 드레인 콘택홀(238)을 통해 드레인 전극(232)과 연결되는 인출 배선(240)과, 상기 인출 배선(240)에서 연장형성된 연결 배선(242)과, 상기 연결 배선(242)에서 분기된 원형 구조의 화소 전극(244)을 형성하는 단계이다.

상기 화소 전극(244)은 다수 개의 패턴으로 이루어지며, 구체적인 패턴 구조는 상기 6e에서 언급한 구조를 그대로 적용할 수 있다.

즉, 상기 화소 전극(244)은 제 1 내지 제 3 화소전극 패턴(244a, 244b, 244c)으로 이루어진다.

상기 화소 전극(244)은 상기 공통 전극(236)과 마찬가지로 투명 도전성 물질에서 선택되며, 한 예로 ITO로 할 수 있다.

이하, 본 발명의 또 다른 실시예에서는 원형전극 구조의 또 하나의 패턴 구조로서 달팽이꼴 전극 구조에 대해서 제시한다.

전술한 "달팽이꼴"에 대한 사전적 정의를 살펴보면, 예를 들어 지름이 "a"인 원 위의 점 "O"를 끝점으로 하는 현(弦) "OQ" 위 또는 그 연장 위에 "Q"로부터의 길이 "b"인 선분 "QP"를 "Q"의 양쪽에 취할 때, "Q"가 이 원주 위를 움직일 경우의 "P"의 자취인 곡선을 의미하는 것이고, 와우형(蝸牛形) 또는 리마송이라고도 불리우기도 한다.

-- 제 3 실시예 --

도 8은 본 발명의 제 3 실시예에 따른 FFS모드 액정표시장치용 기판에 대한 평면도로서, 달팽이꼴 전극 구조에 대해서 도시하였고, 상기 제 1 실시예와 원형 전극 구조를 제외한 부분은 동일하게 적용할 수 있으므로, 중복되는 부분에 대한 설명은 생략한다.

도시한 바와 같이, 공통 배선(342)과 연결되어 화소 영역(P)에는 플랫폼 형태의 공통 전극(344)이 형성되어 있고, 박막트랜지스터(T)와 연결되어 인출 배선(340)이 형성되어 있고, 인출 배선(340)에서 연장형성되며 공통 전극(344)과 중첩된 영역에는 달팽이꼴 구조의 화소 전극(338)이 형성되어 있다.

상기 제 1 실시예의 경우 패곡선으로 이루어진 다수 개의 원형띠 구조의 조합으로 화소 전극이 이루어졌다면, 본 실시예는 하나의 화소 전극이 별도의 연결 배선없이 바깥에서 안쪽으로 또는 안쪽에서 바깥쪽으로 일정간격을 유지하며 달팽이꼴로 형성된 것을 특징으로 한다.

본 구조에서도 마찬가지로, 화소 전극(338)이 가지는 달팽이꼴 패턴간의 이격 영역 및 화소 전극(338)과 공통 전극(344)이 증착된 영역에서의 횡전계에 의해 액정을 구동시키는 것을 특징으로 하고, 이러한 구조적 특징에 의해 화소 전극(338)과 공통 전극(344)은 투명 도전성 물질에서 선택되며, 한 예로 ITO로 할 수 있다.

상기 공통 전극(344)과 화소 전극(338) 간의 증착 영역은, 미도시한 절연체가 개재된 상태에서 스토리지 커패시터(Cst)를 이룬다.

도면에서 빗금친 영역은, 화소 전극(338)을 노출시키는 원형의 오픈부(346)를 가지는 블랙매트릭스 형성 영역(BA ; black matrix area)에 해당된다.

도 9a 내지 9c는 본 발명의 제 3 실시예에 따른 6 마스크 공정에 의해 달팽이꼴 구조 FFS 모드 횡전계형 액정표시장치용 기판을 제조하는 공정을 단계별로 나타낸 평면도로서, 제 1 내지 제 4 마스크 공정은 상기 제 1 실시예와 동일하게 적용할 수 있으므로 하나의 도면으로 도시하였다.

도 9a는, 제 1 마스크 공정에 의해 게이트 배선(312), 게이트 전극(316)을 형성하는 단계와, 제 2 마스크 공정에 의해 반도체층(322)을 형성하는 단계와, 제 3 마스크 공정에 의해 데이터 배선(338), 소스 전극(330), 드레인 전극(332)을 형성하고, 상기 게이트 전극(316), 반도체층(322), 소스 전극(330), 드레인 전극(332)으로 이루어지는 박막트랜지스터(T)를 형성하는 단계와, 상기 소스 전극(330) 및 드레인 전극(332)을 마스크로 이용하여 진성 반도체 물질 영역으로 이루어지는 채널(ch)을 구성하는 단계를 포함한다.

다음, 상기 박막트랜지스터를 포함하는 기판 전면에 보호층(미도시)을 형성하는 단계와, 상기 보호층 상부에 제 4 마스크 공정에 의해, 상기 게이트 배선(312)과 평행한 방향으로 위치하며, 상기 화소 영역(P)과 대응되는 플랫폼 형태의 공통 전극(336)을 가지는 공통 배선(334)을 형성하는 단계이다.

도 9b는, 상기 공통 전극(336) 및 공통 배선(334)을 포함한 기판 전면에 절연층(미도시)을 형성하는 단계와, 제 5 마스크 공정에 의해 상기 절연층 및 보호층에 상기 드레인 전극(332)을 일부 노출시키는 드레인 콘택홀(338)을 형성하는 단계이다.

도 9c는, 상기 드레인 콘택홀(338)을 포함하는 절연층 상부에, 제 6 마스크 공정에 의해 상기 드레인 콘택홀(338)을 통해 드레인 전극(332)과 연결되는 인출 배선(340)과, 상기 인출 배선(340)에서 연장형성되는 달팽이꼴 구조의 화소 전극(344)을 형성하는 단계이다.

이하, 상기 제 3 실시예에 따른 제조 공정보다 마스크 공정수가 절감된 공정에 의해 달팽이꼴 전극 구조 FFS모드 액정표시장치용 기판을 제조하는 공정에 대해서 설명한다.

-- 제 4 실시예 --

도 10a 내지 10c는 본 발명의 제 4 실시예에 따른 5 마스크 공정에 의해 FFS 모드 액정표시장치용 기판을 제조하는 공정을 단계별로 나타낸 평면도이다.

도 10a는, 제 1 마스크 공정에 의해 게이트 배선(412), 게이트 전극(416)을 형성하는 단계와, 제 2 마스크 공정에 의해 데이터 배선(428), 소스 전극(430), 드레인 전극(432)과, 상기 데이터 배선(428), 소스 전극(430), 드레인 전극(432)과 대응되는 패턴 구조를 가지며, 상기 소스 전극(430) 및 드레인 전극(432)과 대응된 위치에서 반도체 물질층(SC)을 가지는 반도체 물질층(425)을 형성하는 단계를 포함한다.

또한, 동일 마스크 공정에서 회절 노광법에 의해 소스 및 드레인 전극을 이격형성하고 이격된 사이에 채널(ch)을 형성하는 단계를 포함하고, 상기 게이트 전극(416), 반도체 물질층(425)의 반도체 영역(SC), 소스 전극(430), 드레인 전극(432)은

박막트랜지스터(T)를 이루며, 상기 박막트랜지스터(T)를 덮는 기판 전면에 보호층(미도시)을 형성하는 단계와, 상기 보호층 상부에 제 3 마스크 공정에 의해, 상기 게이트 배선(412)과 평행한 방향으로 위치하며, 상기 화소 영역(P)과 대응되는 플랫 형태의 공통 전극(436)을 가지는 공통 배선(434)을 형성하는 단계이다.

도 10b는, 상기 공통 전극(436) 및 공통 배선(434)을 포함한 기판 전면에 절연층(미도시)을 형성하는 단계와, 제 4 마스크 공정에 의해 상기 절연층 및 보호층에 상기 드레인 전극(432)을 일부 노출시키는 드레인 콘택홀(438)을 형성하는 단계이다.

도 10c는, 상기 드레인 콘택홀(438)을 포함하는 절연층 상부에, 제 5 마스크 공정에 의해 상기 드레인 콘택홀(438)을 통해 드레인 전극(432)과 연결되는 인출 배선(440)과, 상기 인출 배선(440)에서 연장형성되는 달팽이꼴 구조의 화소 전극(444)을 형성하는 단계이다.

도 11a, 11b는 횡전계 전극의 패턴 구조에 따른 합착 미스얼라인시의 개구율 감소 정도를 설명하기 위한 도면으로서, 도 11a는 종래의 스트라이프 패턴 타입 횡전계 전극, 도 11b는 본 발명에 따른 원형 패턴 타입 횡전계 전극에 대한 도면이다.

도시한 바와 같이, 횡전계 전극(IE1, IE2 ; in-plane electrode)이 형성된 기판(450, 470)과, 블랙매트릭스(BM)가 형성된 기판(460, 480)의 합착 공정에서 미스 얼라인이 발생될 경우, 블랙매트릭스(BM1, BM2)는 설계치를 벗어나 횡전계 전극(IE1, IE2)과의 중첩 영역이 커질 수 있고, 이러한 미스 얼라인은 개구율의 감소를 초래할 수 있다.

도 11a의 경우, 횡전계 전극(IE1)이 가지는 패턴 구조에 의해 블랙매트릭스(BM1)와 횡전계 전극(IE1)간의 중첩 영역(XIa)이 횡전계 전극(IE1)의 길이 방향으로 모두 중첩되지만, 도 11b의 경우 본 발명에 따른 횡전계 전극(IE2)은 원형 전극 구조를 가짐에 따라 블랙매트릭스(BM2)와 횡전계 전극(IE2) 간의 중첩 영역(XIb)은, 도 11a에 비해 현저히 감소됨을 알 수 있다.

따라서, 본 발명에 따른 원형전극 구조에 의하면, 합착공정 마진이 커지므로, 제품별 휘도 차이를 줄일 수 있다.

이하, 본 발명의 또 다른 실시예에서는 스토리지 캐패시터 향상 구조에 대해서 제시한다.

-- 제 5 실시예 --

도 12는 본 발명의 제 5 실시예에 따른 FFS 모드 액정표시장치에 대한 평면도로서, 상기 제 1 실시예와 구별되는 특징을 중심으로 설명한다.

도시한 바와 같이, 화소 전극(538)의 최외각 패턴인 제 3 화소전극 패턴(538c)에서는 전단 게이트 배선(512)과 중첩되게 커패시터 전극(540)이 연장 형성되어 있다.

즉, 화소 전극(538)과 공통 전극(520)간의 중첩 영역에서의 제 1 스토리지 커패시터(Cst1)와, 커패시터 전극(540)과 게이트 배선(512) 간의 중첩 영역에서의 제 2 스토리지 커패시터(Cst2)의 합으로 스토리지 커패시터(Cst)가 구성됨에 따라 상기 제 1, 3 실시예에 따른 구조보다 스토리지 커패시터(Cst)의 증가로 액정을 안정적으로 구동시킬 수 있다.

이하, 본 발명의 또 다른 실시예에서는, 개구율 향상을 위해 정사각형 구조의 적(red), 녹(green), 청(blue), 백(white) 서브픽셀이 하나의 픽셀을 이루는 4색 픽셀 구조를 가지는 원형전극 구조 FFS 모드 액정표시장치를 제시하고자 한다.

-- 제 6 실시예 --

도 13은 본 발명의 제 6 실시예에 따른 FFS 모드 액정표시장치에 대한 평면도로서, 정사각형으로 이루어진 적/녹/청/백 4색 픽셀 구조에 대한 것이다.

일반적인 적/녹/청 3색 픽셀 구조에서는 직사각형 구조로 서브픽셀이 구성됨에 따라, 화소 영역 내 단축 폭이 원형 전극의 지름을 결정하게 되고, 원형 전극외에 더미 영역이 꽤 큰 비중을 차지함에 따라 개구율 향상에 한계가 있었다.

그러나, 정사각형 픽셀 구조에서는 화소 영역이 중심부에서 네변까지의 거리가 동일하기 때문에, 원형 전극의 지름을 결정하는데 장애가 없게 되고, 원형 전극외에 더미 영역이 차지하는 비중이 현저히 감소함에 따라 개구율 향상을 효과적으로 꾀할 수 있다.

도시한 바와 같이, 정사각형으로 이루어지는 적, 녹, 청, 백 4개의 서브픽셀(SP(적), SP(녹), SP(청), SP(백))이 하나의 픽셀(PX)을 이루는 4색 픽셀 구조에 원형전극 구조 FFS 모드 액정표시장치를 적용하게 되면, 화소 영역의 이용 효율을 높여 개구율을 효과적으로 높일 수 있다.

이하, 화소 전극이 플랫 형태로 형성되고, 공통 전극이 원형전극 구조를 가지는 실시예에 대해서 제시한다.

-- 제 7 실시예 --

도 14a, 14b는 본 발명의 제 7 실시예에 따른 FFS 모드 액정표시장치에 대한 평면도로서, 도 14a는 원형띠 구조, 도 14b는 달팽이꼴 구조 공통 전극을 포함하는 FFS 모드 액정표시장치에 대한 것이고, 상기 제 1 실시예와 구별되는 특징적인 부분을 중심으로 설명한다.

본 실시예에서는, 화소 전극(738, 838)이 화소 영역(P)과 대응된 위치에 플랫 형태로 형성되고, 화소 전극(738, 838)과 중첩된 위치에서 공통 전극(744, 844)이 원형 구조로 형성됨을 특징으로 한다.

본 구조에서도, 화소 전극(738, 838)과 공통 전극(744, 844)이 중첩된 영역은 미도시한 절연체가 개재된 상태에서 스토리지 커패시터(Cst)를 이루고, 화소 전극(738, 838)과 공통 전극(744, 844)을 이루는 물질은 투명 도전성 물질에서 선택되고, 한 예로 ITO로 형성될 수 있으며, 공통 전극(744, 844) 간의 이격 구간 및 두 전극의 중첩 영역은 개구 영역을 이루며, 상기 제 1 실시예에서와 같이 개구 영역이 원형 구조를 이룸에 따라 시야각 특성을 향상시킬 수 있다.

도 14a에 따른 공통 전극(744)은 원형띠 구조를 가지고 있고, 도 14b에 따른 공통 전극(844)은 달팽이꼴 구조를 가지고 있다.

좀 더 구체적으로 설명하면, 도 14a에 따른 공통 전극(744)은 원형의 오픈부(746)를 가지며 화소 영역(P)의 테두리부를 두르는 영역에 위치하는 제 1 공통전극 패턴(744a)과, 제 1 공통전극 패턴(744a) 내부에 원형띠 구조로 위치하는 제 2 공통전극 패턴(744b)으로 이루어진다. 그리고, 상기 화소 전극(738)은 제 1 공통전극 패턴(744a) 내부에서 오픈부(746)보다는 큰 사이즈를 가지고 있다.

도 14b에 따른 공통 전극(844)은 달팽이꼴 오픈부(846)를 가지며, 화소 영역(P)의 테두리부를 두르는 영역에 위치하고, 상기 화소 전극(838)은 공통 전극(844) 내부에서 오픈부(846)보다는 큰 사이즈를 가지고 있다.

또한, 본 실시예에 따른 특징적인 구조를 포함하여 상기 제 1 내지 6 실시예에 따른 구조 및 제조 공정을 적용할 수 있다.

그러나, 본 발명은 상기 실시예 들로 한정되지 않으며, 본 발명의 취지에 벗어나지 않는 범위 내에서 다양하게 변경하여 실시할 수 있다.

예를 들어, 본 발명에 따른 원형 전극 구조는 타원형 전극 구조를 포함하는 구조에 해당된다.

발명의 효과

이와 같이, 본 발명에 따른 FFS모드 액정표시장치 및 그 제조방법에 의하면, 횡전계를 형성하는 전극이 화소 영역과 대응되게 형성되는 플랫 형태의 제 1 전극과, 제 1 전극과 중첩된 위치에서 원형전극 구조를 가지는 제 2 전극으로 구성됨에 따라, 제 1, 2 전극 간의 개구 영역이 원형 구조를 가짐에 따라 액정 방향자가 모든 방향에서 동일하여 시야각을 향상시킬 수 있고, 정사각형 픽셀 구조를 적용하여 개구율을 향상시킬 수 있으며, 블랙매트릭스와 중첩 영역이 감소되어 합착 미스얼라인시에 제품별 발생할 수 있는 휘도차이를 최소화할 수 있는 장점을 가질 수 있다.

(57) 청구의 범위

청구항 1.

삭제

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

삭제

청구항 6.

삭제

청구항 7.

삭제

청구항 8.

삭제

청구항 9.

삭제

청구항 10.

삭제

청구항 11.

삭제

청구항 12.

삭제

청구항 13.

삭제

청구항 14.

삭제

청구항 15.

삭제

청구항 16.

삭제

청구항 17.

기관 상에, 제 1 방향으로 게이트 배선과 게이트 전극을 형성하는 단계와;

상기 게이트 전극의 상부에 이격된 소스 전극과 드레인 전극과, 상기 소스 전극과 연결되고 상기 게이트 배선과 교차하는 방향으로 구성된 데이터 배선을 형성하는 동시에, 상기 데이터 배선과 상기 소스 및 드레인 전극의 하부에 이와 동일한 패턴으로 반도체 물질층을 형성하는 단계와;

상기 소스 및 드레인 전극과 데이터 배선과 반도체 물질층이 형성된 기관의 전면에 절연체가 형성된 상태에서, 플랫 형태의 패턴으로 이루어지는 제 1 FFS (Fringe Field Switching) 전극을 형성하는 단계와;

상기 제 1 FFS 전극과 또 하나의 절연체가 개재된 상태에서 중첩되게 위치하며, 원형 구조를 가지는 제 2 FFS(Fringe Field Switching) 전극을 형성하는 단계

를 포함하며, 상기 제 1, 2 FFS 전극은 투명 도전성 물질로 이루어지는 FFS 모드 액정표시장치의 제조 방법.

청구항 18.

제 17 항에 있어서,

상기 제 1 FFS 전극은 공통 전극으로서, 상기 공통 전극을 형성하는 단계에서는, 상기 공통 전극과 연결되며, 상기 제 1 방향으로 게이트 배선과 이격되게 위치하는 공통 배선을 형성하는 단계를 더 포함하는 것을 특징으로 하는 FFS 모드 액정표시장치의 제조 방법.

청구항 19.

제 17 항에 있어서,

상기 제 2 FFS 전극은 화소 전극이며, 상기 화소 전극은 상기 박막트랜지스터와 연결되는 것을 특징으로 하는 FFS 모드 액정표시장치의 제조 방법.

청구항 20.

제 19 항에 있어서,

상기 화소 전극을 형성하는 단계는, 동일한 중심부를 가지며 안에서 바깥으로 원형띠 구조를 가지는 다수 개의 화소전극 패턴을 서로 일정간격을 유지하며 차례대로 형성하는 단계를 포함하는 FFS 모드 액정표시장치의 제조 방법.

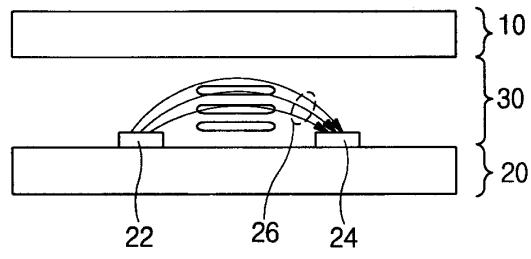
청구항 21.

제 19 항에 있어서,

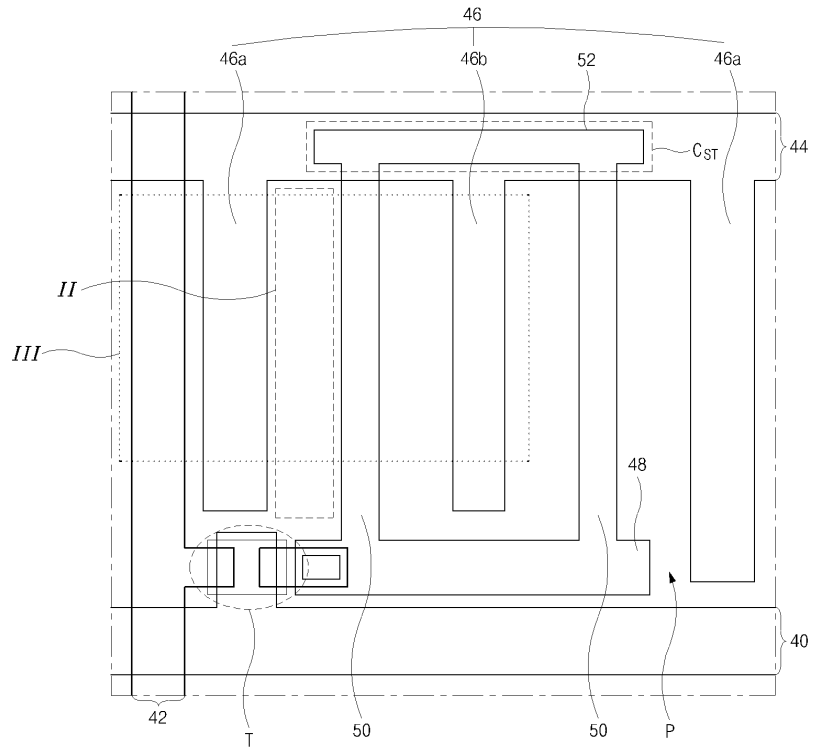
상기 제 1 FFS 전극 상부에 구성된 또 하나의 절연체에 상기 드레인 전극을 일부 노출시키는 드레인 콘택홀을 가지며, 상기 화소 전극은 상기 드레인 콘택홀을 통해 상기 박막트랜지스터의 드레인 전극과 연결되는 것을 특징으로 하는 FFS 모드 액정표시장치의 제조 방법.

도면

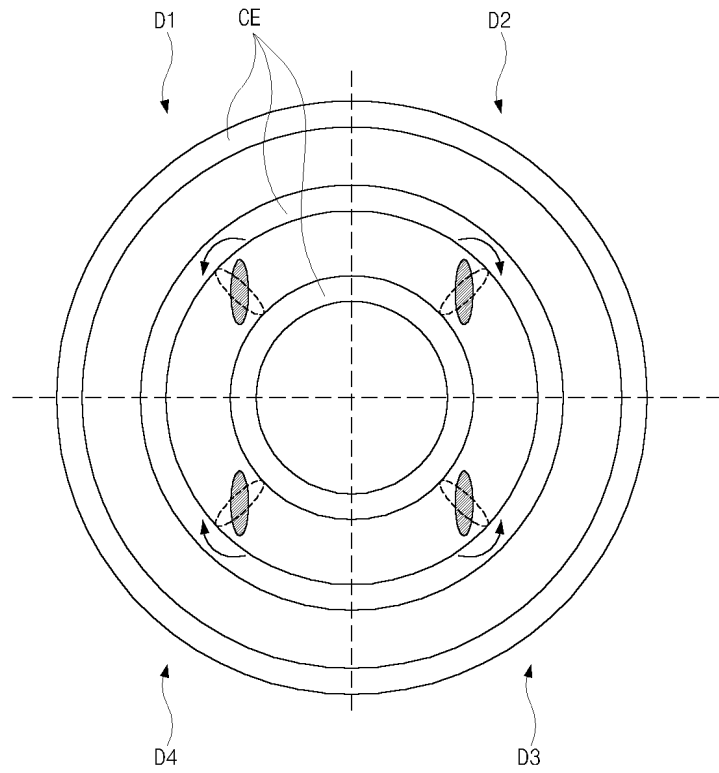
도면1



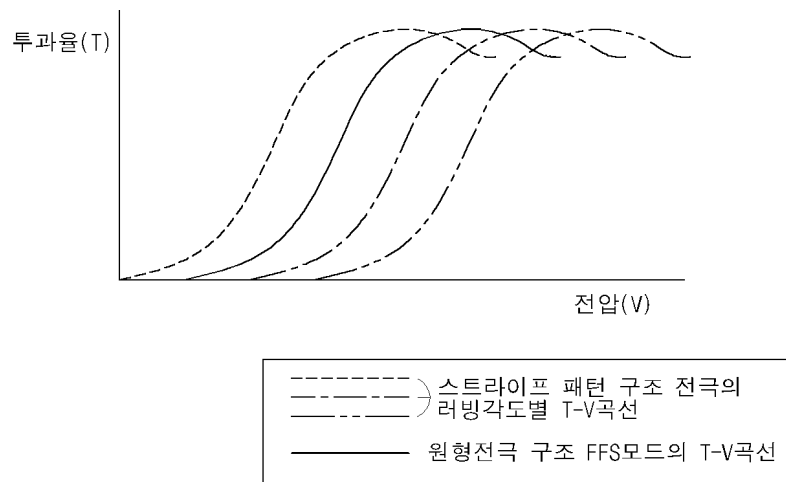
도면2



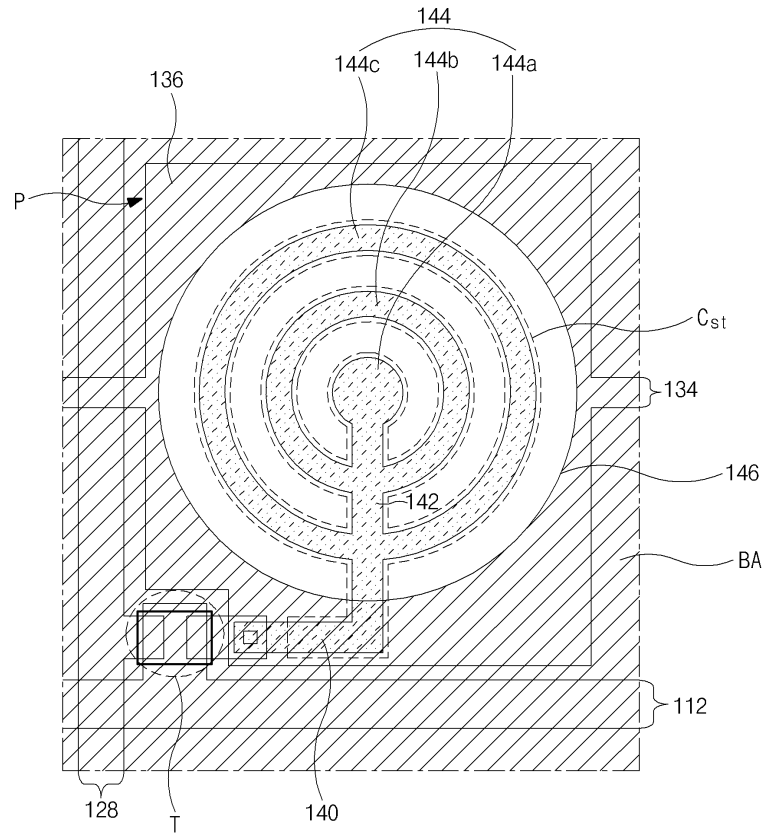
도면4a



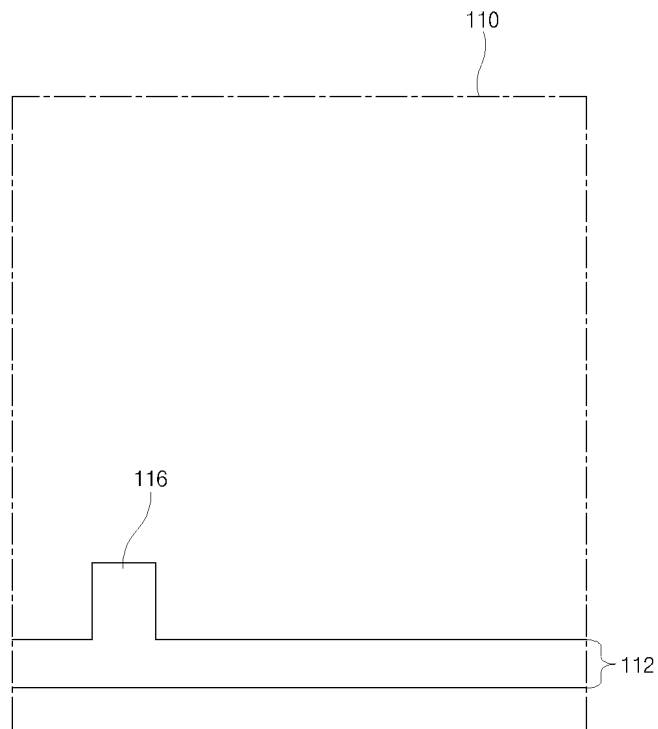
도면4b



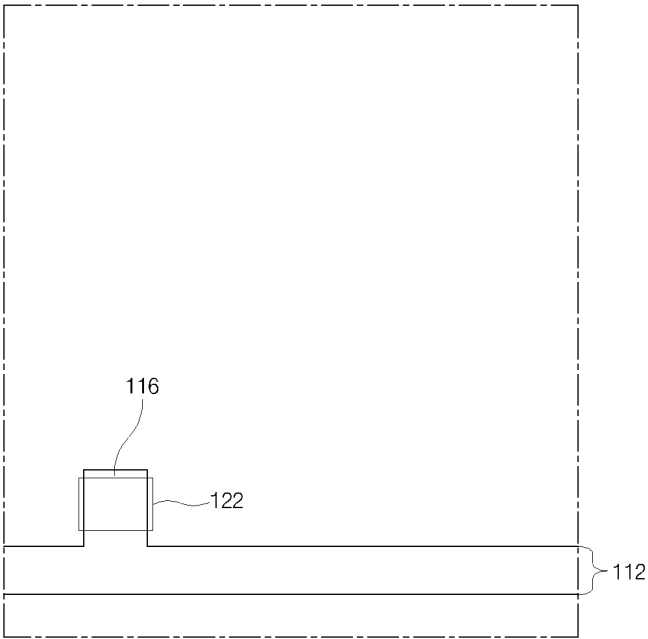
도면5



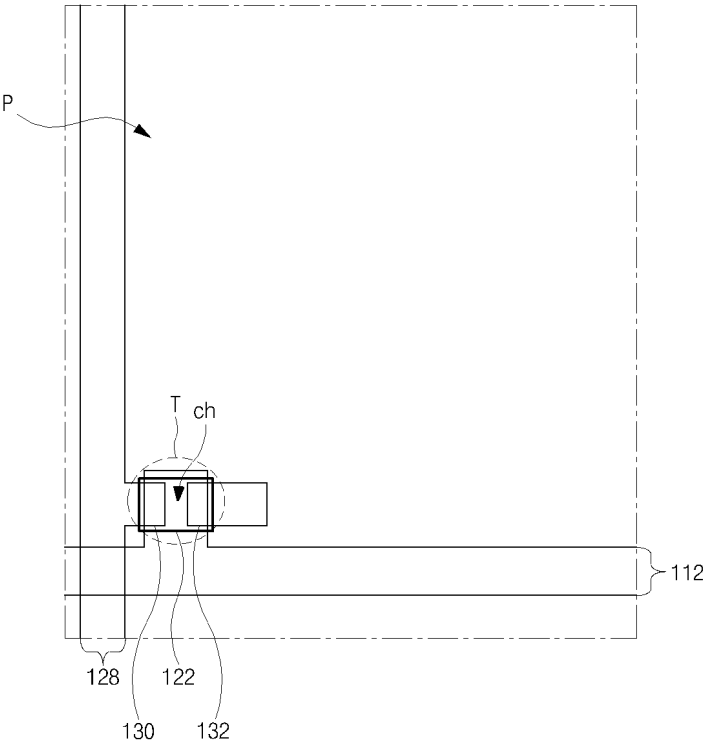
도면6a



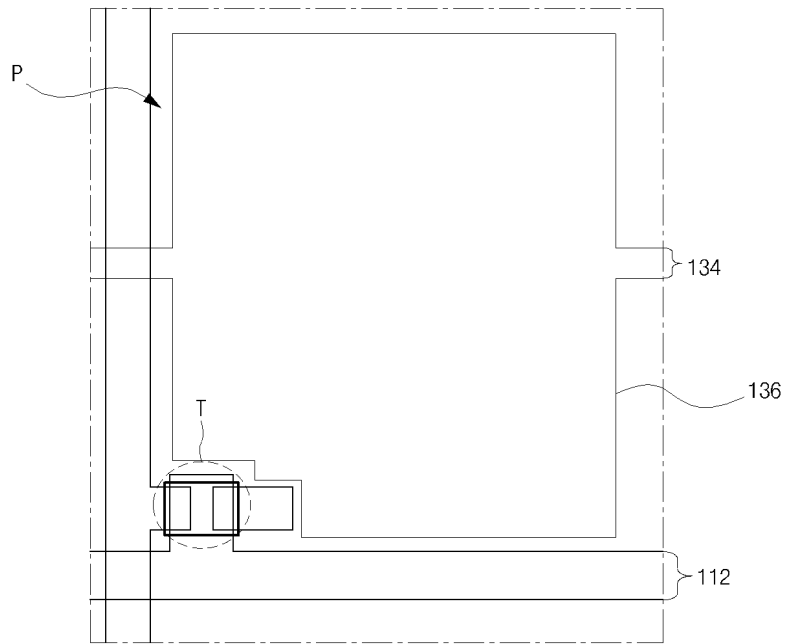
도면6b



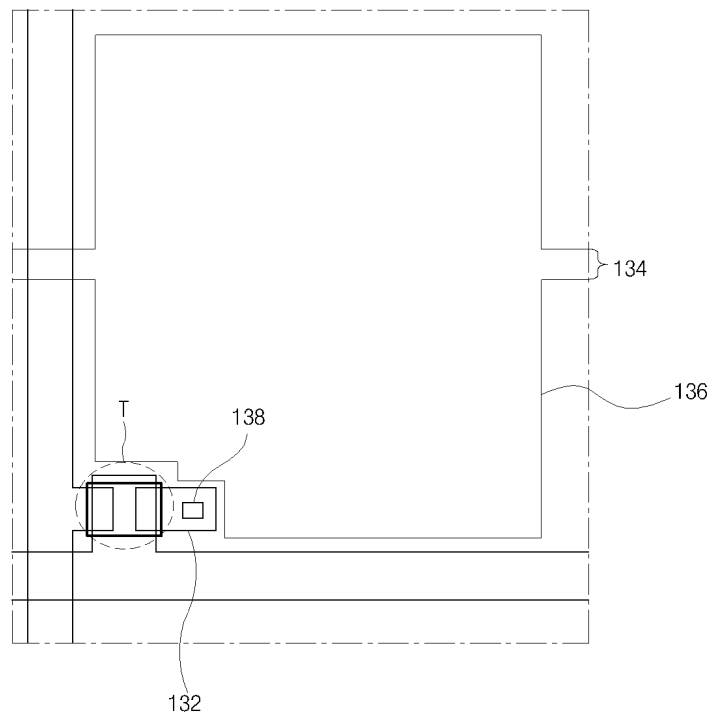
도면6c



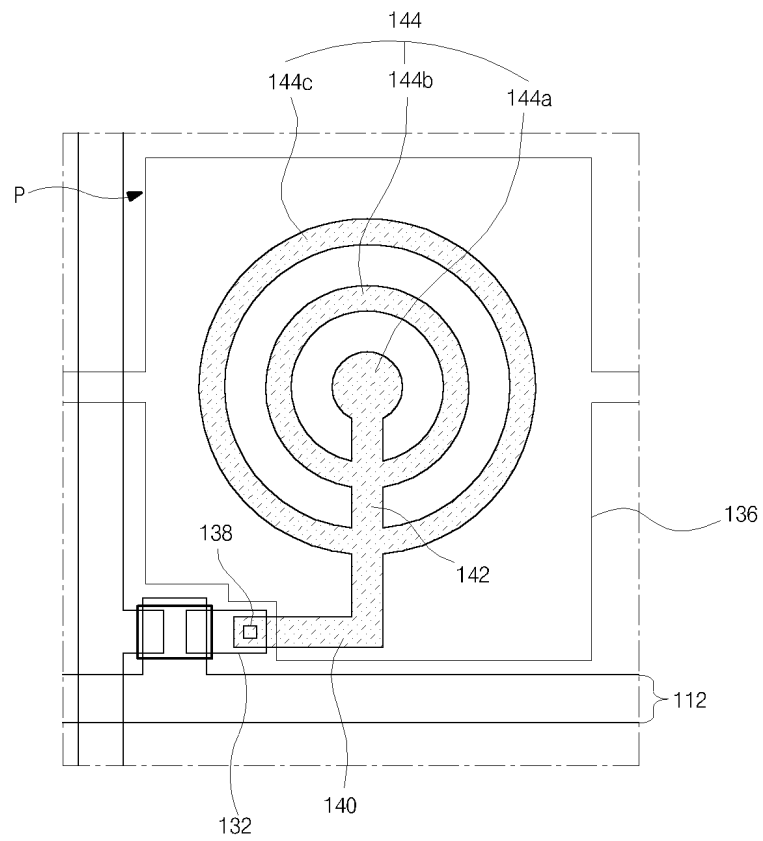
도면6d



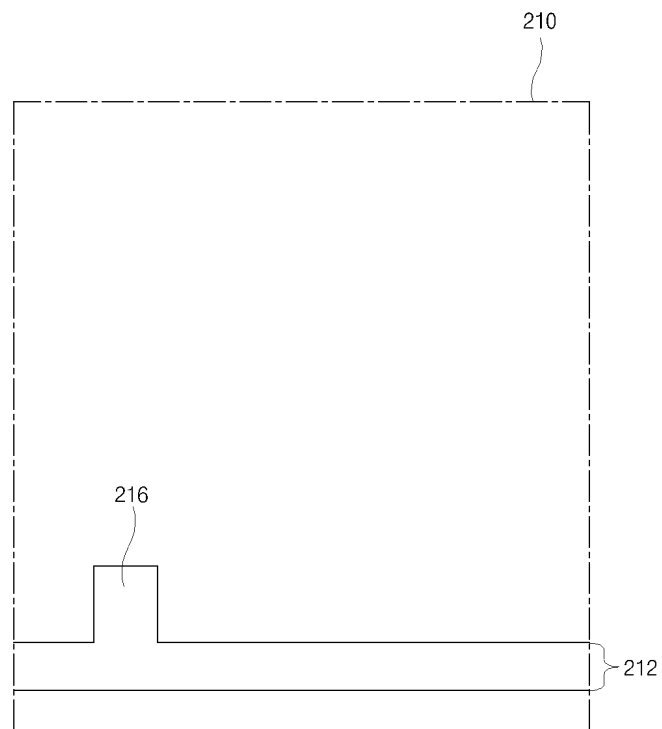
도면6e



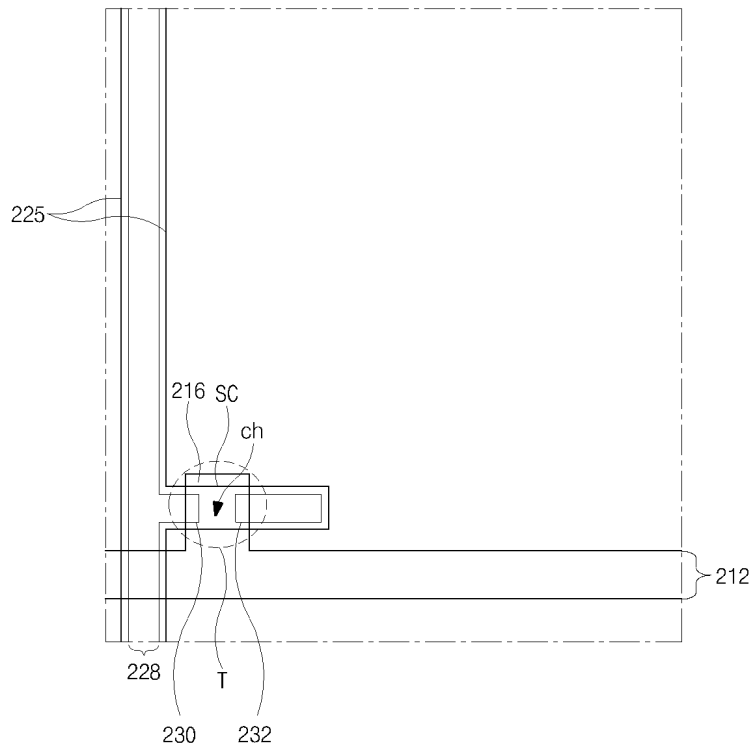
도면6f



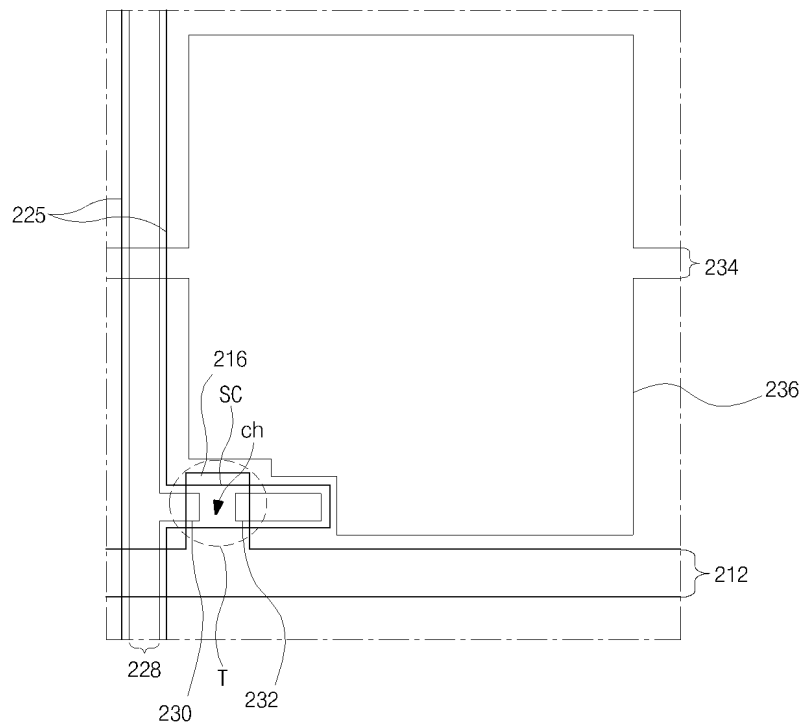
도면7a



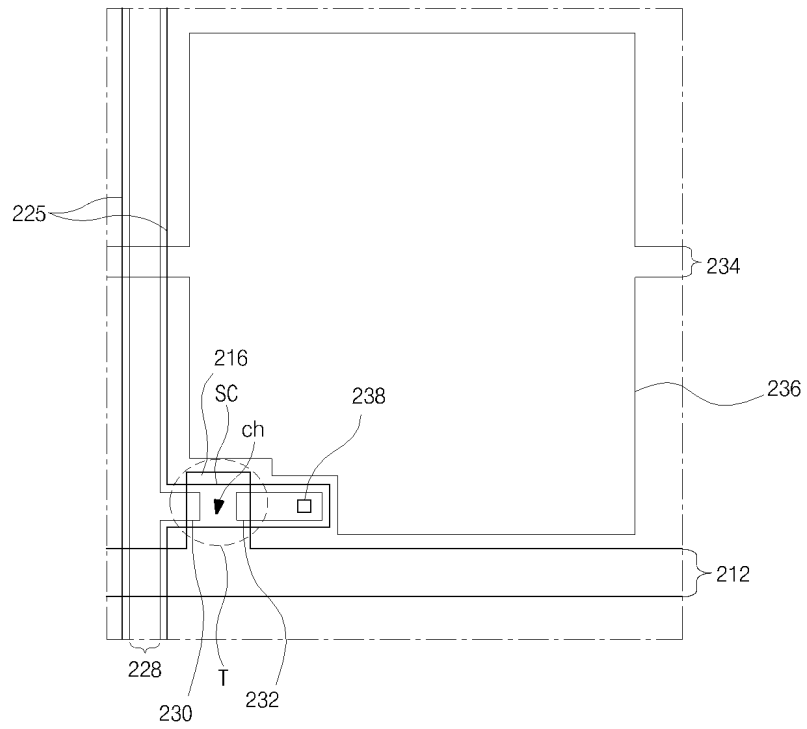
도면7b



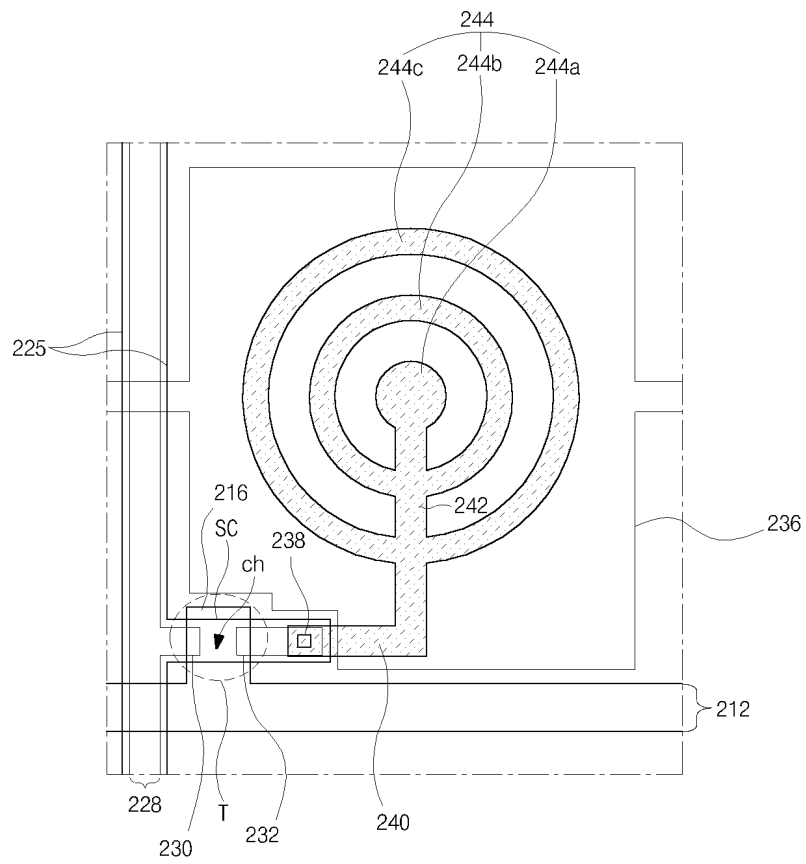
도면7c



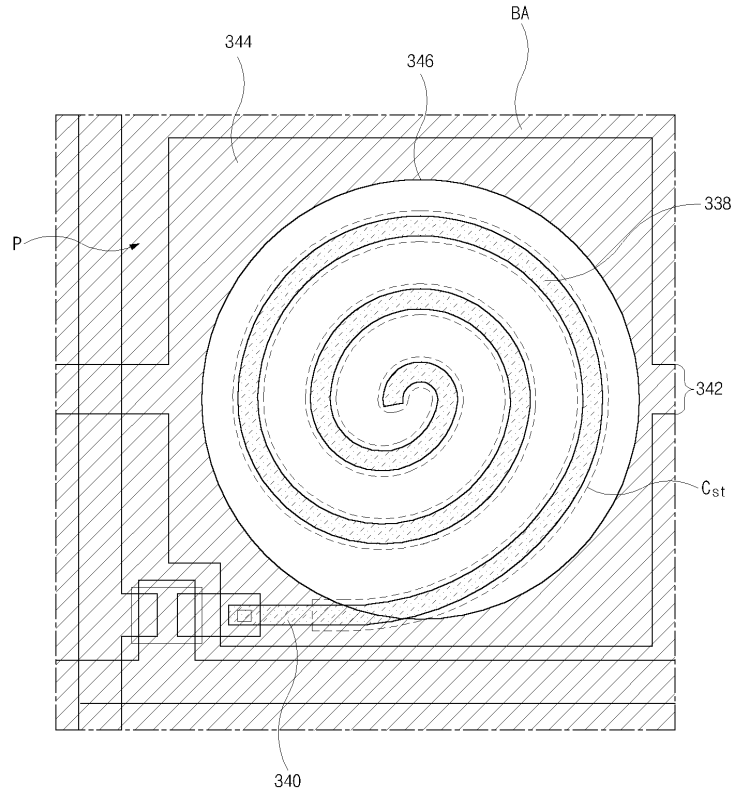
도면7d



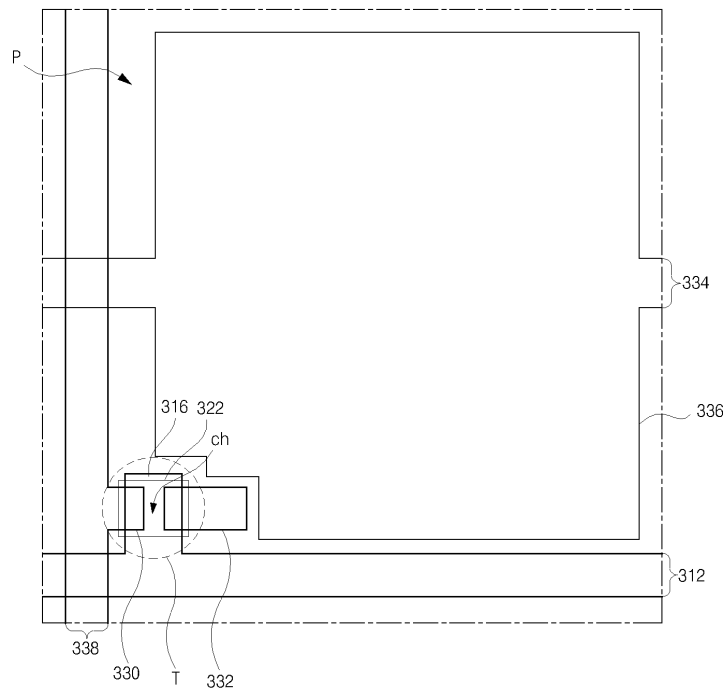
도면7e



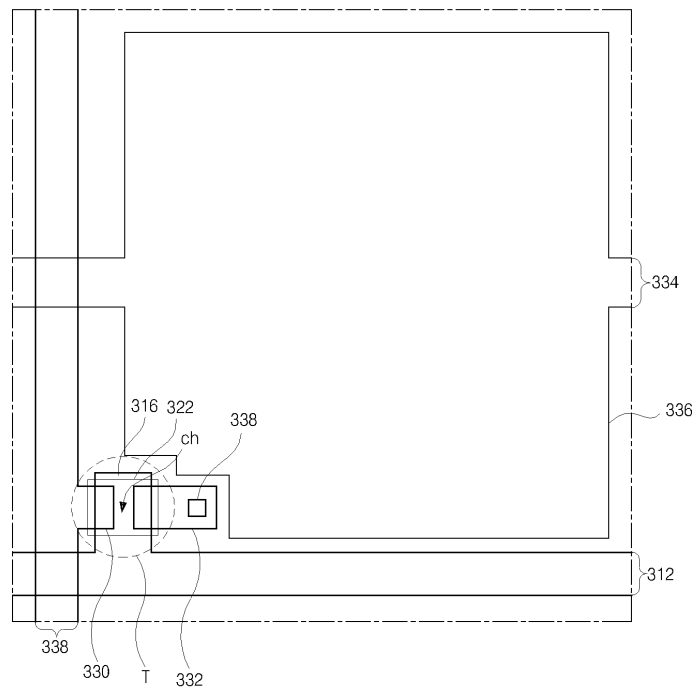
도면8



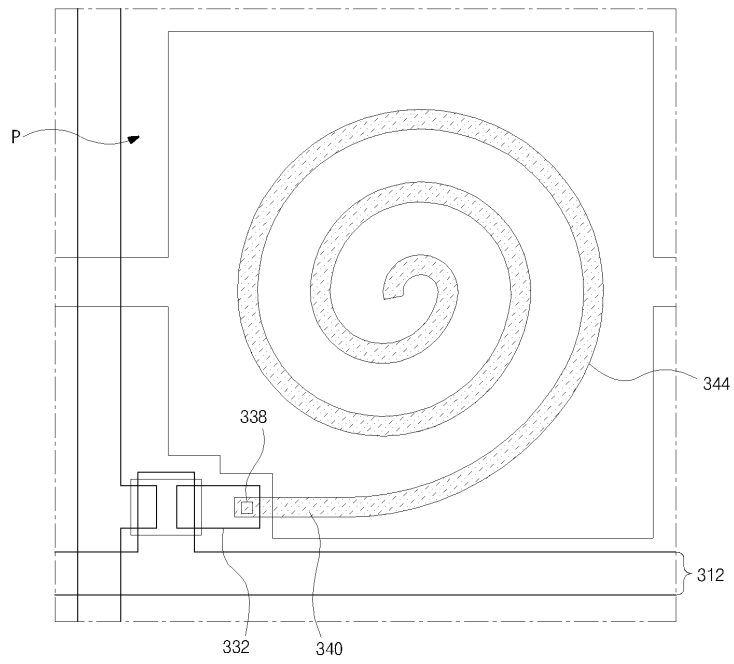
도면9a



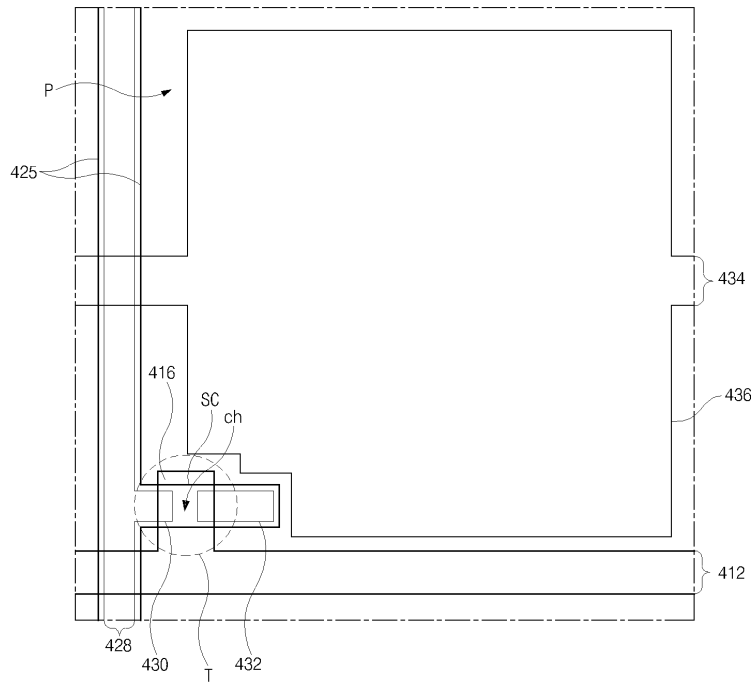
도면9b



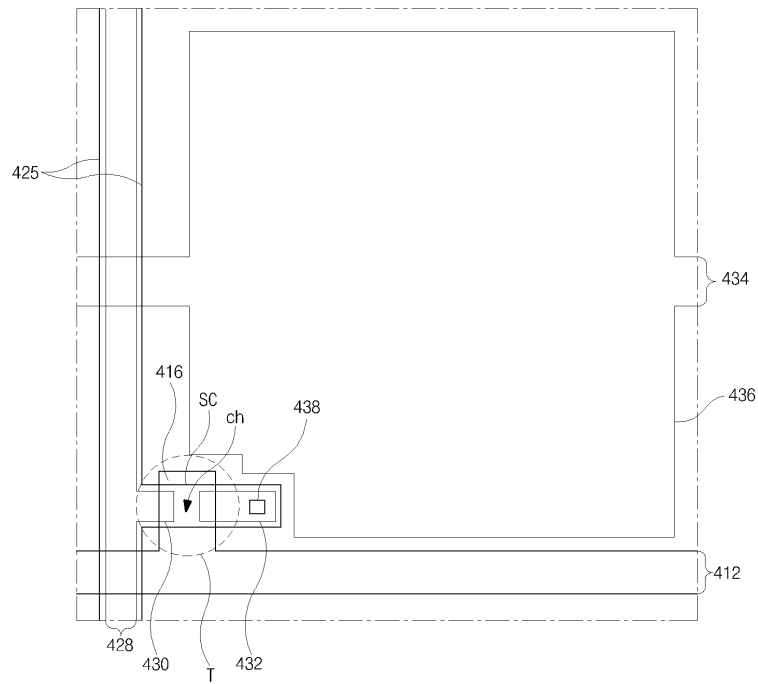
도면9c



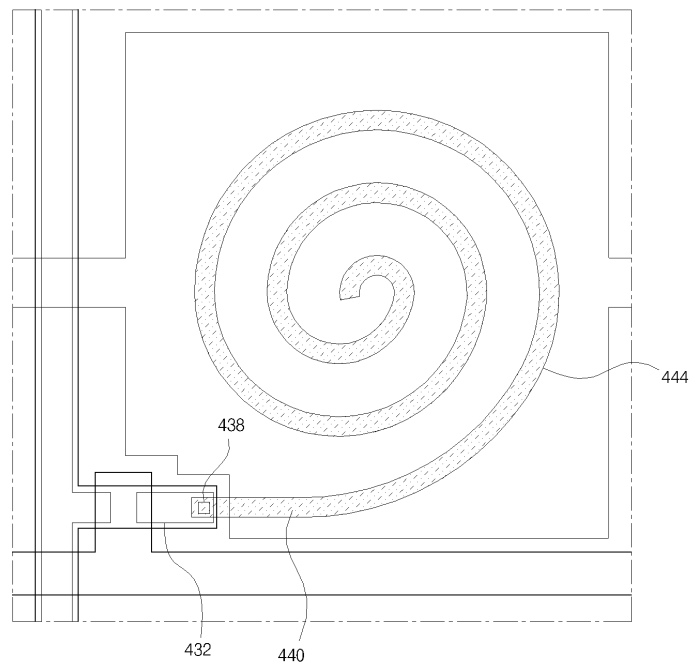
도면10a



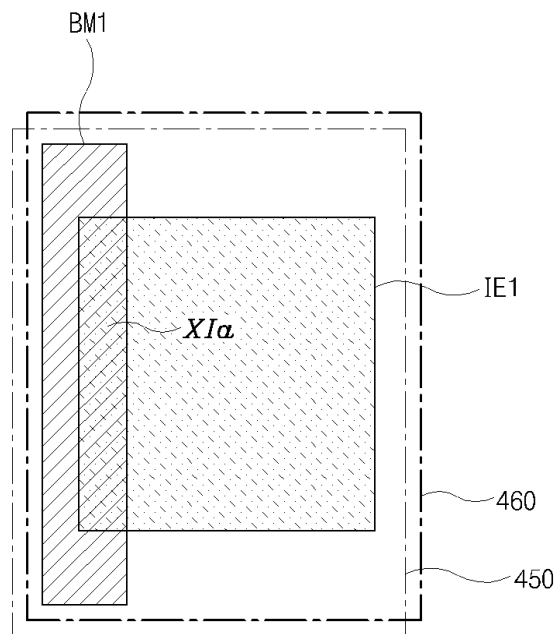
도면10b



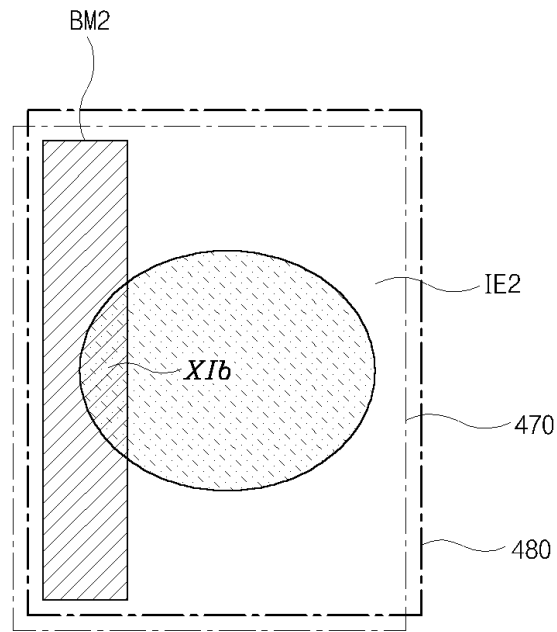
도면10c



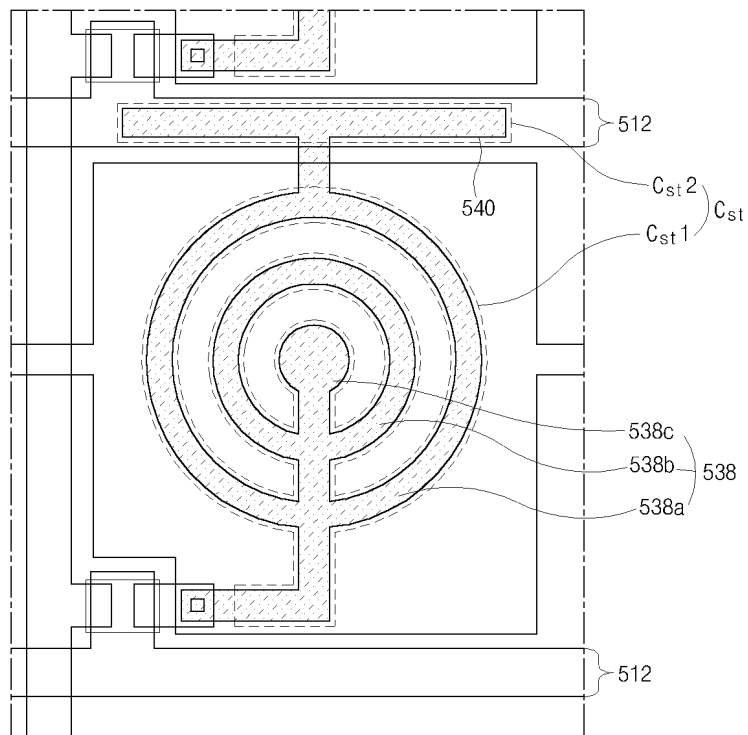
도면11a



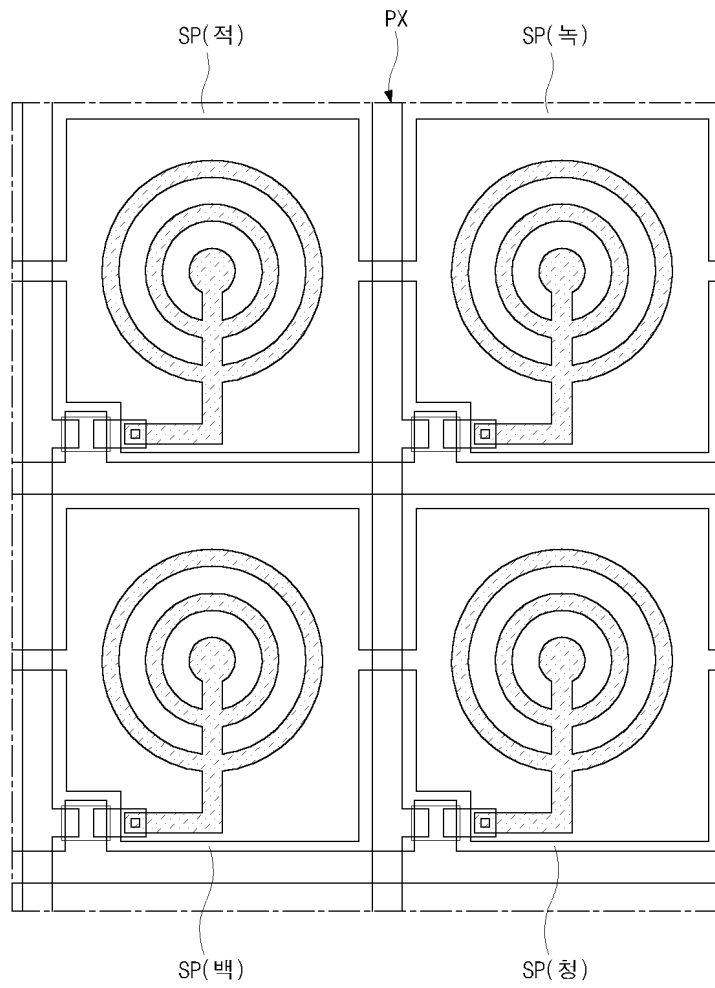
도면11b



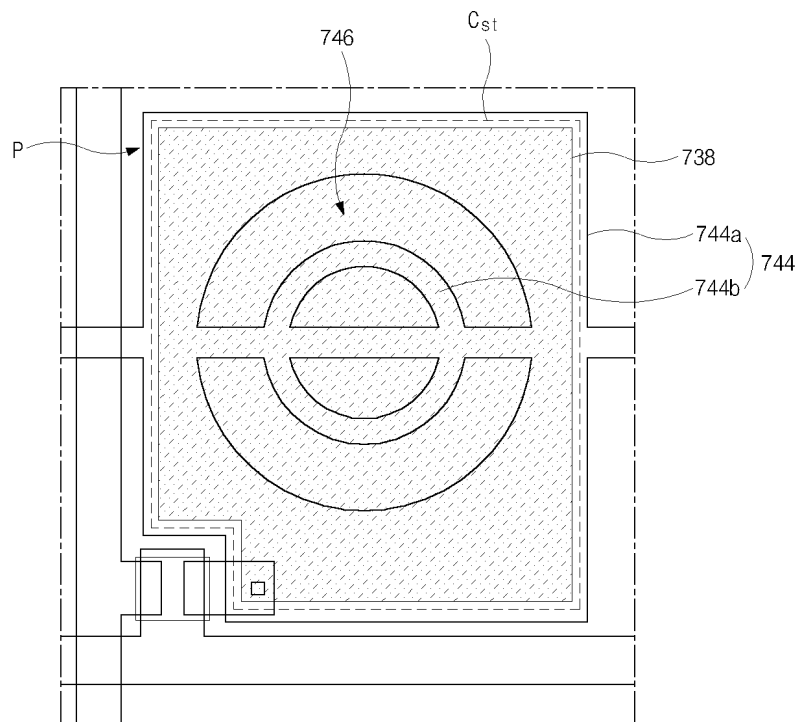
도면12



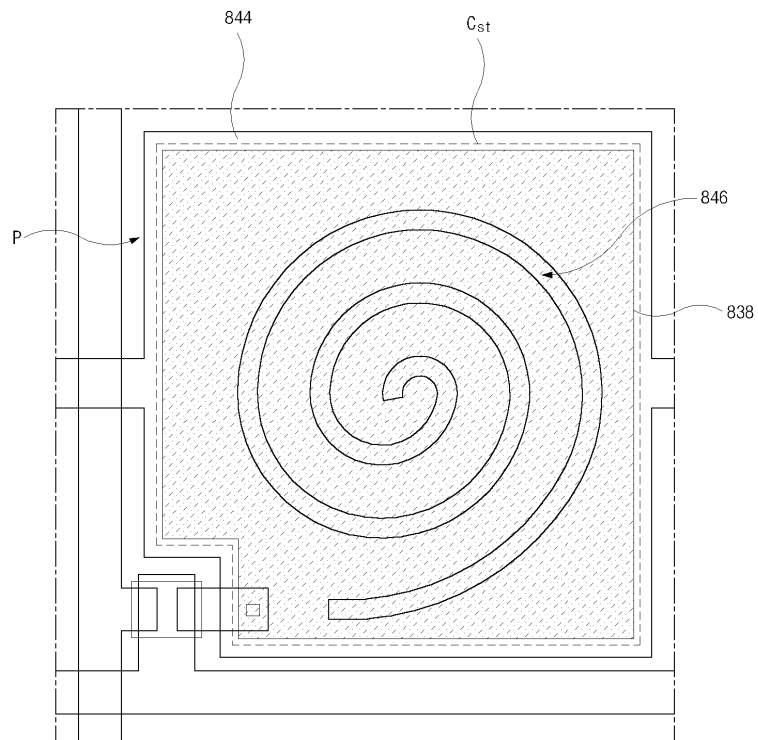
도면13



도면14a



도면14b



专利名称(译)	边缘场切换模式液晶显示器及其制造方法		
公开(公告)号	KR100630878B1	公开(公告)日	2006-10-02
申请号	KR1020040042621	申请日	2004-06-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE YUNBOK		
发明人	LEE,YUNBOK		
IPC分类号	G02F1/1343 G02F1/1337 G02F1/1335 G02F1/1368 G09F9/30 G09F9/35		
优先权	1020030090822 2003-12-12 KR		
其他公开文献	KR1020050059398A		
外部链接	Espacenet		

摘要(译)

根据FFS模式的液晶显示装置及其制造根据本发明的相同的方法，形成有形成水平电场的平板型电极的第一电极，以对应于像素区域中，在套入位置的圆形电极结构和第一电极取决于配置为与所述第二电极，所述第一，两个圆形电极之间的开口面积根据具有这样的结构，能够自晶体取向相同，以改善在所有方向上的视角，通过施加正方形像素结构可提高开口率，黑矩阵的重叠区域由产品减少在胶结未命中对准的时间可以最小化可能发生的亮度差异。 五

