

(19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl.⁷
G02F 1/1343

(45) 공고일자 2005년05월06일
(11) 등록번호 10-0487808
(24) 등록일자 2005년04월27일

(21) 출원번호 10-2002-0078377
(22) 출원일자 2002년12월10일

(65) 공개번호 10-2004-0050525
(43) 공개일자 2004년06월16일

(73) 특허권자 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 장정우
대구광역시동구신암4동680-26
박재덕
경상북도칠곡군석적면남율리우방신천지타운111-1001

(74) 대리인 김영호

심사관 : 이관대

(54) 그라인딩 공정 전의 액정표시패널 및 액정표시패널의 제조 방법

요약

본 발명은 박막트랜지스터 어레이로 유입되는 정전기를 방지할 수 있는 그라인딩 공정 전의 액정표시패널 및 그 제조방법을 제공하는 것이다.

본 발명의 그라인딩 공정 전의 액정표시패널은 기관의 스크라이빙선과 교차되게 비표시영역 상에 형성되며 표시영역의 신호라인들에 구동신호를 공급하는 다수의 공급라인들과, 기관의 스크라이빙선과 상기 공급라인들과의 교차영역을 우회하도록 형성되며 그라인딩공정에 의해 제거되는 쇼팅바를 구비하는 것을 특징으로 한다.

대표도

도 5

명세서

도면의 간단한 설명

도 1은 종래의 폴리 액정표시장치의 구성을 개략적으로 도시한 평면도이다.

도 2는 도 1에 도시된 폴리 액정표시패널에 유입되는 정전기를 차단하기 위한 쇼팅바를 상세히 나타내는 도면이다.

도 3은 도 2에 도시된 스크라이빙라인을 따라 절취한 액정표시패널의 단면도이다.

도 4는 본 발명의 실시 예에 따른 액정표시패널을 나타내는 평면도이다.

도 5는 도 4에 도시된 스크라이빙라인을 따라 절취한 액정표시패널의 단면도이다.

도 6은 도 4에 도시된 쇼팅바를 그라인딩공정으로 제거한 후 완성된 액정표시패널을 나타내는 평면도이다.

도 7은 본 발명에 따른 액정표시패널의 하부기관 상에 형성되는 박막트랜지스터와 화소전극을 나타내는 단면도이다.

< 도면의 주요부분에 대한 설명 >

10,40 : 액정표시패널 12 : 게이트 드라이버

14 : 데이터 드라이버 16,46 : 화상표시부

20,50 : 쇼팅바 22,52 : 제어라인

24,54 : 하부기관 26,56 : 버퍼막

28,58 : 게이트 절연막 30,60 : 층간절연막

32,62 : 보호막 64 : 액티브층

68 : 소스 전극 70 : 드레인전극

72 : 드레인컨택홀 74 : 화소전극

78 : 우회홀

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 폴리실리콘을 이용한 액정표시패널에 관한 것으로, 특히 박막트랜지스터 어레이로 유입되는 정전기를 방지할 수 있는 그라인딩공정 전의 액정표시패널 및 그 제조방법에 관한 것이다.

통상의 액정표시장치는 전계를 이용하여 유전이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정표시장치는 액정셀들이 매트릭스 형태로 배열되어진 액정표시패널과 이 액정표시패널을 구동하기 위한 구동 회로를 구비한다. 액정표시패널에는 게이트라인들과 데이터라인들이 교차하게 배열되고 그 게이트라인들과 데이터라인들의 교차로 할당된 영역에 액정셀들이 위치하게 된다. 이 액정표시패널에는 액정셀들 각각에 전계를 인가하기 위한 화소전극들과 공통전극이 마련된다. 화소전극들 각각은 스위칭 소자인 박막트랜지스터(Thin Film Transistor)의 소스 및 드레인 단자들을 경유하여 데이터라인들 중 어느 하나에 접속된다. 박막트랜지스터의 게이트단자는 화소전압신호가 1라인분씩의 화소전극들에게 인가되게 하는 게이트라인들 중 어느 하나에 접속된다. 구동회로는 게이트라인들을 구동하기 위한 게이트 드라이버와, 데이터라인들을 구동하기 위한 데이터 드라이버를 구비한다. 게이트 드라이버는 스캐닝신호를 게이트라인들에 순차적으로 공급하여 액정표시패널 상의 액정셀들을 1라인분씩 순차적으로 구동한다. 데이터 드라이버는 게이트라인들 중 어느 하나에 게이트신호가 공급될 때마다 데이터라인들 각각에 비디오신호를 공급한다. 이에 따라, 액정표시장치는 액정셀별로 비디오신호에 따라 화소전극과 공통전극 사이에 인가되는 전계에 의해 광투과율을 조절함으로써 화상을 표시한다.

이러한 액정표시장치에 이용되는 박막트랜지스터는 반도체층으로 아몰퍼스(Amorphous) 실리콘 또는 폴리(Poly) 실리콘을 이용한다. 아몰퍼스형 액정표시장치는 아몰퍼스실리콘층이 비교적 균일성이 좋고 특성이 안정된 장점을 가지고 있으나, 전하이동도가 작아 화소밀도를 향상시키기 어려운 단점을 가진다. 이와 달리, 폴리실리콘형 액정표시장치는 폴리실리콘층이 전하이동도가 높음에 따라 화소밀도를 증가시키는데 유리한 장점을 가진다. 또한 상대적으로 빠른 응답속도를 요하는 구동회로들을 액정표시패널 상에 실장하여 제조단가를 낮출 수 있는 장점을 가진다.

실제로, 폴리 액정표시장치는 도 1에 도시된 바와 같이 액정표시패널(10)의 게이트 라인들(GL1 내지 GLn)을 구동하기 위한 게이트 드라이버(12)와, 액정표시패널(10)의 데이터라인들(DL1 내지 DLm)을 구동하기 위한 데이터 드라이버(14)를 구비한다.

액정표시패널(10)은 게이트라인들(GL1 내지 GLn)과 데이터라인들(DL1 내지 DLm)과의 교차로 할당된 영역마다 형성된 적, 녹, 청 화소들(R, G, B)을 구비하는 화상표시부(16)를 구비한다. 적, 녹, 청 화소들(R, G, B) 각각은 하나의 박막트랜지스터와 하나의 액정셀로 구성된다. 박막트랜지스터의 게이트전극과 소스전극은 게이트라인(GL)과 데이터라인(DL)에 각각 접속된다. 액정셀은 박막트랜지스터와 접속된 화소전극과, 기준전극으로 화소전극과 액정을 사이에 두고 대향되는 공통전극을 구비한다.

게이트 드라이버(12)는 게이트 제어신호들에 의해 프레임마다 수평기간씩 순차적으로 게이트라인들(GL1 내지 GLn)을 구동한다. 이 게이트 드라이버(12)에 의해 박막트랜지스터들이 수평라인 단위로 순차적으로 턴-온되어 데이터라인(DL1 내지 DLm)을 액정셀과 접속시키게 된다.

데이터 드라이버(14)는 수평기간마다 다수의 디지털 데이터신호를 샘플링하여 아날로그 데이터신호로 변환한다. 그리고 데이터 드라이버(14)는 아날로그 데이터신호를 데이터라인들(DL1 내지 DLm)에 공급한다. 이에 따라, 턴-온된 박막트랜지스터에 접속된 액정셀들은 데이터라인들(DL1 내지 DLm) 각각으로부터의 데이터신호에 응답하여 광투과율을 조절하게 된다.

그리고, 액정표시장치는 데이터 드라이버(14)와 데이터라인들(DL1 내지 DLm) 사이에 접속된 멀티플렉서들(MUX1 내지 MUXk)을 더 구비한다. 멀티플렉서들(MUX1 내지 MUXk) 각각은 다수개, 예를 들면 3개의 데이터라인들(DLi 내지 DLi+2)에 접속된다. 이러한 멀티플렉서들(MUX1 내지 MUXk) 각각은 제1 내지 제3 제어라인(CL1 내지 CL3)을 경유한 제1 내지 제3 제어신호에 의해 데이터 드라이버(14)로부터 데이터 입력라인(DIL)을 경유한 비디오신호를 3개의 데이터라인들(DLi 내지 DLi+2)에 순차적으로 공급한다. 이를 위하여, 멀티플렉서들(MUX1 내지 MUXk) 각각은 데이터 드라이버(14)에 접속된 데이터 입력라인(DIL)과 3개의 데이터라인들(DLi 내지 DLi+2) 사이에 각각 접속되어진 3개의 스위치소자(SW1 내지 SW3)를 구비한다. 스위치소자(SW1 내지 SW3) 각각은 통상 MOS 트랜지스터로 구현된다. 멀티플렉서(MUX)에 포함된 3개의 스위치 소자들(SW1 내지 SW3)은 제1 내지 제3 제어신호를 하나씩 자신들의 게이트전극쪽으로 각각 입력한다. 제1 내지 제3 제어신호 서로 순차적이고 반복적으로 진행되는 인에이블 구간, 즉 하이논리의 구간을 가진다. 이에 따라, 멀티플렉서(MUX)에 포함되어진 3개의 스위치소자(SW1 내지 SW3)은 수평기간마다 순차적으로 턴-온되어 3개의 데이터라인(DLi 내지 DLi+2)이 순차적으로 데이터 드라이버(14)에 접속된 데이터 입력라인(DIL)과 접속되게 한다.

이러한 멀티플렉서들(MUX1 내지 MUXk)은 화상표시부(16)와 함께 액정표시패널(10) 내에 형성된다. 여기서, 멀티플렉서들(MUX1 내지 MUXk)은 화상표시부(16)의 위쪽에 위치한다.

이러한 액정표시패널의 제조공정은 기관 세정과, 기관 패터닝, 배향막형성 및 기관합착/액정주입공정으로 나뉘어진다.

기관세정 공정에서는 상/하부기관의 패터닝 전후에 기관들의 이물질을 세정제를 이용하여 제거하게 된다.

기관 패터닝 공정에서는 상부기관의 패터닝과 하부기관의 패터닝으로 나뉘어진다. 상부기관에는 칼라필터, 공통전극, 블랙 매트릭스 등이 형성된다. 하부기관에는 데이터라인과 게이트라인 등의 신호라인이 형성되고, 데이터라인과 게이트라인의 교차부에 TFT가 형성된다. 데이터라인과 게이트라인 사이의 화소영역에는 화소전극이 형성된다. 또한, 하부기관에는 신호라인들을 시분할 구동하는 다수의 멀티플렉서들이 형성된다.

기관합착/액정주입 공정에서는 하부기관 상에 배향막을 도포하고 러빙하는 공정에 이어서, 실(Seal)재를 이용한 상/하부기관 합착공정, 액정주입, 주입구 봉지공정이 순차적으로 이루어진다.

마지막으로, 테스트 공정에서는 기관 상에 실장 또는 패터닝되어 게이트라인 및 데이터라인을 구동시키기 위한 드라이브 집적회로칩(Integrated Circuit : 이하 "IC"라 함)의 동작상태를 테스트하고 불량화소를 검출하게 된다.

이러한 테스트공정 및 정전기 방지를 위하여 도 2에 도시된 바와 같이 쇼팅바(20)를 구비한다. 이 쇼팅바(20)는 제조공정 중에 기저전압원(GND)에 접속되어 액정표시패널의 게이트라인 또는 데이터라인쪽으로 전달되어지는 정전기를 차단하여 TFT들을 정전기로부터 보호하는 역할을 한다.

쇼팅바(20)는 비표시영역에 해당하는 하부기관의 가장자리 끝단부에 데이터입력라인(DIL)과 접속되게 데이터입력라인(DIL)과 동일금속으로 도 3에 도시된 바와 같이 버퍼막(26), 게이트절연막(28) 및 층간절연막(30)을 사이에 두고 하부기관(24) 상에 형성된다. 또한, 이 쇼팅바(20)는 버퍼막(26) 및 게이트절연막(28)을 사이에 두고 하부기관(24) 상에 형성되는 제어라인들(22)과 교차되게 형성된다.

이와 같은 쇼팅바(20)는 테스트공정이 완료된 후, 하부기관(24)의 스크라이빙(Scribing)공정과 그라인딩(Grinding)공정시 스크라이빙라인(SCL)을 따라 하부기관(24)의 가장자리가 연삭됨으로써 하부기관(24) 상에서 제거된다. 이 때, 스크라이빙라인(SCL)은 제어라인들(22)과 수직한 방향으로 쇼팅바(20)의 위를 지나가도록 형성된다.

그러나, 종래 액정표시패널은 스크라이빙공정시 층간절연막(30)을 사이에 두고 서로 중첩되게 형성되는 쇼팅바(20)와 제어라인들(22) 간에 단락현상이 발생하게 된다. 이 단락현상으로 인해 쇼팅바(20)와 제어라인들(22)을 타고 액정표시패널 내부로 정전기가 유입되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 박막트랜지스터어레이로 유입되는 정전기를 방지할 수 있는 그라인딩 공정 전의 액정표시패널 및 그 제조방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에 따른 그라인딩 공정 전의 액정표시패널은 기관의 스크라이빙선과 교차되게 비표시영역 상에 형성되며 표시영역의 신호라인들에 구동신호를 공급하는 다수의 공급라인들과, 상기 기관의 스크라이빙선과 상기 공급라인들과의 교차영역을 우회하도록 형성되며 그라인딩공정에 의해 제거되는 쇼팅바를 구비하는 것을 특징으로 한다.

상기 표시영역에는 신호라인들의 교차로 할당된 영역마다 형성되는 액정셀들과, 신호라인들과 액정셀들 각각의 사이에 접속된 박막트랜지스터를 구비하는 것을 특징으로 한다.

상기 표시영역의 신호라인들을 시분할 구동하는 다수의 멀티플렉서들을 추가로 구비하는 것을 특징으로 한다.

상기 표시영역에 포함되는 박막트랜지스터의 액티브층과, 상기멀티플렉서들에 포함되는 스위칭소자의 액티브층은 폴리실리콘으로 이루어진 것을 특징으로 한다.

상기 다수의 공급라인들은 상기 스위칭소자에 제어신호를 공급하는 제어라인과, 상기 스위칭소자에 비디오신호를 공급하는 데이터입력라인으로 이루어지는 것을 특징으로 한다.

상기 쇼팅바는 상기 제어라인과 교차되도록 형성되는 것을 특징으로 한다.

상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시패널의 제조방법은 표시영역의 신호라인들에 구동신호를 공급하는 다수의 공급라인들을 기관의 스크라이빙선과 교차되게 형성하는 단계와, 상기 기관의 스크라이빙선과 상기 공급라인들과의 교차영역을 우회하도록 쇼팅바를 형성하는 단계와, 상기 쇼팅바를 그라인딩공정에 의해 제거하는 단계를 포함하는 것을 특징으로 한다.

상기 액정표시패널의 제조방법은 상기 신호라인들의 교차로 할당된 영역마다 액정셀들을 형성하는 단계와, 신호라인들과 액정셀들 각각의 사이에 접속되는 박막트랜지스터를 형성하는 단계를 추가로 포함하는 것을 특징으로 한다.

상기 표시영역의 신호라인들을 시분할 구동하는 다수의 멀티플렉서들을 형성하는 단계를 추가로 포함하는 것을 특징으로 한다.

상기 표시영역에 포함되는 박막트랜지스터의 액티브층과, 상기멀티플렉서들에 포함되는 스위칭소자의 액티브층은 폴리실리콘으로 이루어진 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 4 내지 도 7을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 4는 본 발명의 실시 예에 따른 액정표시패널을 나타내는 평면도이다.

도 4에 도시된 액정표시패널은 액정표시패널(40)은 게이트라인들(GL1 내지 GLn)과 데이터라인들(DL1 내지 DLm)과의 교차로 할당된 영역마다 형성된 적, 녹, 청 화소들(R, G, B)을 구비하는 화상표시부(46)를 구비한다. 적, 녹, 청 화소들(R, G, B) 각각은 하나의 박막트랜지스터와 하나의 액정셀로 구성된다. 박막트랜지스터의 게이트전극과 소스전극은 게이트라인(GL)과 데이터라인(DL)에 각각 접속된다. 액정셀은 박막트랜지스터와 접속된 화소전극과, 기준전극으로 화소전극과 액정셀 사이에 두고 대향되는 공통전극을 구비한다.

게이트라인들(GL1 내지 GLn)은 게이트 드라이버(도시하지 않음)게이트 신호들에 의해 프레임마다 수평기간씩 순차적으로 구동된다. 이 게이트 신호들에 의해 박막트랜지스터들이 수평라인 단위로 순차적으로 턴-온되어 데이터라인(DL1 내지 DLm)을 액정셀과 접속시키게 된다.

데이터라인들(DL1 내지 DLm)은 데이터 드라이버(도시하지 않음)에서 생성된 아날로그 데이터신호를 데이터라인들(DL1 내지 DLm)에 공급한다. 이에 따라, 턴-온된 박막트랜지스터에 접속된 액정셀들은 데이터라인들(DL1 내지 DLm) 각각으로부터의 데이터신호에 응답하여 광투과율을 조절하게 된다.

그리고, 액정표시패널은 데이터라인들(DL1 내지 DLm)과 접속된 멀티플렉서들(MUX1 내지 MUXk)을 더 구비한다. 멀티플렉서들(MUX1 내지 MUXk) 각각은 다수개, 예를 들면 3개의 데이터라인들(DLi 내지 DLi+ 2)에 접속된다. 이러한 멀티플렉서들(MUX1 내지 MUXk) 각각은 제1 내지 제3 제어라인(CL1 내지 CL3)을 경유한 제1 내지 제3 제어신호에 의해 데이터 입력라인(DIL)을 경유한 비디오신호를 3개의 데이터라인들(DLi 내지 DLi+ 2)에 순차적으로 공급한다. 이를 위하여, 멀티플렉서들(MUX1 내지 MUXk) 각각은 데이터 입력라인(DIL)과 3개의 데이터라인들(DLi 내지 DLi+ 2) 사이에 각각 접속되어진 3개의 스위칭소자(SW1 내지 SW3)를 구비한다. 스위칭소자(SW1 내지 SW3) 각각은 통상 MOS 트랜지스터로 구현된다. 멀티플렉서(MUX)에 포함된 3개의 스위칭 소자들(SW1 내지 SW3)은 제1 내지 제3 제어신호를 하나씩 자신들의 게이트전극쪽으로 각각 입력한다. 제1 내지 제3 제어신호 서로 순차적이고 반복적으로 진행되는 인에이블구간, 즉 하이논리의 구간을 가진다. 이에 따라, 멀티플렉서(MUX)에 포함되어진 3개의 스위칭소자(SW1 내지 SW3)은 수평기간마다 순차적으로 턴-온되어 3개의 데이터라인(DLi 내지 DLi+ 2)이 순차적으로 데이터 입력라인(DIL)과 접속되게 한다.

이러한 멀티플렉서들(MUX1 내지 MUXk)은 화상표시부(46)와 함께 액정표시패널(40) 내에 형성된다. 여기서, 멀티플렉서들(MUX1 내지 MUXk)은 화상표시부(46)의 위쪽에 위치한다.

특히, 액정표시패널(40)은 멀티플렉서들(MUX1 내지 MUXk)과 접속되는 제1 내지 제3 제어라인들(CL1 내지 CL4)과 교차되는 영역에 우회홀(78)을 갖으며 데이터입력라인(DIL)과 접속되는 쇼팅바(50)를 추가로 구비한다. 이 쇼팅바(50)는 제조공정 중에 기저전압원(GND)에 접속되어 액정표시패널의 게이트라인(GL) 또는 데이터라인(DL)쪽으로 전달되어지는 정전기를 차단하여 TFT 및 멀티플렉서들(MUX)을 정전기로부터 보호하게 된다.

쇼팅바(50)는 비표시영역에 해당하는 하부기관의 가장자리 끝단부에 데이터입력라인(DIL)과 접속되게 데이터입력라인(DIL)과 동일금속으로 도 5에 도시된 바와 같이 버퍼막(56), 게이트절연막(58) 및 층간절연막(60)을 사이에 두고 하부기

판(54) 상에 형성된다. 또한, 이 쇼팅바(50)는 버퍼막(56) 및 게이트절연막(58)을 사이에 두고 하부기관(54) 상에 형성되는 제어라인들(CL)과 교차되게 형성된다. 이러한 쇼팅바(50)의 위를 지나가도록 형성되는 스크라이빙라인(SCL)은 제어라인들(CL)과 수직한 방향으로 형성된다.

이러한 쇼팅바(50)는 제어라인들(CL)과 스크라이빙라인(SCL)의 교차영역을 우회하는 우회홀(78)을 구비한다. 이 우회홀(78)에 의해 스크라이빙공정시 스크라이빙라인(SCL)을 따라 쇼팅바(50)와 제어라인(CL)이 중첩되는 영역이 없어지게 된다. 이에 따라, 종래 스크라이빙공정시 발생하는 쇼팅바(50)와 제어라인들(CL)간의 단락현상을 방지할 수 있어 액정표시패널 내부로의 정전기유입을 방지할 수 있다.

한편, 쇼팅바(50)는 테스트공정이 완료된 후, 하부기관(54)의 스크라이빙라인을 따라 하부기관을 절단하는 스크라이빙(Scribing)공정과 절단된 하부기관의 거칠어진 측면부를 연마하는 그라인딩 공정(Grinding)이 순차적으로 진행된다. 이러한 스크라이빙공정과 그라인딩공정에 의해 하부기관(54)의 가장자리의 불필요한 영역이 도 6에 도시된 바와 같이 하부기관(54) 상에서 제거된다.

이러한 쇼팅바를 포함하는 본 발명의 실시 예에 따른 액정표시패널의 하부기관의 제조방법을 도 5 및 도 7을 결부하여 상세히 설명하기로 한다.

하부기관(54) 상에 SiO₂ 등의 절연물질로 이루어진 버퍼막(56)이 증착된 다음, 그 위에 아몰퍼스 실리콘막이 증착된다. 이어서, 아몰퍼스 실리콘막이 레이저에 의해 결정화되어 폴리 실리콘막이 된다. 그리고, 폴리 실리콘막이 패터닝되어 화상표시부(46) 및 멀티플렉서(MUX) 각각에 포함되는 액티브층(64)이 형성된다.

이 액티브층(64)이 형성된 버퍼막(56) 위에 게이트 절연막(58)을 전면 증착되고, 그 위에 게이트 금속층이 증착된다. 그리고, 게이트 금속층이 패터닝됨으로써 게이트라인(GL), 제어라인(CL) 및 게이트 전극(66)을 포함하는 게이트 패턴들이 형성된다.

게이트 패턴들이 형성된 게이트 절연막(58) 상에 층간 절연막(60)이 전면 증착되고 패터닝되어 층간 절연막(60)과 게이트 절연막(58)을 관통하는 콘택홀이 형성된다.

그 다음, 소스/드레인 금속층이 증착되고 패터닝되어 데이터 라인(DL), 데이터 입력라인(DIL), 소스 전극(68), 드레인 전극(70), 쇼팅바(50)를 포함하는 소스/드레인 패턴들이 형성된다. 여기서, 소스 전극(68) 및 드레인 전극(70)은 콘택홀을 통해 액티브층(64)과 접촉하게 되며, 쇼팅바(50)는 스크라이빙라인(SCL)에서 제어라인(CL)과 교차되는 영역에 우회홀(78)을 구비하여 교차영역을 우회하도록 형성된다.

이러한 소스/드레인 패턴들이 형성된 층간 절연막(60) 위에 보호막(62)이 전면 증착되고 패터닝되어 형성되는 드레인콘택홀(72)을 통해 화상표시부(46)에 포함되는 박막트랜지스터들의 드레인 전극(70)이 노출되게 한다.

그리고, 보호막(62) 위에 투명도전물질이 증착되고 패터닝되어 화상표시부(46)에서 박막트랜지스터의 드레인전극(70)과 접속되는 화소전극(74)이 형성된다.

이와 같이, 본 발명에 따른 액정표시소자는 스크라이빙라인(SCL)에서 제어라인(CL)과 쇼팅바(50)가 서로 교차되는 영역에 쇼팅바(50)를 우회하는 우회홀(78)을 형성한다. 이 우회홀(78)에 의해 스크라이빙공정시 스크라이빙라인(SCL)을 따라 쇼팅바(50)와 제어라인(CL)이 중첩되는 영역이 제거되어 스크라이빙공정시 발생하는 쇼팅바(50)와 제어라인들(CL)간의 단락현상을 방지할 수 있다. 이에 따라, 액정표시패널 내부로의 정전기유입을 방지할 수 있다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 그라인딩 공정 전의 액정표시패널은 층간절연막을 사이에 두고 제어라인과 중첩되는 영역을 우회하도록 형성되는 쇼팅바를 구비함으로써 스크라이빙공정시 발생하는 전기적인 충격으로 인한 제어라인과 쇼팅바간의 단락현상을 방지할 수 있다. 이에 따라, 외부로부터 유입된 정전기를 차단할 수 있어 멀티플렉서와 같은 구동회로와 박막트랜지스터 어레이로 유입되는 것을 방지할 수 있게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

그라인딩공정 전의 액정표시패널에 있어서,

기관의 스크라이빙선과 교차되게 비표시영역 상에 형성되며 표시영역의 신호라인들에 구동신호를 공급하는 다수의 공급라인들과,

상기 기관의 스크라이빙선과 상기 공급라인들과의 교차영역을 우회하도록 형성되며 상기 그라인딩공정에 의해 제거되는 쇼팅바를 구비하는 것을 특징으로 하는 그라인딩 공정 전의 액정표시패널.

청구항 2.

제 1 항에 있어서,

상기 표시영역에는

상기 신호라인들의 교차로 할당된 영역마다 형성되는 액정셀들과,

상기 신호라인들과 액정셀들 각각의 사이에 접속된 박막트랜지스터를 구비하는 것을 특징으로 하는 그라인딩 공정 전의 액정표시패널.

청구항 3.

제 1 항에 있어서,

상기 표시영역의 신호라인들을 시분할 구동하는 다수의 멀티플렉서들을 추가로 구비하는 것을 특징으로 하는 그라인딩 공정 전의 액정표시패널.

청구항 4.

제 3 항에 있어서,

상기 표시영역에 포함되는 박막트랜지스터의 액티브층과, 상기멀티플렉서들에 포함되는 스위칭소자의 액티브층은 폴리실리콘으로 이루어진 것을 특징으로 하는 그라인딩 공정 전의 액정표시패널.

청구항 5.

제 4 항에 있어서,

상기 다수의 공급라인들은 상기 스위칭소자에 제어신호를 공급하는 제어라인과, 상기 스위칭소자에 비디오신호를 공급하는 데이터입력라인으로 이루어지는 것을 특징으로 하는 그라인딩 공정 전의 액정표시패널.

청구항 6.

표시영역의 신호라인들에 구동신호를 공급하는 다수의 공급라인들을 기판의 스크라이빙선과 교차되게 형성하는 단계와,

상기 기판의 스크라이빙선과 상기 공급라인들과의 교차영역을 우회하도록 쇼팅바를 형성하는 단계와,

상기 쇼팅바를 그라인딩공정에 의해 제거하는 단계를 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 7.

제 6 항에 있어서,

상기 신호라인들의 교차로 할당된 영역마다 액정셀들을 형성하는 단계와,

상기 신호라인들과 액정셀들 각각의 사이에 접속되는 박막트랜지스터를 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 8.

제 6 항에 있어서,

상기 표시영역의 신호라인들을 시분할 구동하는 다수의 멀티플렉서들을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

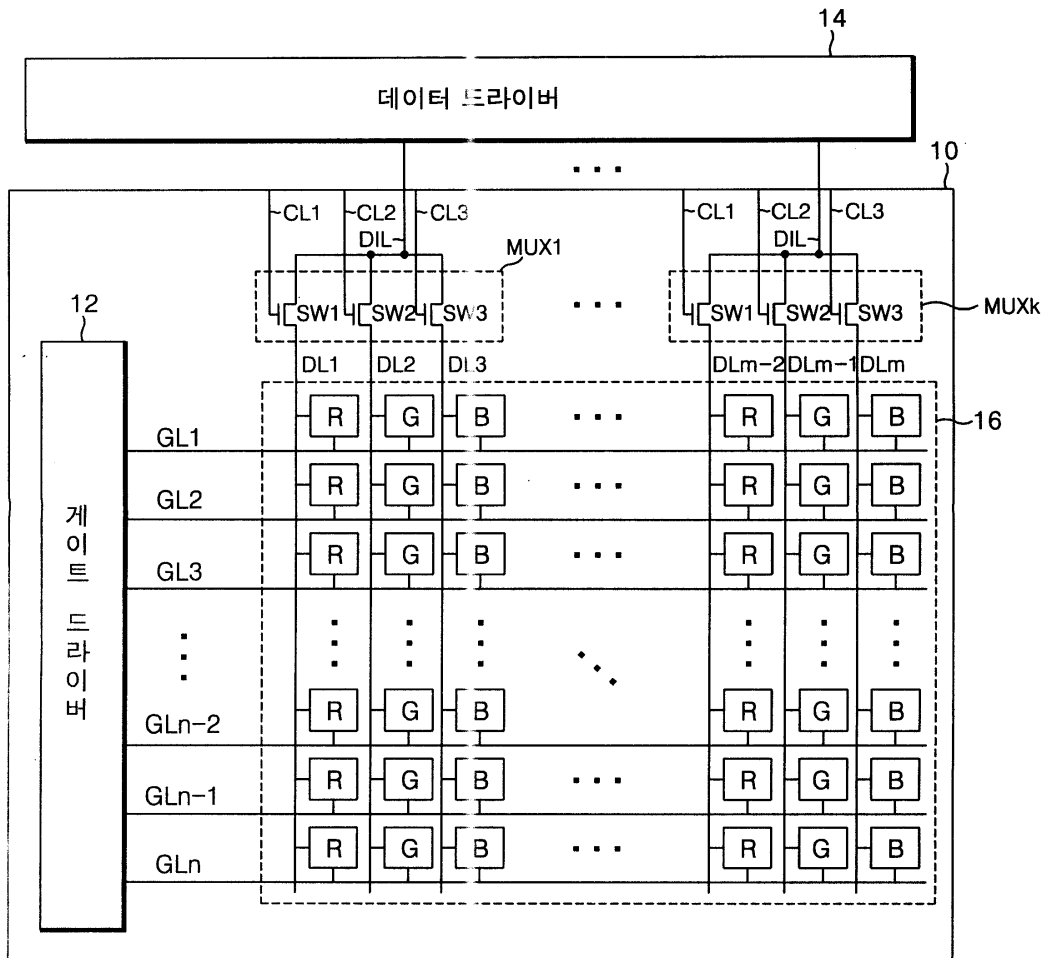
청구항 9.

제 8 항에 있어서,

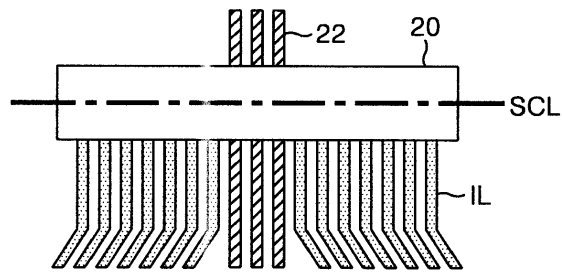
상기 표시영역에 포함되는 박막트랜지스터의 액티브층과, 상기멀티플렉서들에 포함되는 스위칭소자의 액티브층은 폴리실리콘으로 이루어진 것을 특징으로 하는 액정표시패널의 제조방법.

도면

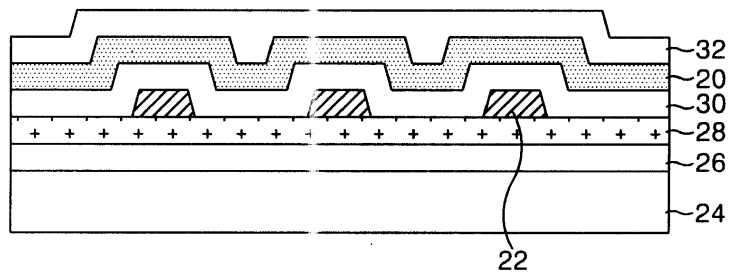
도면1



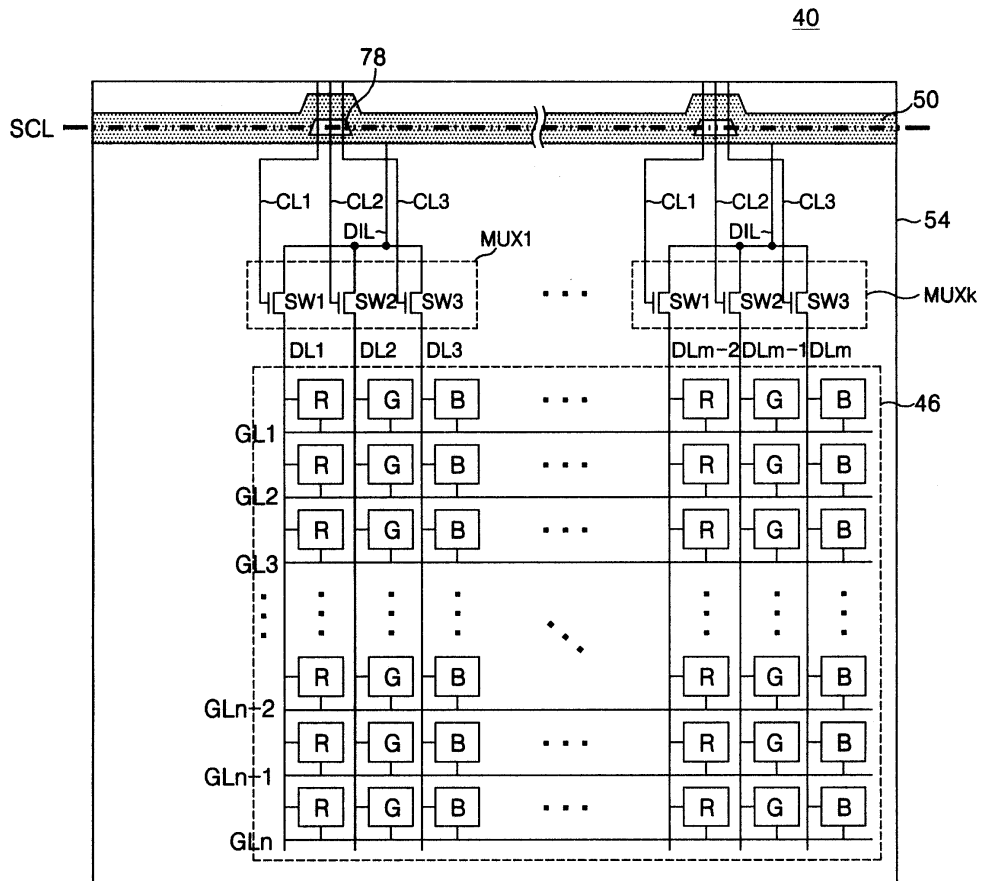
도면2



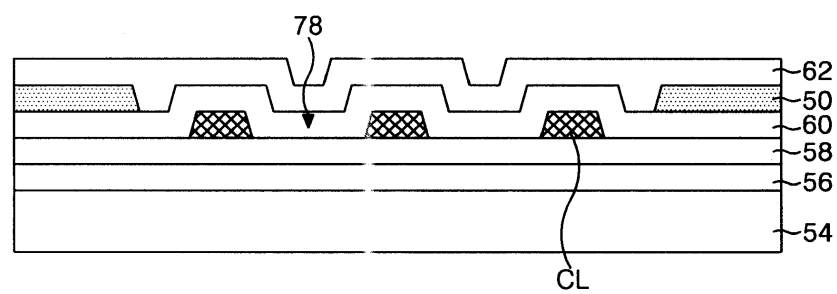
도면3



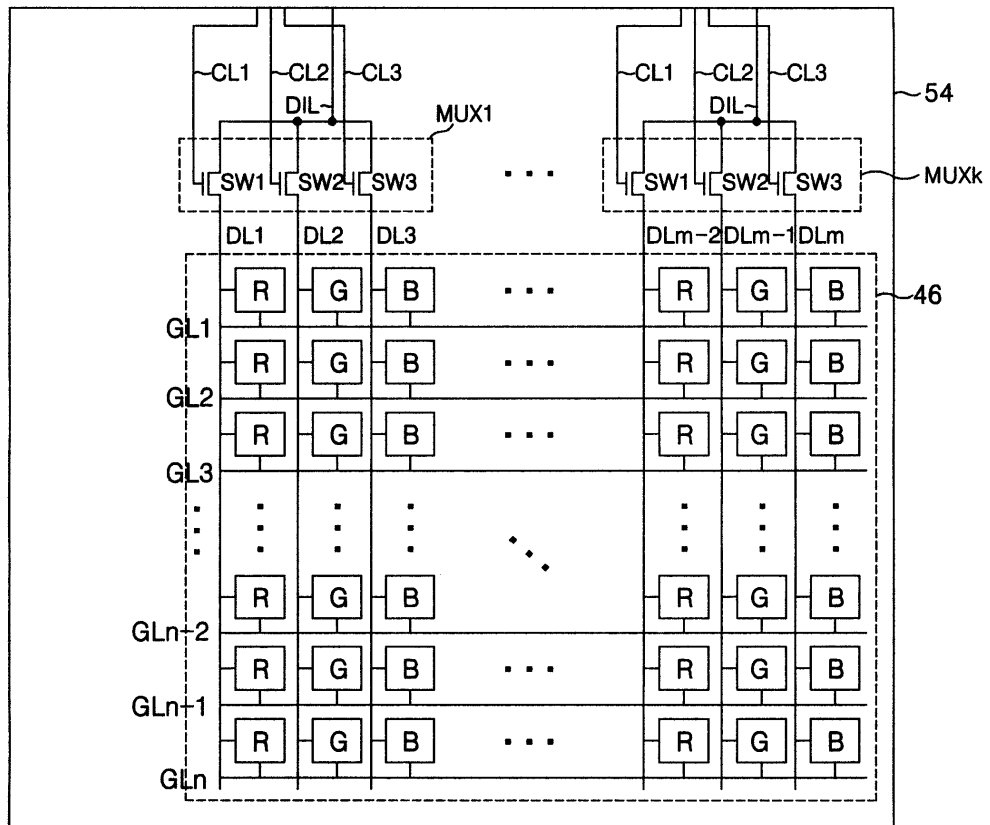
도면4



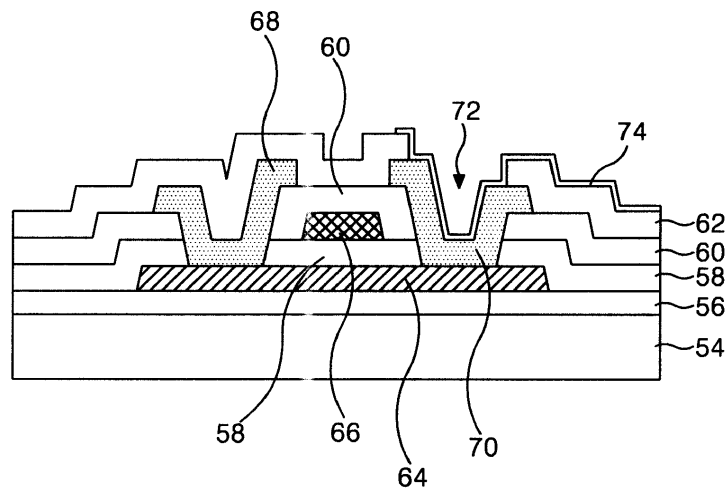
도면5



도면6



도면7



专利名称(译)	液晶显示面板和研磨工艺前的液晶显示面板的制造方法		
公开(公告)号	KR100487808B1	公开(公告)日	2005-05-06
申请号	KR1020020078377	申请日	2002-12-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JANG JEONGWOO 장정우 PARK JAEDEOK 박재덕		
发明人	장정우 박재덕		
IPC分类号	G02F1/1362 G02F1/1343 G02F1/1345		
CPC分类号	G02F1/136204 G02F1/1345 G02F1/13454		
代理人(译)	KIM , YOUNG HO		
其他公开文献	KR1020040050525A		
外部链接	Espacenet		

摘要(译)

本发明提供一种在研磨工艺之前可以防止静电流入薄膜晶体管阵列的液晶显示面板及其制造方法。在根据本发明的研磨工艺之前的液晶显示板形成为与基板的划线交叉，多个供电线形成在基板上并向显示区域的信号线提供驱动信号，短路棒形成绕过划线和基板的供电线的交叉区域并通过研磨工艺移除它其特征在于它包括。度5

