

(19) 대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁷
G02F 1/133

(45) 공고일자 2002년04월09일
(11) 등록번호 10 - 0331417
(24) 등록일자 2002년03월22일

(21) 출원번호 10 - 2000 - 0013864
(22) 출원일자 2000년03월18일

(65) 공개번호 특2000 - 0071458
(43) 공개일자 2000년11월25일

(30) 우선권주장 1999 - 074137 1999년03월18일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바
니시무로 타이쵸
일본국 도쿄도 미나토꾸 시바우라 1조메 1방 1고

(72) 발명자 쯔나시마다까노리
일본사이따마켄후까야시하따라쵸1 - 9 - 2가부시끼가이샤도시바후까야디스플레이디바이스
워커스내
아오끼요시로
일본사이따마켄후까야시하따라쵸1 - 9 - 2가부시끼가이샤도시바후까야디스플레이디바이스
워커스내
나까무라가즈오
일본사이따마켄후까야시하따라쵸1 - 9 - 2가부시끼가이샤도시바후까야디스플레이디바이스
워커스내
사또하지메
일본사이따마켄후까야시하따라쵸1 - 9 - 2가부시끼가이샤도시바후까야디스플레이디바이스
워커스내

(74) 대리인 장수길
구영창

심사관 : 고종욱

(54) 액정 표시 장치

요약

주사선 구동 회로나 영상 신호선 구동 회로에 포함되는 CMOS 버퍼의 소비 전력을 낮게 억제하려고 하기 위한 것으로, 주사선과 주사선에 직교하는 영상 신호선에 스위칭 소자가 접속된 액티브 매트릭스형 액정 표시 소자를 포함하고, 주사선을 통해 스위칭 소자에 주사 펄스를 인가하는 주사선 구동 회로 및 영상 신호선에 영상 신호를 인가하는 영상 신호선 구동 회로 중 적어도 하나가, N형 박막 트랜지스터와 P형 박막 트랜지스터를 동일 기판 상에 형성한 1단의 CMOS 버퍼

또는 다단으로 접속한 복수의 CMOS 버퍼로 구성된 디지털 회로를 포함할 때, CMOS 버퍼를 구성하는 N형 박막 트랜지스터 및 P형 박막 트랜지스터 중 회로 동작중에 오프 상태가 되는 시간이 긴 한쪽 트랜지스터의 게이트 길이를 다른 트랜지스터의 게이트 길이보다 길게 형성한 것을 특징으로 한다.

대표도

도 1

색인어

액정 표시 장치, CMOS 버퍼, 박막 트랜지스터, 디지털 회로, 액티브 매트릭스

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 액정 표시 장치의 주사선 구동 회로 및 영상 신호선 구동 회로 중 적어도 하나의 구성 요소로서 삽입되는 디지털 회로를 도시한 도면.

도 2는 도 1에 도시된 디지털 회로의 입력 신호에 대응하는 주요 부분의 신호 파형을 도시한 도면.

도 3은 도 1에 도시된 디지털 회로의 제1 실시예의 상세한 구성을 도시하는 단면도 및 평면도.

도 4는 도 3에 도시된 디지털 회로의 제1 실시예의 주요 부분의 상세한 치수를 나타낸 도표.

도 5는 도 1에 도시된 디지털 회로의 제2 실시예의 상세한 구성을 나타내는 평면도.

도 6은 도 3에 도시된 디지털 회로의 제2 실시예의 주요한 부위의 상세한 치수를 나타낸 도표.

도 7은 도 1에 도시된 디지털 회로의 제3 실시예의 상세한 구성을 도시하는 평면도.

도 8은 박막 트랜지스터의 성능을 설명하기 위해, 드레인 전류와 게이트 전압과의 관계를 나타낸 선도.

< 도면의 주요 부분에 대한 부호의 설명

1 : 유리 기판

2 : 폴리실리콘층

3 : 게이트 절연막

4 : 층간 절연막

5, 6 : 게이트

7 : 고압 전원 배선

8 : 저압 전원 배선

11, 12, 13 : 인버터

14, 16, 18 : PMOS 트랜지스터

15, 17, 19 : NMOS 트랜지스터

L, L_1, L_2 : 게이트 길이

$W_1 \sim W_6$: 게이트 폭

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 복수개의 주사선과 이들 주사선에 직교하는 복수개의 영상 신호선에 각각 액티브 소자인 스위칭 소자가 접속된 액티브 매트릭스형 액정 표시 장치에 관한 것이다.

이 종류의 액정 표시 장치는 정보 기기 단말이나 박형 텔레비전 등 그래픽 디스플레이로서 널리 이용되고 있다. 특히, 최근에는 동일 면적의 투명 절연 기판 상에서의 유효 화면 영역을 넓이고, 또한 제조 비용의 저감시키기 위해 주사선 구동 회로나 영상 신호선 구동 회로를 화소 박막 트랜지스터와 동일한 형태로 투명 절연 기판 상에 일체적으로 형성한 구동 회로 내장 액티브 매트릭스형 액정 표시 장치의 개발이 진행되고 있다.

투명 절연 기판 상에 일체적으로 형성되는 주사선 구동 회로나 영상 신호선 구동 회로는, 폴리실리콘으로 이루어진 박막 트랜지스터를 기본적인 구성 소자로 하며, N형 박막 트랜지스터와 P형 박막 트랜지스터를 동일 기판 상에 형성한 1단의 CMOS 버퍼 또는 다단으로 접속한 복수의 CMOS 버퍼로 구성된 디지털 회로를 포함하고 있다. 이들 CMOS 버퍼는, 예를 들면 CMOS 트랜지스터가 인버터로서 기능하도록 접속되고, 입력 신호로서 듀티비가 수십분의 1 내지 수천분의 1 정도의 펄스 전압이 인가되고, 그 출력 신호를 상기 주사선이나 영상 신호선에 인가하는 구성으로 되어 있다.

상술한 구동 회로 내장 액티브 매트릭스형 액정 표시 장치에 있어서, 투명 기판 상에 일체 형성되는 구동 회로의 기본적인 구성 소자인 박막 트랜지스터는, 단결정 실리콘을 기판으로 하는 트랜지스터와 비교해서 그 능력이 떨어진다고 알려져 있다. 도 8은 그 일례를 설명하기 위해, 게이트 전압 V_g 와 드레인 전류 I_d 와의 관계를 나타낸 선도이고, 제조 공정의 약간의 차이로 인해 게이트 전압 V_g 를 0V로 한 경우의 드레인 전류 I_d 는 폭 Δ 로 나타낸 바와 같이 크게 변동되어 있다. 이러한 특성의 변동을 보충하기 위해 게이트 폭을 넓여 전류를 흘리기 쉽게 할 필요가 있었다. 그런데, 게이트 폭을 넓인 경우, 누설 전류가 증대함에 따라 각 소자의 소비 전력이 증가한다는 해결해야 하는 과제를 갖고 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기 과제를 해결하기 위한 것으로, 주사선 구동 회로나 영상 신호선 구동 회로에 포함되는 CMOS 버퍼를 형성하는 박막 트랜지스터의 누설 전류를 저감함으로써 소비 전력을 낮게 억제할 수 있는 구동 회로 내장 액티브 매트릭스형 액정 표시 장치를 제공하는 것을 목적으로 한다.

본 발명은, 복수개의 주사선과 주사선에 직교하는 복수개의 영상 신호선에 스위칭 소자가 접속된 액티브 매트릭스형 액정 표시 소자를 포함하고, 상기 주사선을 통해 스위칭 소자에 주사 펄스를 인가하는 주사선 구동 회로 및 상기 영상 신호선에 영상 신호를 인가하는 영상 신호선 구동 회로 중 적어도 하나가, N형 박막 트랜지스터와 P형 박막 트랜지스터를 동일 기판 상에 형성한 1단의 CMOS 버퍼, 또는 다단으로 접속한 복수의 CMOS 버퍼로 구성된 디지털 회로를 포함하는 액정 표시 장치에 있어서, 상기 CMOS 버퍼를 구성하는 N형 박막 트랜지스터 및 P형 박막 트랜지스터 중, 회로 동작 중에 오프 상태로 되어 있는 시간이 긴 한쪽 트랜지스터의 게이트 길이를 다른 트랜지스터의 게이트 길이보다 길게

형성하여 구성된다.

또한, 본 발명은, 복수개의 주사선과 상기 주사선에 직교하는 복수개의 영상 신호선에 스위칭 소자가 접속된 액티브 매트릭스형 액정 표시 소자를 포함하고, 상기 주사선을 통해 상기 스위칭 소자에 주사 펄스를 인가하는 주사선 구동 회로 및 상기 영상 신호선에 영상 신호를 인가하는 영상 신호선 구동 회로 중 적어도 하나가, N형 박막 트랜지스터와 P형 박막 트랜지스터를 동일 기판 상에 형성한 1단의 CMOS 버퍼, 또는 다단으로 접속한 복수의 CMOS 버퍼로 구성된 디지털 회로를 포함하는 액정 표시 장치에 있어서, 상기 CMOS 버퍼를 구성하는 N형 박막 트랜지스터 및 P형 박막 트랜지스터 중, 회로 동작 중에 오프 상태로 되어 있는 시간이 긴 한쪽 트랜지스터의 게이트 폭을 다른 트랜지스터의 게이트 폭보다 좁게 형성한 것으로 하여 구성된다.

또한, 본 발명은 복수개의 주사선과 상기 주사선에 직교하는 복수개의 영상 신호선에 스위칭 소자가 접속된 액티브 매트릭스형 액정 표시 소자를 구비하고, 상기 주사선을 통해 상기 스위칭 소자에 주사 펄스를 인가하는 주사선 구동 회로 및 상기 영상 신호선에 영상 신호를 인가하는 영상 신호선 구동 회로 중 적어도 하나가, N형 박막 트랜지스터와 P형 박막 트랜지스터를 동일 기판 상에 형성한 1단의 CMOS 버퍼, 또는 다단으로 접속한 복수의 CMOS 버퍼로 구성된 디지털 회로를 포함하는 액정 표시 장치에 있어서, 상기 CMOS 버퍼를 구성하는 N형 박막 트랜지스터 및 P형 박막 트랜지스터 중, 회로 동작 중에 오프 상태로 되어 있는 시간이 긴 한쪽 트랜지스터의 게이트 길이를 다른 트랜지스터의 게이트 길이보다 길게 형성하고 또한 상기 한쪽 트랜지스터의 게이트 폭을 다른 트랜지스터의 게이트 폭보다도 좁게 형성한 것으로 하여 구성된다.

발명의 구성 및 작용

이하, 본 발명을 도면에 도시된 적합한 실시예에 기초하여 상세히 설명한다.

도 1은 본 발명에 따른 액정 표시 장치의 부분 구성을 도시한 회로도로서, 주사선 구동 회로 및 영상 신호선 구동 회로 중 적어도 한쪽 (통상은 양쪽)의 구성 요소로서 삽입되는 디지털 회로를 나타내고 있다. 이 디지털 회로는 3개의 인버터(11, 12, 13)가 순서대로 직렬로 접속되어 있다. 이들 인버터(11, 12, 13)로서 각각 CMOS 트랜지스터를 이용할 수 있다.

즉, 인버터(11)는 고압 전원 V_{DD} 와 노드 N1 사이에 소스·드레인 경로를 형성하는 PMOS 트랜지스터(14)와, 접지점으로서 나타낸 저압 전원 V_{SS} 와 노드 N1 사이에 소스·드레인 경로를 형성하는 NMOS 트랜지스터(15)로 이루어지고, 이들 트랜지스터의 게이트가 서로 접속되어 논리 신호 입력 단자에 접속된다. 인버터(12)는 고압 전원 V_{DD} 와 노드 N2 사이에 소스·드레인 경로를 형성하는 PMOS 트랜지스터(16)와, 저압 전원 V_{SS} 와 노드 N2 사이에 소스·드레인 경로를 형성하는 NMOS 트랜지스터(17)로 이루어지고, 이들 트랜지스터의 게이트는 서로 접속되는 동시에 노드 N1에 접속되어 있다. 인버터(13)는 고압 전원 V_{DD} 와 논리 신호 출력단 사이에 소스·드레인 경로를 형성하는 PMOS 트랜지스터(18)와, 저압 전원 V_{SS} 와 출력단 사이에 소스·드레인 경로를 형성하는 NMOS 트랜지스터(19)로 이루어지고, 이들 트랜지스터의 게이트는 서로 접속되는 동시에 노드 N2에 접속되어 있다. 논리 신호 출력단과 저압 전원 V_{SS} 사이에는 용량성 부하(110)가 접속되어 있다.

도 1에 도시한 디지털 회로의 논리 신호 입력단에 도 2의 (a)에 도시된 바와 같이 H 레벨의 시간이 T_1 에서 L레벨의 시간이 T_2 인 듀티비가 수십분의 1 내지 수천분의 1인 펄스 전압을 인가하면, 노드 N1의 전압 파형은 도 2의 (b)에 도시된 바와 같이 반전한 것이 되고, 노드 N2의 전압은 도 2의 (c)에 도시된 바와 같이 입력 전압 파형과 동일 형태의 것으로 복귀하고, 또한 출력 전압 파형은 노드 N2의 전압 파형을 반전한 것이 된다.

이 경우, 인버터(11)에 있어서 PMOS 트랜지스터(14)는, T_1 시간만큼 오프 상태가 되고, 이 T_1 시간보다도 각별히 긴 T_2 시간에 걸쳐 온 상태가 되고, 반대로 NMOS 트랜지스터(15)는 T_1 시간만큼 온 상태가 되고, T_2 시간 오프 상태를 계속한다. 따라서, 도 1에 도시된 디지털 회로의 동작 중에는 PMOS 트랜지스터(14)의 오프 시간과 비교하여 NMOS 트랜지스터(15)의 오프 시간이 압도적으로 길어진다. 또한, 인버터(12)에 있어서는 NMOS 트랜지스터(17)의 오프 시간과 비교하여 PMOS 트랜지스터(16)의 오프 시간이 압도적으로 길어지고, 또한 인버터(13)에 있어서는 PMOS 트랜지스터(18)의 오프 시간과 비교하여 NMOS 트랜지스터(19)의 오프 시간이 압도적으로 길어진다.

상술한 바와 같이, 트랜지스터(14 ~ 19)를 박막 트랜지스터로 구성한 경우, 게이트 폭을 넓이면 누설 전류도 커진다. 본 실시예는 인버터(11, 12, 13)를 구성하는 CMOS 트랜지스터 중, 시간적으로 오프 상태가 주가 되는 트랜지스터의 게이트 길이를 길게 하거나 게이트 폭을 좁이거나 하여, 누설 전류를 저감함으로써 소비 전력을 낮게 억제하는 것이다.

도 3은 이 생각에 따라 형성한 디지털 회로의 제1 실시예의 상세한 구성을 도시하는 단면도 및 평면도이고, 이해를 돕기 위해, (a)의 단면도에 도시된 층간 절연막 및 절연층을 제거하여 (b)에 그 평면도를 나타내고 있다. 동일 도면에 있어서, 유리 기판(1) 상에 폴리실리콘층(2)이 형성되고, 이 폴리실리콘층(2)에, 예를 들면 PMOS 트랜지스터(18) 및 NMOS 트랜지스터(19)로 이루어진 CMOS 트랜지스터를 형성하는 주지(周知)의 처리가 실시된다. 그리고, 폴리실리콘층(2) 상에 게이트 절연막(3)이 형성되고, 또한 그 표면에 게이트(5) 및 게이트(6)가 격리되어 형성된다. 게이트(5) 및 게이트(6)를 포함한 게이트 절연막(3) 상에 층간 절연막(4)이 형성되고, 그 표면에 고압 전원 배선(7) 및 저압 전원 배선(8)이 형성된다. 또한, 게이트(5) 및 게이트(6)의 중간 위치에서의 층간 절연막(4)의 표면에 신호 배선(9)이 형성된다.

그리고, 고압 전원 배선(7), 저압 전원 배선(8) 및 논리 신호 출력 배선(9)은 각각 층간 절연막(4)에 형성한 관통 홀(through hole)을 통해 폴리실리콘층(2)의 소정의 영역에 접속된다. 또, 게이트(5) 및 게이트(6)는 「ㄱ」의 글자형 배선의 각 선단부에 상당하고, 「ㄱ」의 글자형 배선의 기초부가 전단의 CMOS 트랜지스터의 논리 신호 출력 배선에 접속되어 있다. 이들 고압 전원 배선(7), 저압 전원 배선(8) 및 논리 신호 출력 배선(9)의 표면을 포함시킨 층간 절연막(4)의 표면부에 절연층(10)이 적층되고, 이에 따라 PMOS 트랜지스터(18) 및 NMOS 트랜지스터(19)를 직렬로 접속하고, 그 양끝을 고압 전원 배선(7)과 저압 전원 배선(8)에 접속함으로써 신호 배선(9)으로부터 신호를 출력하는 인버터(13)를 얻을 수 있다. 인버터(11) 및 인버터(12)도 상술한 인버터(13)와 동일하게 구성되어 있다.

그런데, 인버터(11, 12, 13)는 순차적으로 전류 용량을 크게 하도록 형성되고, 인버터(11)를 구성하는 PMOS 트랜지스터(14) 및 NMOS 트랜지스터(15)의 게이트 폭을 W_1 , 인버터(12)를 구성하는 PMOS 트랜지스터(16) 및 NMOS 트랜지스터(17)의 게이트 폭을 W_2 , 인버터(13)를 구성하는 PMOS 트랜지스터(18) 및 NMOS 트랜지스터(19) 중 게이트 폭을 W_3 으로 하면, 이들 사이에 $W_1 < W_2 < W_3$ 의 관계가 성립된다. 개략적인 값을 예시하면, 도 4에 도시된 바와 같이 $W_1 = 10\mu\text{m}$, $W_2 = 50\mu\text{m}$, $W_3 = 200\mu\text{m}$ 이다. 또, 도 3에서는 이들 치수차를 표현하기 어렵기 때문에 척도를 바꿔 나타내고 있다.

한편, 인버터(11)의 PMOS 트랜지스터(14)의 게이트 길이를 L_1 , NMOS 트랜지스터(15)의 게이트 길이를 L_2 로 하면, $L_1 < L_2$ 가 되도록 각 길이가 정해져 있다. 또한, 인버터(12)의 PMOS 트랜지스터(16)의 게이트 길이는 L_2 로 형성하고, NMOS 트랜지스터(17)의 게이트 길이는 L_1 로 형성되어 있다. 또한, 인버터(13)의 PMOS 트랜지스터(18)의 게이트 길이는 L_1 로, NMOS 트랜지스터(19)의 게이트 길이는 L_2 로 형성되어 있다. 적합한 값을 예시하면, 도 4에 도시된 바와 같이 $L_1 = 5\mu\text{m}$, $L_2 = 10\mu\text{m}$ 이다.

여기서, 인버터(11)에 주목하면, PMOS 트랜지스터(14)의 오프 시간과 비교하여 NMOS 트랜지스터(15)의 오프 시간이 압도적으로 길어진다. 이 실시예에서는, 오프 상태로 되어 있는 시간이 긴 NMOS 트랜지스터(15)의 게이트 길이 L_2 를, PMOS 트랜지스터(14)의 게이트 길이 L_1 보다 길게 함으로써 도 2에 도시된 펄스 전압 파형으로 동작하는 트랜지스터의 누설 전류를 저감할 수 있다. 이와 완전히 동일한 형태로, 인버터(12)에 있어서 오프 상태로 되어 있는 시간이 긴 PMOS 트랜지스터(16)의 게이트 길이 L_2 를 NMOS 트랜지스터(17)의 게이트 길이 L_1 보다 길게 함으로써 누설 전류를 저감할 수 있고, 인버터(13)에서도 오프 상태로 되어 있는 시간이 긴 NMOS 트랜지스터(19)의 게이트 길이 L_2 를 PMOS 트랜지스터(18)의 게이트 길이 L_1 보다 길게 함으로써 누설 전류를 저감할 수 있다.

이 결과, 도 1에 도시된 바와 같이, 다단으로 접속된 복수의 CMOS 버퍼로 구성된 디지털 회로의 소비 전력을 종래의 액정 표시 장치에 이용되고 있는 동일한 디지털 회로와 비교하여 각별히 낮게 억제할 수 있다.

도 5는 본 발명에 따른 액정 표시 장치를 구성하는 디지털 회로의 제2 실시예의 상세한 구성을 도시한 평면도이고, 도면 중 제1 실시예를 도시한 도 3과 동일한 요소에는 동일한 부호를 붙여 그 설명을 생략한다.

이 실시예는 CMOS 버퍼를 구성하는 두개의 트랜지스터 중, 오프 상태로 되어 있는 시간이 긴 한쪽 트랜지스터의 게이트 폭을 다른 트랜지스터의 게이트 폭보다 좁게 형성한 것이다. 즉, 인버터(11)에서는 PMOS 트랜지스터(14)의 게이트 폭 W_1 과 비교하여, NMOS 트랜지스터(15)의 게이트 폭 W_2 를 좁게 하고 있다. 인버터(12)에서는 PMOS 트랜지스터(16)의 게이트 폭 W_3 을 NMOS 트랜지스터(17)의 게이트 폭 W_4 보다 좁이고, 인버터(13)에서는 PMOS 트랜지스터(18)의 게이트 폭 W_5 와 비교하여 NMOS 트랜지스터(19)의 게이트 폭 W_6 을 좁이고 있다. 이 경우, 각 MOS 트랜지스터의 게이트 길이 L 은 모두 동일하게 형성되어 있다. 즉, 이들 값을 개략적으로 예시하면 도 6의 도표와 같다.

이 결과, 도 1에 도시된 바와 같이, 다단으로 접속한 복수의 CMOS 버퍼로 구성된 디지털 회로의 소비 전력을 종래의 액정 표시 장치의 동일한 디지털 회로와 비교하여 각별히 낮게 억제할 수 있다.

도 7은 본 발명에 따른 액정 표시 장치를 구성하는 디지털 회로의 제3 실시예의 상세한 구성을 나타내는 평면도이고, 도면 중 제1 실시예를 도시한 도 3 또는 제2 실시예를 도시한 도 5와 동일한 요소에는 동일한 부호를 붙이며 이에 대한 설명은 생략한다.

이 실시예는 CMOS 버퍼를 구성하는 두개의 트랜지스터 중 오프 상태로 되어 있는 시간이 긴 한쪽 트랜지스터의 게이트 길이를 다른 트랜지스터의 게이트 길이보다 길게 형성하고, 또한 오프 상태로 되어 있는 시간이 긴 한쪽 트랜지스터의 게이트 폭을 다른 트랜지스터의 게이트 폭보다 좁게 형성함으로써 누설 전류를 저감하려고 하는 것이다. 즉, 인버터(11)에서는, PMOS 트랜지스터(14)의 게이트 길이를 L_1 그리고 게이트 폭을 W_1 로 형성했을 때, NMOS 트랜지스터(15)의 게이트 길이를 보다 긴 L_2 로 그리고 게이트 폭을 보다 좁은 W_2 로 형성한다. 마찬가지로, 인버터(12)에서는, NMOS 트랜지스터(17)의 게이트 길이를 L_1 그리고 게이트 폭을 W_4 로 형성했을 때, PMOS 트랜지스터(16)의 게이트 길이를 보다 긴 L_2 로 그리고 게이트 폭을 보다 좁은 W_3 로 형성한다. 또한, 인버터(13)에서는, PMOS 트랜지스터(18)의 게이트 길이를 L_1 , 게이트 폭을 W_5 에 형성했을 때, NMOS 트랜지스터(19)의 게이트 길이를 보다 긴 L_2 로 그리고 게이트 폭을 보다 좁은 W_6 로 형성한다.

또, 도 7에 도시된 제3 실시예에서는, 인버터(11, 12, 13)를 구성하는 한쌍의 PMOS 트랜지스터와 NMOS 트랜지스터의 게이트 길이의 차 및 게이트 폭의 차를 반드시 도 4 또는 도 6에 도시된 값으로 할 필요 없이, 동작 상 지장이 없는 범위에서 적절하게 설계 변경할 수 있다.

이렇게 해서, 도 1에 도시된 바와 같이, 다단으로 접속한 복수의 CMOS 버퍼로 구성된 디지털 회로의 소비 전력을 종래의 액정 표시 장치에 이용되고 있는 동일한 디지털 회로와 비교해서 각별히 낮게 억제할 수 있다.

또, 상기 실시예에서는 CMOS 버퍼를 인버터로 구성했지만, 이것과 동일한 동작을 하는 회로를 예를 들면 NAND 회로나 NOR 회로 등으로 구성할 수도 있다.

또한, 상기 실시예에서는 박막 트랜지스터를 폴리실리콘으로 형성하였지만, 이 박막 트랜지스터를 마이크로크리스탈이나 비정질 실리콘으로 구성하는 것도 가능하다.

발명의 효과

이상의 설명에 의해 명백히 알 수 있듯이, 본 발명에 따르면, 구동 회로의 동작 중, CMOS 버퍼를 구성하는 한쌍의 트랜지스터 중 오프 상태로 되어 있는 시간이 긴 한쪽 트랜지스터의 게이트 길이를 길게 하거나 또는 게이트 폭을 좁이거나 하여 누설 전류를 저감함으로써 소비 전력을 낮게 억제할 수 있는 구동 회로 내장의 액티브 매트릭스형의 액정 표시 장치를 제공할 수 있다.

(57) 청구의 범위

청구항 1.

복수개의 주사선과 상기 주사선에 직교하는 복수개의 영상 신호선에 스위칭 소자가 접속된 액티브 매트릭스형 액정 표시 소자를 포함하고, 상기 주사선을 통해 상기 스위칭 소자에 주사 펄스를 인가하는 주사선 구동 회로 및 상기 영상 신호선에 영상 신호를 인가하는 영상 신호선 구동 회로 중 적어도 하나가, N형 박막 트랜지스터와 P형 박막 트랜지스터를 동일 기판 상에 형성한 1단의 CMOS 버퍼 또는 다단으로 접속한 복수의 CMOS 버퍼로 구성된 디지털 회로를 포함하는 액정 표시 장치에 있어서,

상기 CMOS 버퍼를 구성하는 N형 박막 트랜지스터 및 P형 박막 트랜지스터 중, 회로 동작 중에 오프 상태로 되어 있는 시간이 긴 한쪽 트랜지스터의 게이트 길이를 다른 트랜지스터의 게이트 길이보다도 길게 형성한 것을 특징으로 하는 액정 표시 장치.

청구항 2.

제1항에 있어서, 상기 CMOS 버퍼는 인버터로 구성된 것을 특징으로 하는 액정 표시 장치.

청구항 3.

제1항에 있어서, 상기 CMOS 버퍼를 구성하는 N형 박막 트랜지스터 및 P형 박막 트랜지스터는 폴리실리콘으로 형성된 것을 특징으로 하는 액정 표시 장치.

청구항 4.

제1항에 있어서, 상기 디지털 회로는 복수의 CMOS 버퍼로 구성되고, 상기 각 CMOS 버퍼는 상기 한쪽 트랜지스터의 게이트 길이를 L_2 그리고 상기 다른 트랜지스터의 게이트 길이를 L_1 ($L_2 > L_1$)로 하여 구성되며, 상기 복수의 CMOS 버퍼는 각각의 게이트 폭이 상류측(上流側)으로부터 하류측(下流側)을 향해 순차적으로 큰 것이 배열되도록 배치되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 5.

복수개의 주사선과 상기 주사선에 직교하는 복수개의 영상 신호선에 스위칭 소자가 접속된 액티브 매트릭스형 액정 표시 소자를 포함하고, 상기 주사선을 통해 상기 스위칭 소자에 주사 펄스를 인가하는 주사선 구동 회로 및 상기 영상 신호선에 영상 신호를 인가하는 영상 신호선 구동 회로 중 적어도 하나가, N형 박막 트랜지스터와 P형 박막 트랜지스터를 동일 기판 상에 형성한 1단의 CMOS 버퍼 또는 다단으로 접속한 복수의 CMOS 버퍼로 구성된 디지털 회로를 포함하는 액정 표시 장치에 있어서,

상기 CMOS 버퍼를 구성하는 N형 박막 트랜지스터 및 P형 박막 트랜지스터 중, 회로 동작 중에 오프 상태로 되어 있는 시간이 긴 한쪽 트랜지스터의 게이트 폭을 다른 트랜지스터의 게이트 폭보다도 좁게 형성한 것을 특징으로 하는 액정 표시 장치.

청구항 6.

제5항에 있어서, 상기 CMOS 버퍼는 인버터로 구성된 것을 특징으로 하는 액정 표시 장치.

청구항 7.

제5항에 있어서, 상기 CMOS 버퍼를 구성하는 N형 박막 트랜지스터 및 P형 박막 트랜지스터는 폴리실리콘으로 형성된 것을 특징으로 하는 액정 표시 장치.

청구항 8.

제5항에 있어서, 상기 디지털 회로는 복수의 CMOS 버퍼로 구성되고, 상기 각 CMOS 버퍼는 상기 한쪽 트랜지스터 및 상기 다른 트랜지스터의 각각에 있어서의 게이트 길이가 각각 동일하게 구성되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 9.

제8항에 있어서, 상기 디지털 회로는 복수의 CMOS 버퍼로 구성되고, 상기 각 CMOS 버퍼는 상기 한쪽 트랜지스터의 게이트 길이를 L_2 그리고 상기 다른 트랜지스터의 게이트 길이를 L_1 ($L_2 > L_1$)로 하여 구성되고, 상기 복수의 CMOS 버퍼에 있어서는, 상류측의 상기 CMOS 버퍼의 상기 한쪽 트랜지스터의 게이트 폭보다도 하류측의 상기 CMOS 버퍼의 상기 한쪽 트랜지스터의 게이트 폭이 크게 설정되고, 상기 상류측의 상기 CMOS 버퍼의 상기 다른 트랜지스터의 게이트 폭보다도 상기 하류측의 상기 CMOS 버퍼의 상기 다른 트랜지스터의 게이트 폭이 크게 설정되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 10.

복수개의 주사선과 상기 주사선에 직교하는 복수개의 영상 신호선에 스위칭 소자가 접속된 액티브 매트릭스형 액정 표시 소자를 포함하고, 상기 주사선을 통해 상기 스위칭 소자에 주사 펄스를 인가하는 주사선 구동 회로 및 상기 영상 신호선에 영상 신호를 인가하는 영상 신호선 구동 회로 중 적어도 하나가, N형 박막 트랜지스터와 P형 박막 트랜지스터를 동일 기판 상에 형성한 1단의 CMOS 버퍼 또는 다단으로 접속한 복수의 CMOS 버퍼로 구성된 디지털 회로를 포함하는 액정 표시 장치에 있어서,

상기 CMOS 버퍼를 구성하는 N형 박막 트랜지스터 및 P형 박막 트랜지스터 중, 회로 동작 중에 오프 상태로 되어 있는 시간이 긴 한쪽 트랜지스터의 게이트 길이를 다른 트랜지스터의 게이트 길이보다 길게 형성하고, 또한 상기 한쪽 트랜지스터의 게이트 폭을 다른 트랜지스터의 게이트 폭보다도 좁게 형성한 것을 특징으로 하는 액정 표시 장치.

청구항 11.

제10항에 있어서, 상기 CMOS 버퍼는 인버터로 구성된 것을 특징으로 하는 액정 표시 장치.

청구항 12.

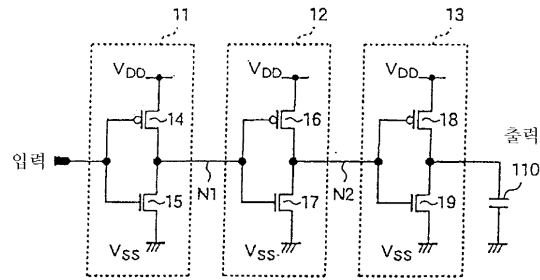
제10항에 있어서, 상기 CMOS 버퍼를 구성하는 N형 박막 트랜지스터 및 P형 박막 트랜지스터는 폴리실리콘으로 형성된 것을 특징으로 하는 액정 표시 장치.

청구항 13.

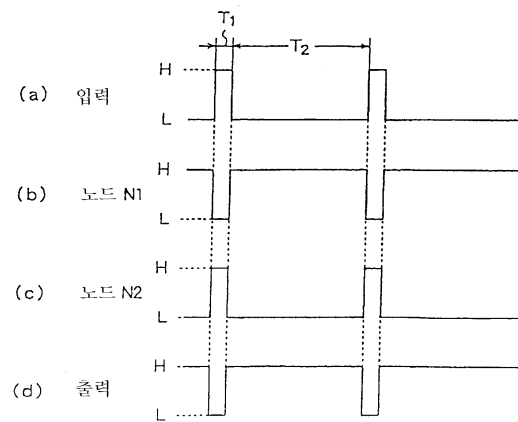
제10항에 있어서, 상기 디지털 회로는, 복수의 CMOS 버퍼로 구성되고, 상기 복수의 CMOS 버퍼에 있어서는, 상류측의 상기 CMOS 버퍼의 상기 한쪽 트랜지스터의 게이트 폭보다도 하류측의 상기 CMOS 버퍼의 상기 한쪽 트랜지스터의 게이트 폭이 크게 설정되고, 상기 상류측의 상기 CMOS 버퍼의 상기 다른 트랜지스터의 게이트 폭보다도 상기 하류측의 상기 CMOS 버퍼의 상기 다른 트랜지스터의 게이트 폭이 크게 설정되어 있는 것을 특징으로 하는 액정 표시 장치.

도면

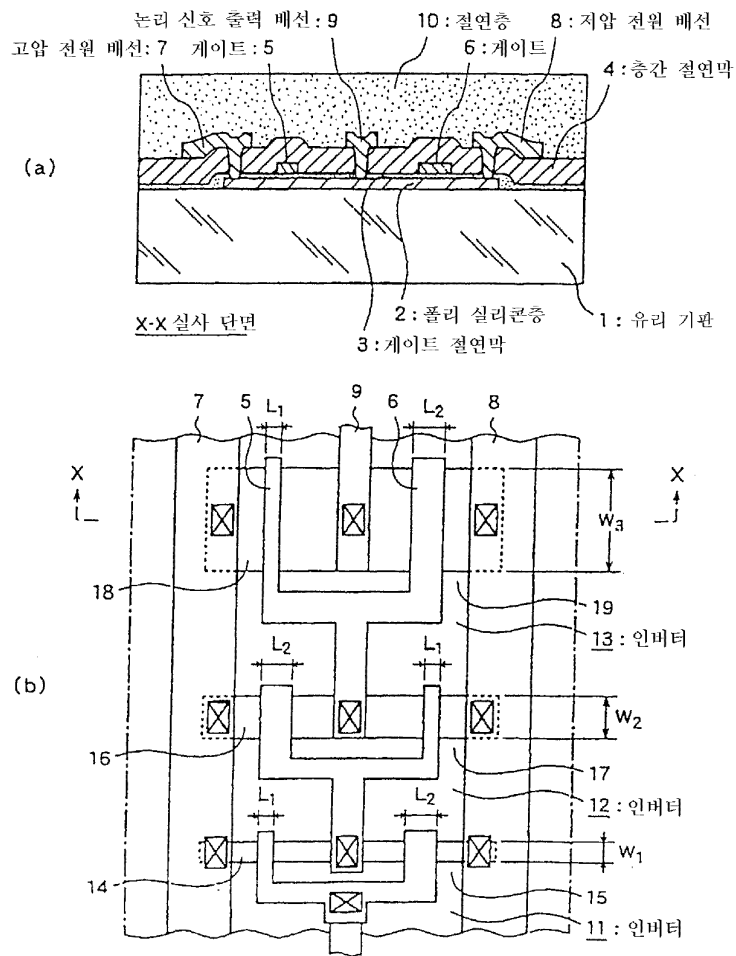
도면 1



도면 2



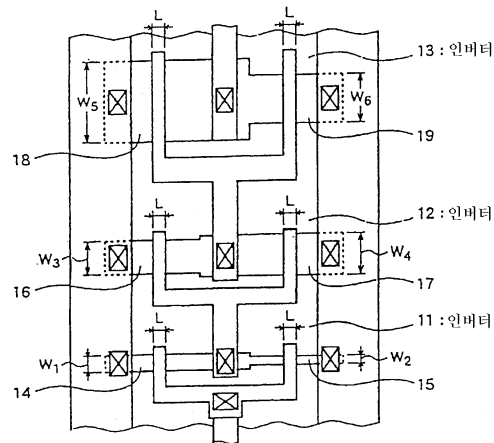
도면 3



도면 4

		게이트 길이 μm	게이트 폭 μm
인버터 11	PMOS 14	$L_1 = 5$	$W_1 = 10$
	NMOS 15	$L_2 = 10$	
인버터 12	PMOS 16	$L_2 = 10$	$W_2 = 50$
	NMOS 17	$L_1 = 5$	
인버터 13	PMOS 18	$L_1 = 5$	$W_3 = 200$
	NMOS 19	$L_2 = 10$	

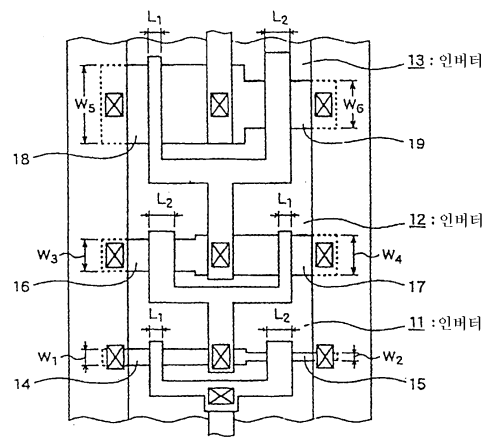
도면 5



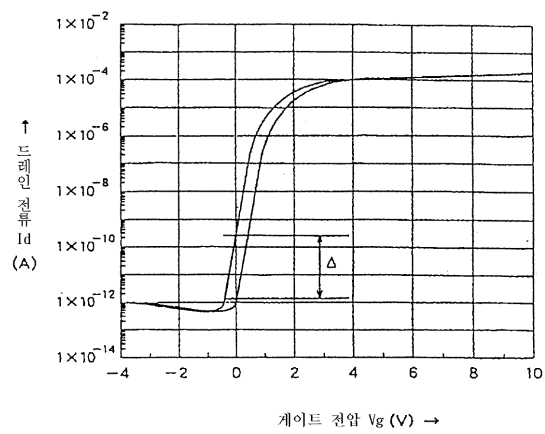
도면 6

		게이트 길이 μm	게이트 폭 μm
인버터 11	PMOS 14	$L=5$	$W_1=10$
	NMOS 15		$W_2=5$
인버터 12	PMOS 16	$L=5$	$W_3=25$
	NMOS 17		$W_4=50$
인버터 13	PMOS 18	$L=5$	$W_5=200$
	NMOS 19		$W_6=100$

도면 7



도면 8



专利名称(译)	液晶显示器		
公开(公告)号	KR100331417B1	公开(公告)日	2002-04-09
申请号	KR1020000013864	申请日	2000-03-18
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	Sikki东芝股份有限公司		
当前申请(专利权)人(译)	Sikki东芝股份有限公司		
[标]发明人	TSUNASHIMA TAKANORI 쏘나시마다까노리 AOKI YOSHIRO 아오끼요시로 NAKAMURA KAZUO 나까무라가즈오 SATO HAJIME 사또하지메		
发明人	쏘나시마다까노리 아오끼요시로 나까무라가즈오 사또하지메		
IPC分类号	G02F1/133		
代理人(译)	CHANG, SOO KIL		
优先权	1999074137 1999-03-18 JP		
其他公开文献	KR1020000071458A		

摘要(译)

意要尽量抑制CMOS缓冲器的功耗低被包括在扫描线驱动电路中，视频信号线驱动电路，和包括开关元件的有源矩阵型液晶显示设备被连接到漏极线，其垂直于所述扫描线和扫描线，扫描线经由和用于施加视频信号到视频信号线的至少一个视频信号线驱动电路中的一个形成在相同的扫描线驱动电路上的第一阶段中，N型薄膜晶体管和P型薄膜晶体管基板用于施加扫描脉冲施加给开关元件CMOS缓冲器 - 1 - 或者当它包括多个多级连接的CMOS缓冲器的构成的数字电路，N型薄膜晶体管和在该电路操作的一P型薄膜晶体管在关断状态，以构成CMOS缓冲器时，其他与长边晶体管的栅极长度并且形成为长于晶体管的栅极长度。 1 指数方面 液晶显示器，CMOS缓冲器，薄膜晶体管，数字电路，有源矩阵

