



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0084084
(43) 공개일자 2008년09월19일

(51) Int. Cl.

G02F 1/136 (2006.01) H01L 29/786 (2006.01)

(21) 출원번호 10-2007-0025215

(22) 출원일자 2007년03월14일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

양희정

경기 남양주시 퇴계원면 퇴계원1리 271-31(2/7)
금오주택 나동101호

김동선

경기 고양시 일산구 대화동 성저마을4단지아파트
삼익APT 401-802

(뒷면에 계속)

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 19 항

(54) 박막트랜지스터와 이를 포함하는 액정표시장치용 어레이기판의 제조방법

(57) 요약

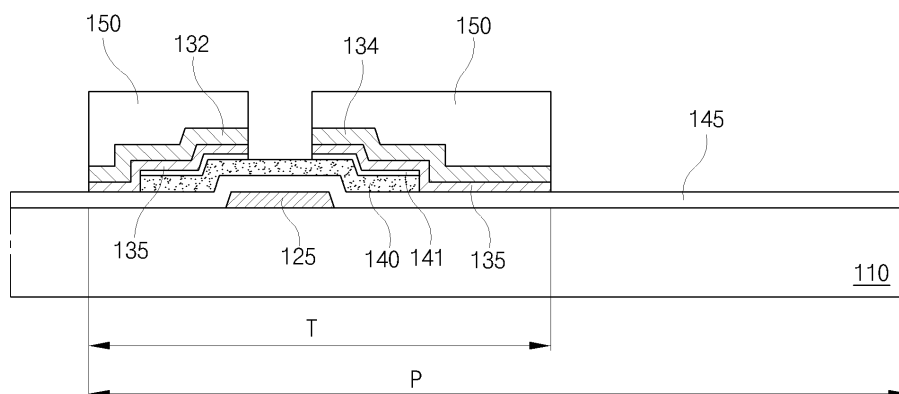
본 발명은 박막트랜지스터와 이를 포함하는 액정표시장치용 어레이 기판의 제조방법에 관한 것이다.

본 발명은 배리어층을 이루는 질화구리(CuN)와 소스 및 드레인 전극을 이루는 구리(Cu)를, 동일한 챔버 내에서 순수한 단일 구리(Cu) 타겟과 질소(N₂) 가스를 이용한 반응성 스퍼터링 방법으로 연속적으로 형성하는 것을 특징으로 한다.

따라서 상기 배리어층과 소스 및 드레인 전극을 포함하는 박막트랜지스터를 형성함에 있어 공정을 단순화 할 수 있다.

또한, 동종의 구리 계열로 이루어진 배리어층과 소스 및 드레인 전극을 형성함으로써, 종래의 이종금속 간에 발생하는 갈바닉 부식의 발생을 방지할 수 있고, 그 측면에 안정된 테이퍼 슬로프를 형성할 수 있으며, 순수한 단일 구리 타겟 사용으로 질화구리층과 구리층의 계면에 이물 발생을 방지하여 상기 구리층의 접착력을 향상시킬 수 있다.

대 표 도 - 도3e



(72) 발명자

오두석

대전 서구 갈마동 갈마아파트 203동 1301호

호원준

충북 청주시 흥덕구 모충동 금호아파트 492(30/7)
104동 1001호

특허청구의 범위

청구항 1

기판을 준비하는 단계와;

상기 기판 상부에 게이트 전극을 형성하는 단계와;

상기 게이트 전극 상부에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 상부에 액티브층 및 오믹 콘택층을 포함하는 반도체층을 형성하는 단계와;

상기 반도체층이 형성된 기판 상부에 질화구리층과 구리층을 연속해서 증착한 후 이를 패터닝하여 각각 배리어 층과, 소스 전극 및 이와 이격된 드레인 전극을 형성하는 단계

를 포함하는 박막트랜지스터 제조방법.

청구항 2

제 1 항에 있어서,

상기 질화구리(CuN)와 구리(Cu)로 이루어진 증착층은 동일한 챔버 내에서 순수한 단일 구리(Cu) 타겟과 질소(N₂) 가스를 이용한 반응성 스퍼터링 방법으로 연속적으로 형성하는 것을 특징으로 하는 박막트랜지스터 제조방법.

청구항 3

제 2 항에 있어서,

상기 반응성 스퍼터링 공정 동안의 상기 챔버 내부의 온도는 350℃ 이하로 유지되는 것을 특징으로 하는 박막트랜지스터 제조방법.

청구항 4

제 1 항에 있어서,

상기 배리어층과 소스 및 드레인 전극의 두께는 50Å 내지 500Å 범위인 것을 특징으로 하는 박막트랜지스터 제조방법.

청구항 5

제 1 항에 있어서,

상기 배리어층과 소스 및 드레인 전극의 측면 테이퍼 각은 30° 내지 60° 범위인 것을 특징으로 하는 박막트랜지스터 제조방법.

청구항 6

제 1 항에 있어서,

상기 배리어층과 소스 및 드레인 전극을 형성하기 위한 식각 공정에 사용되는 식각액은 인산(H₃PO₄), 질산(HNO₃), 초산(NH₄)₂S₂O₈ 또는 이의 혼합물에 물(H₂O)을 혼합한 혼합액인 것을 특징으로 하는 박막트랜지스터 제조방법.

청구항 7

제 1 항에 있어서,

상기 오믹 콘택층과 배리어층은 오믹 접촉을 이루는 것을 특징으로 하는 박막트랜지스터 제조방법.

청구항 8

기판을 준비하는 단계와;

상기 기판 상부에 일 방향으로 게이트 배선과, 게이트 전극을 형성하는 단계와;

상기 게이트 전극 상부에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 상부에 액티브층 및 오믹 콘택층을 포함하는 반도체층을 형성하는 단계와;

상기 반도체층이 형성된 기판 상부에 질화구리층과 구리층을 연속해서 증착한 후 이를 패터닝하여 각각 배리어 층과, 데이터 배선 그리고 소스 전극 및 이와 이격된 드레인 전극을 형성하는 단계와;

상기 데이터 배선과, 소스 및 드레인 전극이 형성된 기판 상부 전면에 위치하고, 상기 드레인 전극의 일부를 노출하는 보호막을 형성하는 단계와;

상기 드레인 전극과 접촉하는 화소 전극을 형성하는 단계

를 포함하는 액정표시장치용 어레이 기판의 제조방법.

청구항 9

제 8 항에 있어서,

상기 소스 및 드레인 전극의 이격된 공간 사이로 액티브층을 노출하는 단계를 더욱 포함하는 것을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법.

청구항 10

기판을 준비하는 단계와;

상기 기판 상부에 게이트 배선과 게이트 전극을 형성하는 단계와;

상기 게이트 전극의 상부에 절연막을 사이에 두고 순차 적층된 액티브층과 오믹 콘택층과, 상기 오믹 콘택층의 상부에 순차 적층되고 질화구리로 형성된 배리어층과 구리로 형성된 소스 및 드레인 전극과 데이터 배선을 동시에 형성하는 단계와;

상기 드레인 전극의 일부를 노출하는 보호막을 형성하는 단계와;

상기 드레인 전극과 접촉하는 화소 전극을 형성하는 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 11

제 10 항에 있어서,

상기 배리어층과 데이터 배선 그리고 소스 및 드레인 전극은 순수한 단일 구리(Cu) 타겟과 질소(N₂) 가스를 이용한 반응성 스퍼터링 방법으로 형성되는 것을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법.

청구항 12

제 10 항에 있어서,

상기 반응성 스퍼터링 공정 동안의 상기 챔버 내부의 온도는 350℃ 이하로 유지되는 것을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법.

청구항 13

제 10 항에 있어서,

상기 배리어층과 소스 및 드레인 전극의 두께는 50Å 내지 500Å 범위인 것을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법.

청구항 14

제 10 항에 있어서,

상기 배리어층과 소스 및 드레인 전극의 측면 테이퍼 각은 30° 내지 60° 범위인 것을 특징으로 하는 액정표시

장치용 어레이 기판의 제조방법.

청구항 15

제 10 항에 있어서,

상기 배리어층과 소스 및 드레인 전극을 형성하기 위한 식각 공정에 사용되는 식각액은 인산(H_3PO_4), 질산(HNO_3), 초산($(NH_4)_2S_2O_8$) 또는 이의 혼합물에 물(H_2O)을 혼합한 혼합액인 것을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법.

청구항 16

제 10 항에 있어서,

상기 오믹 콘택층과 배리어층은 오믹 접착을 이루는 것을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법.

청구항 17

제 10 항에 있어서,

상기 액티브층 및 오믹 콘택층과 상기 배리어층과 소스 및 드레인 전극과 데이터 배선을 동시에 형성하는 단계는,

상기 게이트 배선 및 게이트 전극이 형성된 기판의 전면에 게이트 절연막과, 순수 비정질 실리콘층 및 불순물 비정질 실리콘층인 반도체층과 질화구리층과 구리층을 순차 적층하는 단계와;

상기 구리층이 형성된 기판의 전면에 감광층을 형성하고, 감광층의 상부로 투과부와 반투과부와 차단부로 구성된 마스크를 위치시키는 단계와;

상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광한 후, 현상하는 단계와;

상기 게이트 전극에 대응하는 상부에 단차진 제 1 감광패턴과, 상기 제 1 감광패턴에서 연장되고 상기 게이트 배선과 수직인 방향으로 연장된 제 2 감광패턴을 형성하는 단계와;

상기 제 1 및 제 2 감광패턴의 주변으로 노출된 구리층과 하부의 질화구리층과 반도체층을 제거하여, 상기 제 1 감광패턴의 하부에 패턴된 구리층과 질화구리층인 배리어층과 오믹 콘택층(불순물 비정질 실리콘층)과 액티브층(순수 비정질 실리콘층)을 형성하고, 상기 제 2 감광패턴의 하부에 패턴된 구리층인 데이터 배선과 배리어층과 반도체층을 형성하는 단계와;

상기 제 1 및 제 2 감광패턴을 애싱하여, 상기 단차진 제 1 감광패턴의 낮은 부분을 제거하여 하부의 구리층을 노출하는 단계와;

상기 구리층과 그 하부의 배리어층과 오믹 콘택층을 제거하여, 이격된 소스 및 드레인 전극을 형성하는 단계를 포함하는 액정표시장치용 어레이 기판의 제조방법.

청구항 18

제 17 항에 있어서,

상기 마스크의 반투과부는 상기 제 1 감광패턴의 일부에 대응되며 표면으로부터 일부만이 노광되도록 하여, 현상 공정 후 상기 제 1 감광패턴이 단차진 형상이 되도록 하는 것을 특징으로 하는 액정표시장치용 어레이기판의 제조방법.

청구항 19

제 17 항에 있어서,

상기 소스 및 드레인 전극의 이격된 사이로 하부의 액티브층이 노출되는 것을 특징으로 하는 액정표시장치용 어레이기판의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <14> 본 발명은 박막트랜지스터와 이를 포함하는 액정표시장치용 어레이 기판의 제조방법에 관한 것으로, 보다 상세하게는 배리어층을 이루는 질화구리(CuN)와 소스 및 드레인 전극을 이루는 구리(Cu)를, 동일한 챔버 내에서 순수한 단일 구리(Cu) 타겟과 질소(N₂) 가스를 이용한 반응성 스퍼터링 방법으로 연속적으로 형성하는 박막트랜지스터 및 이를 포함하는 액정표시장치용 어레이 기판의 제조방법에 관한 것이다.
- <15> 정보화 사회가 발전함에 따라 표시 장치에 대한 요구도 다양한 형태로 증가하고 있으며, 이에 부응하여 근래에는 LCD(Liquid Crystal Display Device), PDP(Plasma Display Panel), VFD(Vacuum Fluorescent Display), ELD(Electro Luminescent Display) 등 여러 가지 평판표시장치가 연구되어 왔고, 일부는 이미 여러 장비에서 표시장치로 활용되고 있다.
- <16> 이 중에서, 현재 화질이 우수하고 경량, 박형, 저소비 전력의 장점으로 인하여 이동형 화상 표시장치의 용도로 CRT(Cathode Ray Tube)를 대체하면서 액정표시장치가 가장 많이 사용되고 있으며, 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 방송신호를 수신하여 디스플레이하는 텔레비전 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.
- <17> 이러한 액정표시장치는 박막트랜지스터(Thin Film Transistor)로 이루어진 스위칭 소자(Switching Device)와 화소(Pixel) 전극이 형성된 하판과, 이와는 소정 간격 이격되어 위치하고 칼라필터와 공통전극이 형성된 상판 사이에 주입된 액정으로 이루어진다.
- <18> 여기서, 상기 박막트랜지스터는 게이트전극, 게이트 절연막, 액티브층, 오믹콘택층 및 소스 및 드레인 전극으로 구성된다.
- <19> 이하, 첨부된 도면을 참조하여 종래기술에 따른 액정표시장치용 어레이 기판의 평면 구조에 대해 설명하면 다음과 같다.
- <20> 도 1은 종래의 액정표시장치용 어레이 기판의 단위 화소를 나타낸 평면도이고, 도 2는 도 1의 II-II선을 따라 절단한 단면도이다.
- <21> 도 1과 도 2에 도시한 바와 같이, 절연기판(10) 상에 게이트 금속층(미도시)을 형성하고 패터닝(Patterning)하면, 일 방향으로 게이트 배선(20)과, 상기 게이트 배선(20)에서 연장된 게이트 전극(25)이 형성된다.
- <22> 다음으로, 상기 게이트 배선(20)과 게이트 전극(25)이 형성된 절연기판(10) 상부에는 질화 실리콘(SiN_x) 또는 산화 실리콘(SiO₂) 등과 같은 무기 절연물질 중 선택된 하나로 상기 게이트 전극(25)을 덮도록 게이트 절연막(45)이 형성된다.
- <23> 다음으로, 상기 게이트 절연막(45) 상부에는 상기 게이트 전극(25)과 그 일부가 중첩되는 액티브층(40)과 오믹콘택층(41)이 화학기상증착(Plasma Enhanced Chemical Vapor Deposition: PECVD) 방법으로 순차적으로 적층된 형태로 형성된다.
- <24> 이때, 상기 액티브층(40)은 불순물이 도핑(Doping)되지 않은 비정질 실리콘(a-Si:H)으로 형성되고, 상기 오믹콘택층(41)은 불순물이 고농도로 도핑된 비정질 실리콘(n⁺a-Si:H)으로 형성된다.
- <25> 다음으로, 상기 액티브층 및 오믹 콘택층(40, 41) 상에 티타늄(Ti), 몰리브덴(Mo) 및 이의 합금과 같은 도전성 금속을 증착하여 배리어층(35)을 형성하고, 그 위에 구리박막(Cu)을 형성한 후, 이를 패터닝하게 되면, 상기 게이트 배선(20)과 수직하게 교차하여 화소 영역(P)을 정의하는 데이터 배선(30)과, 상기 데이터 배선(30)에서 연장된 소스 전극(32)과, 이와는 이격된 드레인 전극(34)이 구성된다.
- <26> 다음으로, 상기 소스 및 드레인 전극(32, 34) 사이의 게이트 전극(25)과 대응하는 부분의 배리어층(35)과 오믹콘택층(41)을 차례로 식각하여 액티브층(40)을 노출시킨다.

- <27> 상기 액티브층(40)의 노출된 부분이 채널 영역이 된다.
- <28> 여기서, 상기 게이트 전극(25)과, 액티브층 및 오믹 콘택층(40, 41)과 소스 및 드레인 전극(32, 34)을 포함하여 박막트랜지스터(T)가 이루어진다.
- <29> 그리고 상기 소스 및 드레인 전극(32, 34)이 형성된 절연기판(10) 상부 전면에서 질화 실리콘(SiN_x) 또는 산화 실리콘(SiO_2) 등과 같은 무기 절연물질 그룹 중에서 선택된 하나로 보호막(55)이 형성된다.
- <30> 다음으로, 상기 드레인 전극(34)의 일부를 노출하는 드레인 콘택홀(H1)을 통해 상기 드레인 전극(34)과 접촉되는 화소 전극(70)이 화소 영역(P)에 형성된다.
- <31> 여기서, 종래 기술에 따른 액정표시장치용 박막트랜지스터(T)는 데이터 배선(30)과 소스 및 드레인 전극(32, 34)의 형성에 사용되는 구리의 확산 방지를 위해 티타늄(Ti), 몰리브덴(Mo) 및 이의 합금으로 이루어진 배리어층(35)을 형성하게 된다.
- <32> 이때, 상기 소스 및 드레인 전극(32, 34)과 배리어층(35)을 형성하기 위한 공정 시 이를 개별적으로 증착하고, 각각의 금속 물성에 적합한 식각액(Etchant)을 사용하여 식각해야 되므로 공정이 복잡한 문제점이 있다.
- <33> 또한, 몰리브덴(Mo)과 구리(Cu)와 같이 이종금속(Dissimilar Metal)층으로 이루어진 증착층에 대한 습식 식각 및 포토레지스트 박리(Photoresist Strip) 공정을 수행할 경우, 갈바닉 부식(Galvanic Corrosion)을 발생시키게 된다.
- <34> 또한, 상기 배리어층(35)을 몰리브덴 합금으로 형성하기 위해 스퍼터링 할 경우, 증착층에 이물이 많이 포함되어 접착력을 저하시키는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <35> 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, 동일한 챔버 내에서 순수한 단일 구리 타겟과 질소 가스를 이용한 반응성 스퍼터링 방법으로, 반도체층 상부에 질화구리층과 구리층을 연속적으로 형성하여 소스 및 드레인 전극을 형성함으로써, 공정이 단순화된 박막트랜지스터 및 이를 포함하는 액정표시장치용 어레이 기판의 제조 방법을 제공하는 것을 목적으로 한다.
- <36> 또한, 본 발명을 통해 종래의 이종금속층에 대한 습식 식각 및 포토레지스트 박리 공정 시 발생하던 갈바닉 부식을 방지하는 것을 목적으로 한다.
- <37> 또한, 본 발명은 배리어층과 소스 및 드레인 전극 측면의 안정된 테이퍼 슬로프를 확보하는 것을 목적으로 한다.
- <38> 또한, 질화구리 및 구리의 증착을 위한 스퍼터링 공정 시 순수한 단일 구리 타겟을 사용함으로써, 종래의 합금 타겟 사용으로 증착층에 이물이 발생하는 것을 방지하는 것을 목적으로 한다.

발명의 구성 및 작용

- <39> 전술한 바와 같은 목적을 달성하기 위해, 본 발명은 기판을 준비하는 단계와, 상기 기판 상에 게이트 금속층을 증착하고, 이를 패터닝하여 게이트 전극과 게이트 배선을 형성하는 단계와, 상기 게이트 전극과 게이트 배선이 형성된 기판 상부에 게이트 절연막을 형성하는 단계와;
- <40> 상기 게이트 절연막 상부에 순수 비정질 실리콘층, 불순물 비정질 실리콘층 증착하고, 이를 패터닝하여 액티브층 및 오믹 콘택층을 형성하는 단계와, 상기 오믹 콘택층이 형성된 기판 상부에 반응성 스퍼터링 방법으로 질화구리층을 증착하고, 연속해서 구리층을 증착한 후 이를 패터닝하여 배리어층과, 데이터 배선 그리고 소스 전극 및 드레인 전극을 형성하는 단계와;
- <41> 상기 소스 및 드레인 전극의 이격된 공간 사이로 노출된 배리어층과 그 하부의 오믹 콘택층을 식각하여 액티브층을 노출하는 단계와, 상기 데이터 배선과, 소스 및 드레인 전극이 형성된 기판 상부에 드레인 콘택홀을 포함하는 보호막을 형성하는 단계와, 상기 보호막 상부에 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉되는 화소 전극을 형성하는 단계를 포함하는 박막트랜지스터 및 이를 포함하는 액정표시장치용 어레이 기판의 제조 방법을 제공한다.
- <42> 여기서, 질화구리(CuN)로 형성된 상기 배리어층(Barrier Layer)과 구리(Cu)로 형성된 소스 및 드레인 전극의 두

께는 50Å 내지 500Å 범위인 것을 특징으로 하고, 상기 배리어층과 소스 및 드레인 전극을 식각함으로써 형성된 테이퍼의 각도는 30° 내지 60° 범위인 것을 특징으로 한다.

<43> 또한, 상기 오믹 콘택층과 배리어층은 오믹 접촉(Ohmic Contact)을 이루는 것을 특징으로 한다.

<44> 상기 질화구리층과 이의 상부에 증착된 구리층은 동일한 챔버(Chamber) 내에서 연속적으로 형성하는 것을 특징으로 하고, 인산(H_3PO_4), 질산(HNO_3), 초산($(NH_4)_2S_2O_8$) 또는 이의 혼합물에 물(H_2O)을 혼합한 식각액으로 한 번의 식각 공정에 의해 패터닝하는 것을 특징으로 한다.

<45> 상기 배리어층을 이루는 질화구리층은 챔버 내에 질소(N_2) 가스를 주입하여 순수한 단일 구리 타겟으로 증착된 구리와 반응하여 만들어지며, 상기 소스 및 드레인 전극을 이루는 구리층은 상기 동일한 상기 챔버 내에서 상기 질화구리층을 증착한 후 질소 가스를 차단함으로써 만들어지는 것을 특징으로 한다.

<46> 이때, 증착 공정 동안의 상기 챔버 내부의 온도는 350℃ 이하로 유지되는 것을 특징으로 한다.

<47> 이하, 도면을 참조하여 본 발명에 따른 실시예를 상세히 설명한다.

<48> 본 발명에 따른 액정표시장치용 어레이 기판에 대한 단위 화소를 나타낸 평면도는 도 1과 그 구성에 있어 동일 하므로, 이에 대한 설명은 생략한다.

<49> --- 제 1 실시예 ---

<50> 도 3a 내지 3g는 본 발명의 제 1 실시예에 따른 박막트랜지스터 및 이를 포함하는 액정표시장치용 어레이 기판의 제조 공정도이다.

<51> 도 3a를 참조하면, 기판(110)의 일면에 스위칭 영역(T)과 화소 영역(P)을 정의한다.

<52> 다음으로, 상기 기판(110) 상부에 게이트 금속층(미도시)을 형성하고, 이를 제 1 마스크 공정으로 패터닝하여, 상기 화소 영역(P)의 일측에 위치하고 일방향으로 연장된 게이트 배선(도 1의 20의 방향 또는 형태)을 형성하고, 상기 스위칭 영역(T)에는 상기 게이트 배선(도 1의 20의 방향 또는 형태)에서 연장된 게이트 전극(125)을 형성한다.

<53> 이어 도 3b를 참조하면, 상기 게이트 전극(125)과 게이트 배선(도 1의 20의 방향 또는 형태)이 형성된 상기 절연기판(110) 상부 전면에 질화 실리콘(SiN_x) 또는 산화 실리콘(SiO_2) 등과 같은 무기 절연물질 그룹 중에서 선택된 하나로 게이트 절연막(145)을 형성하고, 상기 게이트 절연막(145) 상부에 반도체층인 순수 비정질 실리콘층(미도시)과 불순물이 고농도로 도핑된 비정질 실리콘층(미도시)을 차례로 적층하여 형성한다.

<54> 여기서, 상기 순수 비정질 실리콘층(미도시)과 불순물이 고농도로 도핑된 비정질 실리콘층(미도시)은 화학기상 증착 방법으로 형성한다.

<55> 계속해서, 이를 제 2 마스크 공정으로 패터닝하여, 상기 게이트 전극(125)과 중첩되게 액티브층(140) 및 오믹 콘택층(141)을 각각 형성한다.

<56> 도 3c 내지 도 3e는 제 3 마스크 공정을 세부적으로 나타낸 단면도이다.

<57> 도 3c를 참조하면, 상기 액티브층 및 오믹 콘택층(140, 141)이 형성된 기판(110) 상부에 질화구리층(135a)과 구리층(130)을 연속적으로 형성한다.

<58> 여기서, 상기 질화구리층(135a)과 구리층(130)은 동일한 챔버 내에서 순수한 단일 구리 타겟과 질소 가스를 이용한 반응성 스퍼터링 방법에 의해 연속적으로 증착한다.

<59> 보다 상세히 설명하면, 먼저 순수한 단일 구리 타겟을 이용하여 상기 오믹 콘택층(141)이 형성된 기판 상부에 구리를 증착하는 동안 챔버 내에 질소(N_2) 가스를 주입하면, 상기 구리와 질소의 반응에 의하여 질화구리층(135a)이 형성된다.

<60> 또한, 상기과 같이 질화구리층(135a)을 형성한 후 동일한 챔버 내에서 상기 질소 가스를 차단하면, 순수한 구리층(130)이 상기 질화구리층(135a) 상부에 형성된다.

<61> 이는 개별적인 증착 공정으로 상기 구리층(130)과 질화구리층(135a)이 명확한 계면을 갖는 것이 아니라, 한 번의 증착 공정으로 형성된 하나의 증착층에서, 질소가 풍부한 영역(N_2 - rich)과 질소가 결핍된 영역(N_2 -

depletion)이 구분됨으로써, 상기 질화구리층(135a)과 구리층(130)을 이루게 되고, 또한 이로써 종래보다 증착 공정을 한 단계 줄일 수 있게 된다.

- <62> 이때, 상기 구리층(130)과 질화구리층(135a)으로 이루어진 증착층의 두께는 50Å 내지 500Å 범위로 형성된다.
- <63> 여기서, 상기 구리층(130)의 두께는 상기 질화구리층(135a)의 두께보다 더 두껍게 형성하는 것이 바람직하다.
- <64> 다음으로, 상기 구리층(130)의 상부에 포토레지스트(Photo-resist)를 도포하여 감광층(150)을 형성한다.
- <65> 상기 감광층(150)의 상부에는 투과부(A1)와 차단부(A2)로 구성된 마스크(M)를 위치시킨다.
- <66> 이때, 상기 투과부(A1) 중 하나는 상기 게이트 전극(125)과 대응되는 지점에 위치시킨다.
- <67> 다음으로, 상기 마스크(M)와 이격된 상부에서 노광(Exposure) 및 현상(Develop)하는 공정 단계를 진행한다.
- <68> 이어 도 3d를 참조하면, 상기 차단부(A2)에 대응하는 감광층(150)이 그대로 남게 되고, 상기 투과부(A1)에 대응하는 부분의 감광층(150)은 모두 제거되어 상기 구리층(130)이 노출된 상태가 된다.
- <69> 다음으로, 상기 남아있는 감광층(150)을 마스크로 하여, 상기 구리층(130) 및 그 하부의 질화구리층(135a)을 동일한 식각액으로 습식식각(Wet Etching)하여 제거하는 공정을 진행한다.
- <70> 여기서, 상기 구리층(130)과 질화구리층(135a)은 모두 구리 계열로 형성되었기 때문에, 동일한 식각액 즉, 인산(H_3PO_4), 질산(HNO_3), 초산(NH_4) $_2$ S $_2$ O $_8$ 또는 이의 혼합물에 물(H_2O)을 혼합한 식각액으로 한 번의 식각 공정을 통해 동시에 패터닝함으로써 박막트랜지스터(T) 제조 공정을 단순화 할 수 있고, 종래에 발생하던 갈바니 부식 또한 방지 할 수 있다.
- <71> 또한, 상기 질화구리(135a)는 식각율(Etching Rate)이 낮기 때문에, 식각 공정 후 그 측면에 30° 내지 60° 범위의 테이퍼 각도를 갖는 안정적인 테이퍼 슬로프(Taper Slope)의 확보가 가능하다.
- <72> 이어서, 노출된 오믹 콘택층(141)을 건식식각(Dry Etching)으로 제거하여 액티브층(140)을 노출시킨다.
- <73> 이어 도 3e를 참조하면, 상기 오믹 콘택층(141) 상부에 위치하여 서로 이격된 질화구리층(135a)은 구리 이온의 확산을 방지하는 배리어층(135)의 기능을 하게 되고, 상기 배리어층(135) 상부에 서로 이격된 구리층(130) 중 데이터 배선(도 1의 30의 방향 또는 형태)과 접촉한 부분은 소스 전극(132)의 기능을, 이와 이격된 부분은 드레인 전극(134)의 기능을 하게 된다.
- <74> 다음으로, 상기 소스 및 드레인 전극(132, 134) 상부에 남아있는 감광층(150)을 제거한다.
- <75> 도 3f를 참조하면, 상기 소스 및 드레인 전극(132, 134)과 데이터 배선(도 1의 30의 방향 또는 형태)이 형성된 기판(110) 상부 전면에 질화 실리콘(SiN_x) 또는 산화 실리콘(SiO_2) 등과 같은 무기 절연물질 그룹 중에서 선택된 하나로 보호막(155)을 형성한다.
- <76> 계속해서, 상기 드레인 전극(134)의 일부에 대응하는 보호막(155)을 제 4 마스크 공정으로 패터닝하여, 상기 드레인 전극(134)의 일부를 노출하는 드레인 콘택홀(H2)을 형성한다.
- <77> 이어 도 3g를 참조하면, 상기 드레인 콘택홀(H2)을 포함하는 보호막(155) 상부에 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)와 같은 투명한 도전성 금속을 증착한다.
- <78> 계속해서, 이를 제 5 마스크 공정으로 패터닝하여, 상기 드레인 전극(134)과 접촉하는 화소 전극(170)을 화소 영역(도 1의 P의 형태)에 형성한다.
- <79> 이상으로, 전술한 공정을 통해 본 발명에 따른 박막트랜지스터 및 이를 포함하는 액정표시장치용 어레이 기판을 제조할 수 있다.
- <80> 전술한 공정은 5 마스크 공정을 통한 액정표시장치용 어레이 기판의 제조 방법을 기술한 것이고, 이하 제 2 실시예를 통해 4 마스크 공정을 설명한다.
- <81> --- 제 2 실시예 ---
- <82> 도 4a 내지 4d는 본 발명의 제 2 실시예에 따른 박막트랜지스터 및 이를 포함하는 액정표시장치용 어레이 기판의 4 마스크 제조 공정을 나타낸 공정도이다. (도 1의 평면도를 참조하여 설명한다.)
- <83> 도 4a를 참조하면, 절연기판(210) 상부에 게이트 금속층(미도시)을 형성하고, 이를 제 1 마스크 공정으로 패터

닝하여, 일 방향으로 게이트 배선(도 1의 20의 방향 또는 형태)과 상기 게이트 배선(도 1의 20의 방향 또는 형태)에서 연장된 게이트 전극(225)을 형성한다.

- <84> 도 4b 내지 도 4e는 제 2 마스크 공정을 세부적으로 나타낸 단면도이다.
- <85> 도 4b를 참조하면, 상기 게이트 전극(225)과 게이트 배선(도 1의 20의 방향 또는 형태)이 형성된 상기 절연기판(210) 상부 전면에서 질화 실리콘(SiN_x) 또는 산화 실리콘(SiO_2) 등과 같은 무기 절연물질 그룹 중에서 선택된 하나로 게이트 절연막(245)을 형성하고, 상기 게이트 절연막(245) 상부에 반도체층(240a)인 순수 비정질 실리콘(240b)과 불순물이 고농도로 도핑된 비정질 실리콘(240c)을 차례로 적층하여 형성한다.
- <86> 여기서, 상기 순수 비정질 실리콘(240b)과 불순물이 고농도로 도핑된 비정질 실리콘(240c)은 화학기상증착 방법으로 증착한다.
- <87> 계속해서, 상기 반도체층(240a) 상부에 질화구리층(235a)과 구리층(230)을 연속해서 증착한다.
- <88> 여기서, 상기 질화구리층(235a) 및 구리층(230)은 동일한 챔버 내에서 순수한 단일 구리 타겟과 질소 가스를 이용한 반응성 스퍼터링 방법에 의해 연속적으로 증착한다.
- <89> 다음으로, 상기 구리층(230)의 상부에 포토레지스트를 도포하여 감광층(250)을 형성한다.
- <90> 상기 감광층(250)의 상부에는 투과부(B1)와 차단부(B2)와 반투과부(B3)로 구성된 마스크(M)를 위치시킨다.
- <91> 이때, 상기 반투과부(B3)는 상기 게이트 전극(225)과 대응되는 지점에 위치한다.
- <92> 다음으로, 상기 마스크(M)의 상부로 빛을 조사하여 하부의 감광층(250)을 노광(Exposure)하는 공정을 진행하고, 현상(Develop)하는 공정을 진행한다.
- <93> 이어 도 4c를 참조하면, 상기 구리층(230) 중에서 박막트랜지스터(T) 영역 에는 단차진 제 1 감광패턴(250a)이 형성되고, 상기 제 1 감광패턴(250a)과 연결되며 상기 게이트 배선(도 1의 20의 방향 또는 형태)과 수직한 방향으로 연장된 제 2 감광패턴(미도시)이 형성되고, 그 이외의 부분은 상기 감광층(250)이 모두 제거되어 상기 구리층(230)이 노출된 상태가 된다.
- <94> 다음으로, 노출된 상기 구리층(230)과 그 하부의 질화구리층(235a), 그리고 반도체층(240a)을 제거하는 공정을 진행한다.
- <95> 이때, 상기 구리층(230)과 질화구리층(235a)은 습식식각으로, 상기 반도체층(240a)은 건식식각 공정을 통해 각각 제거한다.
- <96> 따라서 상기 제 1 감광패턴(250a)의 하부와 상기 제 2 감광패턴(미도시)의 하부에만 구리층(230)과 질화구리층(235a)과 반도체층(240a)이 남게 된다.
- <97> 이때, 상기 제 2 감광패턴(미도시)의 하부에 남겨진 구리층(230)은 데이터 배선(도 1의 30의 방향 또는 형태)의 기능을 하게 된다.
- <98> 이어 도 4d를 참조하면, 상기 구리층(230) 상부에 남겨진 상기 제 1 및 제 2 감광패턴(250a, 미도시)의 일부를 애싱(Ashing)한다.
- <99> 이때, 상기 단차진 제 1 감광패턴(250a)의 낮은 부분을 완전히 제거하여 구리층(230)의 일부를 노출시킨다.
- <100> 이때, 상기 애싱 공정 중 상기 제 1 및 제 2 감광패턴(250a, 미도시)의 주변이 일부 제거되어 하부의 구리층(230)이 일부 노출되는 현상이 발생한다.
- <101> 계속해서, 상기 애싱 공정을 진행한 후, 노출된 상기 구리층(230)과 그 하부의 질화구리층(235a) 그리고 불순물이 도핑된 비정질 실리콘층(240c)을 제거하는 공정을 진행한다.
- <102> 이어 도 4e를 참조하면, 게이트 전극(225)의 상부에 위치한 순수 비정질 실리콘층(240b)은 액티브층(240)의 기능을 하게 되고, 상기 액티브층(240) 상부에서 일부가 제거되어 이격된 불순물이 도핑된 비정질 실리콘층(240c)은 오믹 콘택층(241)의 기능을 하게 된다.
- <103> 또한, 상기 오믹 콘택층(241)의 상부에 위치하여 서로 이격된 질화구리층(235a)은 배리어층(235)의 기능을 하게 되고, 상기 배리어층(235) 상부에 서로 이격된 구리층(230) 중 상기 데이터 배선(도 1의 30의 방향 또는 형태)과 접촉한 부분은 소스 전극(232)의 기능을, 이와 이격된 부분은 드레인 전극(234)의 기능을 하게 된다.

- <104> 다음으로, 상기 소스 및 드레인 전극(232, 234) 및 데이터 배선(도 1의 30의 방향 또는 형태) 상부에 남아있는 감광층(250)을 제거하면, 제 2 마스크 공정이 완료된다.
- <105> 도 4f를 참조하면, 상기 소스 및 드레인 전극(232, 234)과 데이터 배선(도 1의 30의 방향 또는 형태)이 형성된 기판(210) 상부 전면에 질화 실리콘(SiN_x) 또는 산화 실리콘(SiO_2) 등과 같은 무기 절연물질 그룹 중에서 선택된 하나로 보호막(255)을 형성한다.
- <106> 계속해서, 상기 드레인 전극(234)의 일부에 대응하는 보호막(255)을 제 3 마스크 공정으로 패터닝하여, 상기 드레인 전극(234)의 일부를 노출하는 드레인 콘택홀(H3)을 형성한다.
- <107> 이어 도 4g를 참조하면, 상기 드레인 콘택홀(H3)을 포함하는 보호막(255) 상부에 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)와 같은 투명한 도전성 금속을 증착한다.
- <108> 계속해서, 이를 제 4 마스크 공정으로 패터닝하여, 상기 드레인 전극(234)과 접촉하는 화소 전극(270)을 화소 영역(도 1의 P의 형태)에 형성한다.
- <109> 이상으로, 전술한 본 발명의 제 1 실시예에 따른 5 마스크 공정 및 제 2 실시예에 따른 4 마스크 공정을 통해 본 발명에 따른 박막트랜지스터 및 이를 포함하는 액정표시장치용 어레이 기판을 제작할 수 있다.
- <110> 도 5는 본 발명에 따른 박막트랜지스터의 적층 구조에 대한 일부 단면 사진이고, 도 6은 본 발명에 따른 오믹 콘택층/배리어층/소스 및 드레인 전극의 온도에 따른 저항 특성을 나타낸 그래프이다.
- <111> 여기서, 도 5에 도시한 사진은 고배율의 주사전자현미경(Scanning Electron Microscope ; SEM)으로 촬영된 그림을 명시한다.
- <112> 도시한 바와 같이, 본 발명에 따라 오믹 콘택층(141) 상부에 순수한 단일 구리 타겟을 이용한 반응성 스퍼터링 방법을 통해 질화구리층(도 3g의 135a)을 형성하고, 이어 구리층(도 3g의 130)을 형성하여 동일한 식각액으로 습식 식각하고 포토레지스트를 박리하는 패터닝 공정을 통해 배리어층(135)과 소스 및 드레인 전극(도 3g의 132, 134)을 형성하면, 증착층 간에 이물이 없는 깨끗한 계면을 얻을 수 있다.
- <113> 이는 상기 배리어층(135)과 소스 및 드레인 전극(도 3g의 132, 134)의 접합 면적이 종래보다 증대되어 상기 소스 및 드레인 전극(도 3g의 132, 134)의 접착력이 향상되는 것을 의미한다.
- <114> 또한, 상기 배리어층(135)과 소스 및 드레인 전극(도 3g의 132, 134)을 동종의 구리 계열로 형성함으로써, 종래에 이종금속 간에 발생하는 갈바닉 부식을 방지할 수 있고, 상기 배리어층(135)을 이루는 질화구리(도 3g의 135a)는 식각율이 낮기 때문에, 안정된 테이퍼 슬로프를 확보할 수 있다.
- <115> 여기서, 상기 배리어층(135)과 소스 및 드레인 전극(도 3g의 132, 134)의 두께는 50 내지 500Å 범위이며, 상기 배리어층(135)과 소스 및 드레인 전극(도 3g의 132, 134)의 측면 테이퍼 각(θ)은 30° 내지 60° 범위로 형성된다.
- <116> 또한, 도 6에 도시한 온도에 따른 저항 특성을 나타낸 그래프를 참조하면, 오믹 콘택층(도 3e의 141), 배리어층(도 3e의 135) 그리고 소스 및 드레인 전극(도 3e의 132, 134)은 온도가 증가함에 따라 저항이 감소하는 것을 알 수 있다.
- <117> 이는 상기와 같이 적층된 증착층이 서로 오믹 접촉을 이루고 있는 것을 보여주는 결과이다.
- <118> 본 발명은 상기 실시예로 한정되지 않고, 본 발명의 취지를 벗어나지 않는 한도 내에서 다양하게 변경하여 실시할 수 있다.

발명의 효과

- <119> 위에 상술한 바와 같이 본 발명은 순수한 단일 구리 타겟과 질소 가스를 이용한 반응성 스퍼터링 방법으로, 불순물이 고농도로 도핑된 비정질 실리콘 상부에 질화구리층과 구리층을 연속적으로 형성하고 이를 패터닝하여, 배리어층과 소스 및 드레인 전극을 형성하는 방법을 제공한다.
- <120> 이는 상기 질화구리층과 구리층을 한 번의 증착 공정으로 형성하고 동일한 식각액으로 동시에 식각하는 것이 가능하게 되어, 박막트랜지스터 및 이를 포함하는 액정표시장치용 어레이 기판의 제조 공정을 단순화하는 효과가 있다.

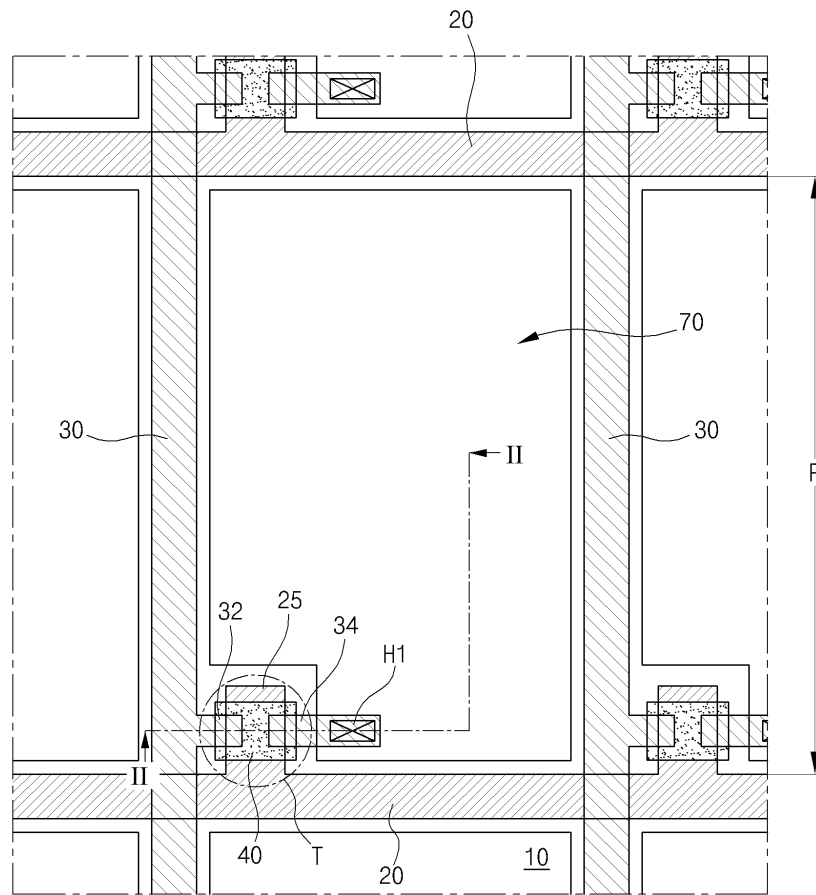
- <121> 또한, 본 발명은 동종의 구리 계열로 이루어진 배리어층과 소스 및 드레인 전극을 형성함으로써, 종래의 이중금속 간에 발생하는 갈바닉 부식의 발생을 방지하는 효과가 있고, 그 측면에 안정된 테이퍼 슬로프를 형성할 수 있다.
- <122> 또한, 본 발명은 순수한 단일 구리 타겟 사용으로 질화구리층과 구리층의 계면에 이물 발생을 방지하여 상기 구리층의 접착력을 향상시키는 효과가 있다.

도면의 간단한 설명

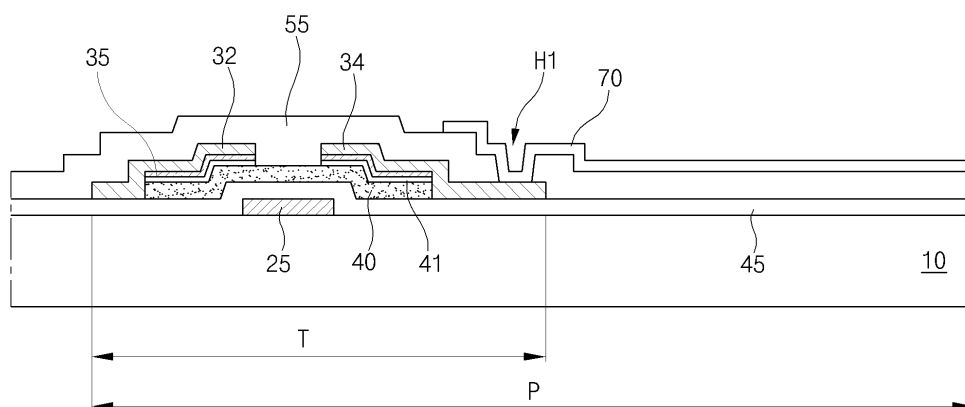
- <1> 도 1은 종래의 액정표시장치용 어레이 기관의 단위 화소를 나타낸 평면도.
- <2> 도 2는 도 1의 II-II선을 따라 절단한 단면도.
- <3> 도 3a 내지 3g는 본 발명의 제 1 실시예에 따른 박막트랜지스터와 이를 포함하는 액정표시장치용 어레이 기관의 제조 공정도.
- <4> 도 4a 내지 4g는 본 발명의 제 2 실시예에 따른 박막트랜지스터와 이를 포함하는 액정표시장치용 어레이 기관의 제조 공정도.
- <5> 도 5는 본 발명에 따른 박막트랜지스터의 일부 적층 단면도.
- <6> 도 6은 본 발명에 따른 오믹 콘택층/배리어층/소스 및 드레인 전극의 온도에 따른 저항 특성을 나타낸 그래프.
- <7> <도면의 주요부분에 대한 부호의 설명>
- <8> 110 : 절연기관 125 : 게이트 전극
- <9> 132 : 소스 전극 134 : 드레인 전극
- <10> 135 : 배리어층 140 : 액티브층
- <11> 141 : 오믹 콘택층 145 : 게이트 절연막
- <12> 155 : 보호막 170 : 화소 전극
- <13> H2 : 콘택홀

도면

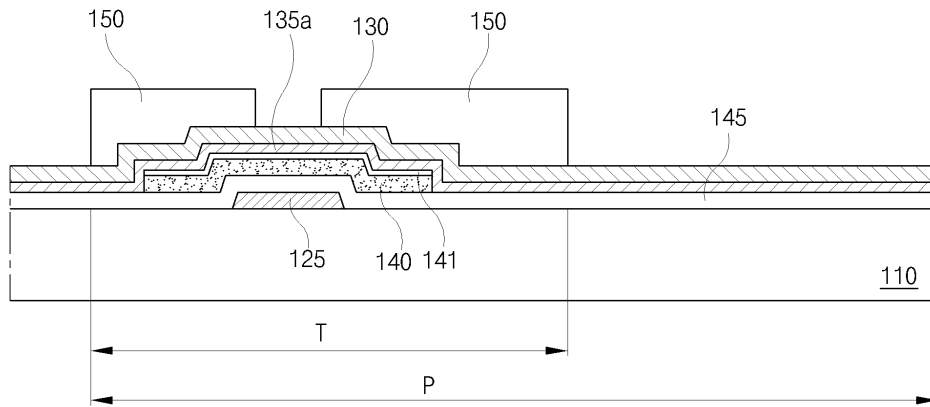
도면1



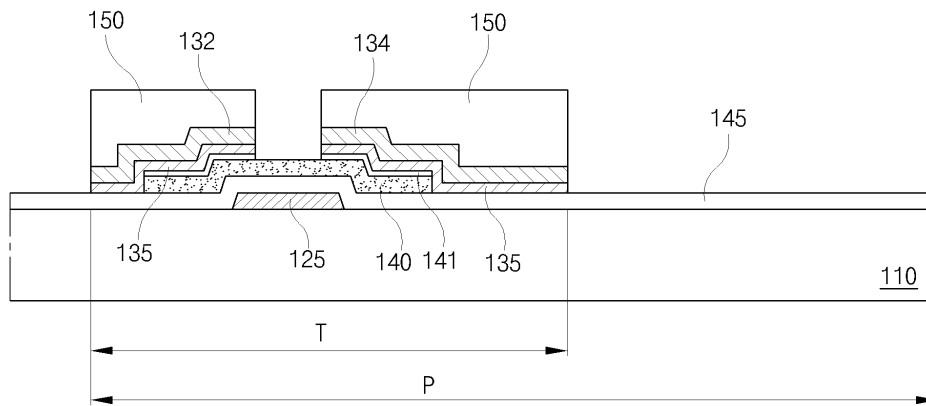
도면2



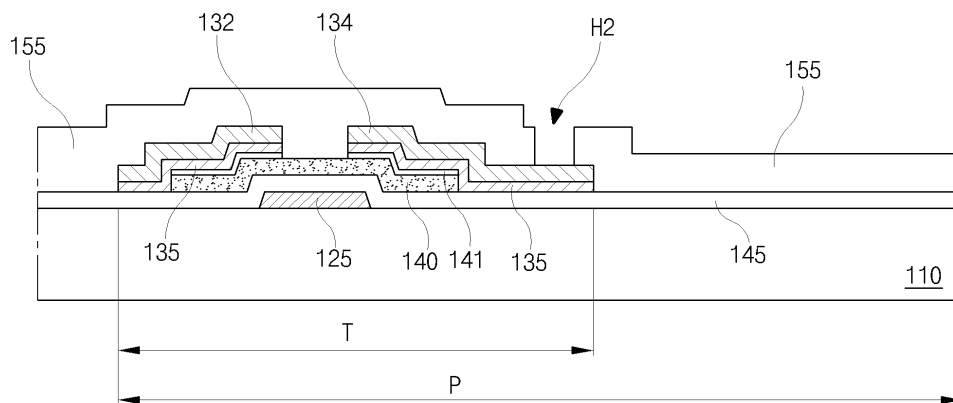
도면3d



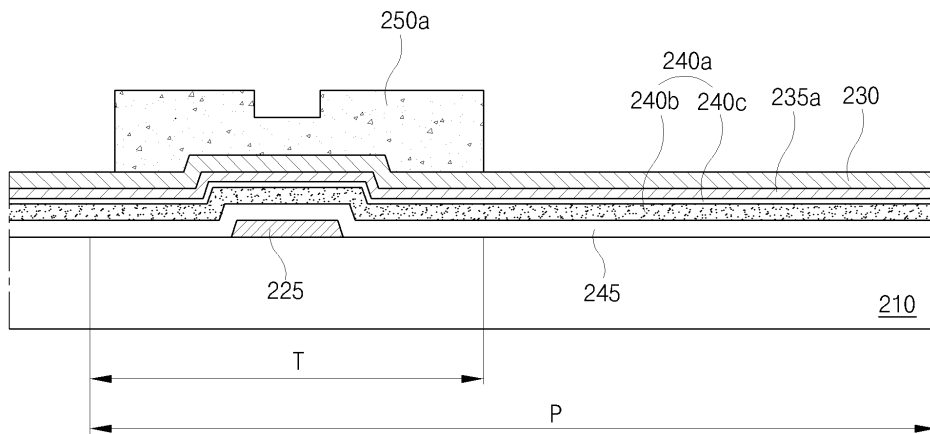
도면3e



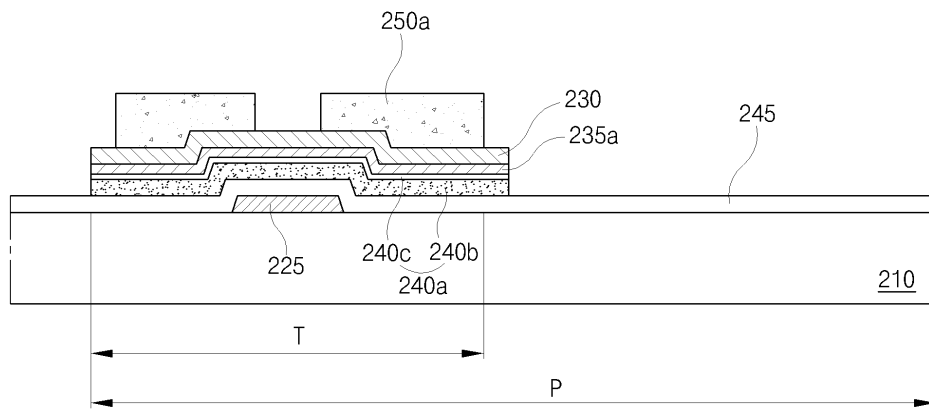
도면3f



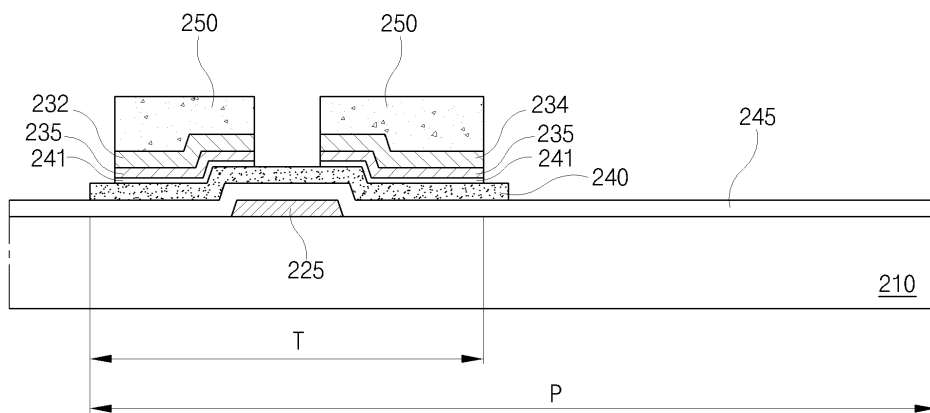
도면4c



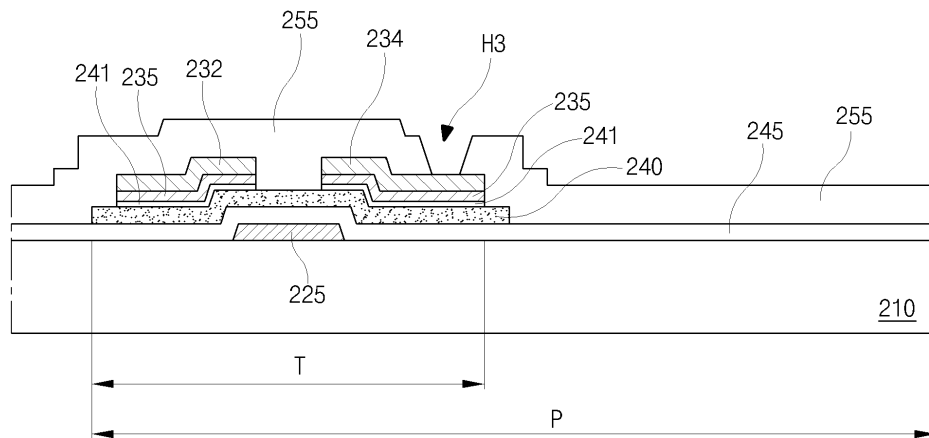
도면4d



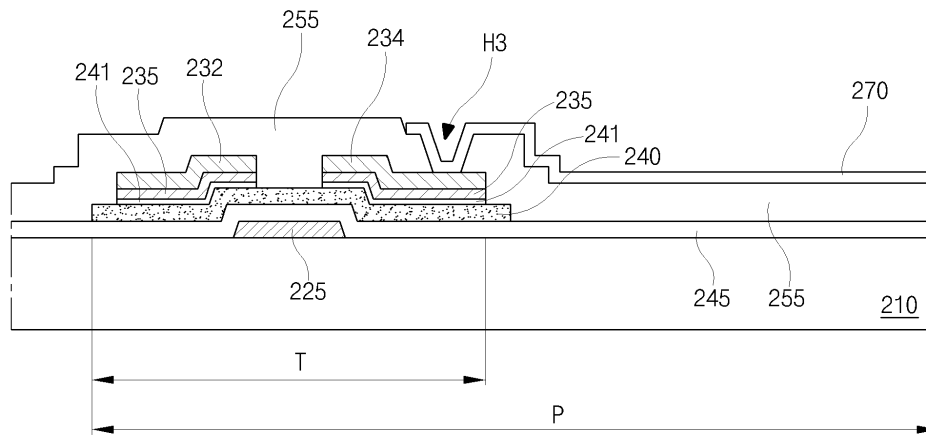
도면4e



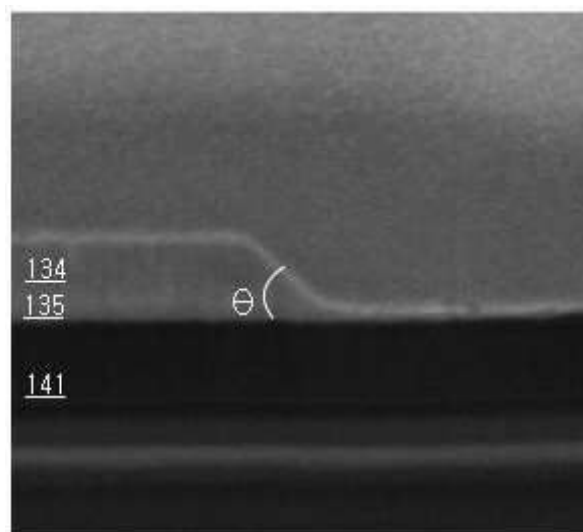
도면4f



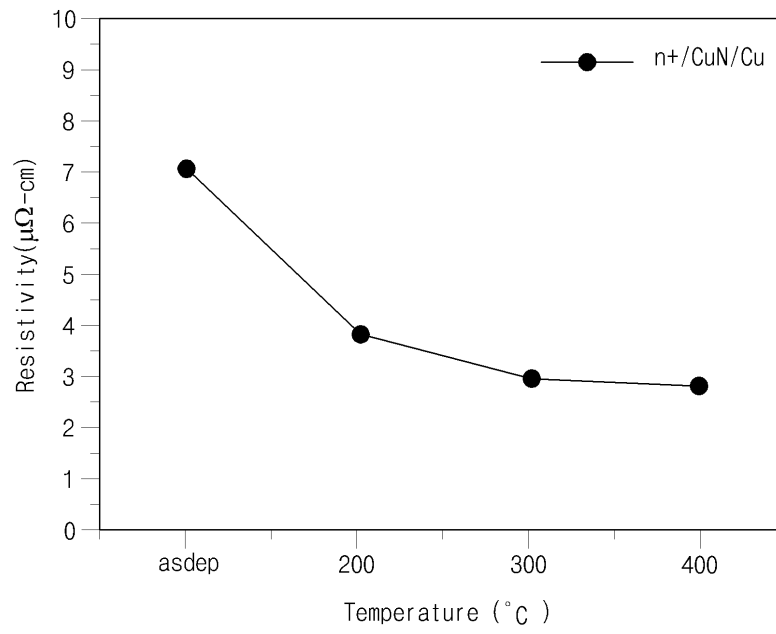
도면4g



도면5



도면6



专利名称(译)	标题：薄膜晶体管制造包括其的液晶显示器阵列基板的方法		
公开(公告)号	KR1020080084084A	公开(公告)日	2008-09-19
申请号	KR1020070025215	申请日	2007-03-14
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YANG HEE JUNG 양희정 KIM DONG SUN 김동선 OH DU SEOK 오두석 HO WON JOON 호원준		
发明人	양희정 김동선 오두석 호원준		
IPC分类号	G02F1/136 H01L29/786		
CPC分类号	H01L21/2855 H01L21/76841 H01L27/1214 H01L27/1288 H01L29/458 H01L27/124		
外部链接	Espacenet		

摘要(译)

本发明涉及制造包括该薄膜晶体管的液晶显示装置的阵列基板的方法。本发明涉及使用单一铜 (Cu) 靶和氮 (N (SB) 2 (/ SB)) 气体的反应溅射方法，该气体是包含阻挡层和铜 (Cu) 的硝酸铜 (CuN)。源电极和漏电极纯在同一腔室中。它连续形成。因此，在形成包括阻挡层，源电极和漏电极的薄膜晶体管时，可以简化工艺。此外，形成由同源的源和漏电极的铜系列组成的阻挡层。以这种方式，可以防止在常规异质金属之间产生的电化腐蚀的产生。可以在侧面形成稳定的锥形斜面。并且，在铜层与硝酸铜层的界面中，可以防止颗粒污染到纯单个铜靶上，并且可以提高铜层的粘合力。

