



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0077777  
(43) 공개일자 2008년08월26일

(51) Int. Cl.

G02F 1/133 (2006.01) G09G 3/36 (2006.01)

(21) 출원번호 10-2007-0017408

(22) 출원일자 2007년02월21일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

조성학

경기 안양시 동안구 호계동 럭키아파트 101동 60  
7호

(74) 대리인

김용인, 박영복

전체 청구항 수 : 총 14 항

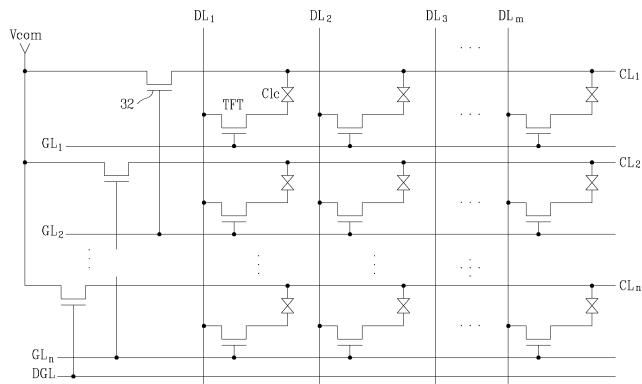
#### (54) 액정표시장치 및 그의 구동방법

#### (57) 요약

본 발명은 데이터 전압에 의한 공통전압의 스윙현상을 막을 수 있는 액정표시장치 및 그의 구동방법에 관한 것이다.

본 발명에 따른 액정표시장치는 게이트 라인과; 상기 게이트 라인과 교차하여 화소 영역을 마련하며 데이터 전압을 공급하는 데이터 라인과; 상기 게이트라인 및 데이터 라인과 접속된 박막트랜지스터와; 상기 게이트 라인과 나란하게 형성된 다수의 공통 라인과; 상기 박막트랜지스터 및 상기 공통라인과 접속된 액정셀과; 상기 공통 라인과 접속되며 상기 액정셀에 공통 전압보다 상기 데이터 전압이 먼저 공급되도록 스위칭되는 공통 트랜지스터를 구비하는 것을 특징으로 한다.

**대표도** - 도2



## 특허청구의 범위

### 청구항 1

게이트 라인과;

상기 게이트 라인과 교차하여 화소 영역을 마련하며 데이터 전압을 공급하는 데이터 라인과;

상기 게이트라인 및 데이터 라인과 접속된 박막트랜지스터와;

상기 게이트 라인과 나란하게 형성된 다수의 공통 라인과;

상기 박막트랜지스터 및 상기 공통라인과 접속된 액정셀과;

상기 공통 라인과 접속되며 상기 액정셀에 공통 전압보다 상기 데이터 전압이 먼저 공급되도록 스위칭되는 공통 트랜지스터를 구비하는 것을 특징으로 하는 액정 표시 장치.

### 청구항 2

제 1 항에 있어서,

상기 공통 트랜지스터는 상기 제i+1 게이트 라인에 공급된 게이트 온 신호에 의해 턴온되어 상기 제i 공통 라인에 상기 공통 전압을 공급하는 것을 특징으로 하는 액정 표시 장치.

### 청구항 3

제 1 항에 있어서,

상기 공통 트랜지스터를 제어하는 공통 제어 신호를 생성하는 공통 제어부를 추가로 구비하는 것을 특징으로 하는 액정 표시 장치.

### 청구항 4

제 3 항에 있어서,

상기 공통 트랜지스터는 상기 공통 제어 신호의 공통 온전압에 의해 턴온되어 상기 공통 라인에 상기 공통 전압을 공급하는 것을 특징으로 하는 액정 표시 장치.

### 청구항 5

제 2 항 또는 제 4항에 있어서,

상기 제i 번째 게이트 라인 및 제i+1 번째 게이트 라인 각각에 공급되는 게이트 온 전압은 일부 중첩되는 것을 특징으로 하는 액정 표시 장치.

### 청구항 6

제 5 항에 있어서,

상기 i 게이트 라인과 대응되는 액정셀에는 상기 제i 게이트 라인에 상기 게이트 온 전압이 공급되고 소정 기간 지연된 후 데이터 신호가 공급되는 것을 특징으로 하는 액정 표시 장치.

### 청구항 7

제 6항에 있어서,

상기 소정 기간은 상기 제i 번째 게이트 라인 및 제i+1번째 게이트 라인 각각에 공급되는 게이트 온 전압의 중첩 기간과 동일한 것을 특징으로 하는 액정 표시 장치.

### 청구항 8

제 4항에 있어서,

상기 제 i 공통라인과 연결된 공통트랜지스터에 공급되는 공통 온 전압을 상기 제 i 게이트라인에 게이트 온 전

압이 공급된 후 공급되며, 상기 제 i 공통라인과 연결된 공통트랜지스터에 공급되는 공통오프전압은 상기 제 i 게이트 라인에 게이트 오프 전압이 공급됨과 동시에 공급되는 것을 특징으로 하는 액정 표시 장치.

#### 청구항 9

제i 게이트 라인에 게이트 온 전압을 공급하는 단계와;

상기 게이트 온 전압에 의해 턴온된 박막트랜지스터를 통해 제i 게이트 라인과 대응되는 액정셀에 데이터 전압을 공급하는 단계와;

상기 제 i 게이트 라인과 나란한 제i 공통라인과 접속된 공통트랜지스터를 통해 상기 제i 게이트 라인과 대응되는 액정셀에 공통전압을 공급하는 단계를 포함하는 것을 특징으로 하는 액정 표시 장치.

#### 청구항 10

제 9항에 있어서,

상기 게이트 온 전압에 의해 턴온된 박막트랜지스터를 통해 제i 게이트 라인과 대응되는 액정셀에 데이터 전압을 공급하는 단계는

상기 게이트 온 전압이 박막트랜지스터에 공급되어 턴온된 후 소정 기간 지연된 후에 제i 게이트 라인과 대응되는 액정셀에 데이터 전압을 공급하는 것을 특징으로 하는 액정 표시 장치.

#### 청구항 11

제 10항에 있어서,

상기 소정 기간은 상기 제i 번째 게이트 라인 및 제 i+1번쨰 게이트 라인 각각에 공급되는 게이트 온 전압의 중첩 기간과 동일한 것을 특징으로 하는 액정 표시 장치의 구동 방법.

#### 청구항 12

제 10항에 있어서,

상기 제i 게이트 라인과 대응되는 액정셀에 공통전압을 공급하는 단계는

상기 제i 게이트 라인에 공급된 게이트 온 전압과 일부 중첩되도록 제i+1 게이트 라인에 게이트 온 전압을 공급함과 동시에 상기 제 i+1 게이트라인에 공급된 게이트온전압에 의해 상기 공통트랜지스터를 턴온시키는 단계와;

상기 공통 트랜지스터를 통해 상기 제 i 공통라인에 공급된 공통 전압을 상기 액정셀에 공급하는 단계를 포함하는 것을 특징으로 하는 액정 표시 장치의 구동 방법.

#### 청구항 13

제 10항에 있어서,

상기 제i 게이트 라인과 대응되는 액정셀에 공통전압을 공급하는 단계는

상기 제i 공통 라인과 접속된 공통 트랜지스터에 공통 제어부에서 생성된 공통 제어 신호를 공급하여 상기 공통 트랜지스터를 턴온시킴과 동시에 제 i+1 게이트 라인에 게이트 온전압을 공급하는 단계와;

상기 공통 트랜지스터를 통해 상기 제i 공통 라인에 공급된 공통 전압을 상기 액정셀에 공급하는 단계를 포함하는 것을 특징으로 하는 액정 표시 장치의 구동방법.

#### 청구항 14

제 9항에 있어서,

상기 제i 게이트 라인과 대응되는 액정셀에 공통전압을 공급하는 단계는

제 i 공통 라인과 접속된 공통트랜지스터에 공통제어부에서 생성된 공통 제어 신호를 공급하여 상기 공통 트랜지스터를 턴온시키는 단계와;

상기 공통 트랜지스터를 통해 상기 제i 공통 라인에 공급된 공통 전압을 상기 액정셀에 공급하는 단계를 포함하

는 것을 특징으로 하는 액정 표시 장치의 구동 방법

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

- <12> 본 발명은 액정표시장치에 관한 것으로, 특히 데이터 전압에 의한 공통전압의 스윙현상을 막을 수 있는 액정표시장치 및 그의 구동방법에 관한 것이다.
- <13> 초박형의 평판표시소자(Flat Panel Display), 그 중에서도 액정표시장치는 동작 전압이 낮아 소비 전력이 적고 휴대용으로 쓰일 수 있는 등의 이점으로 TV, 노트북 컴퓨터, 모니터, 우주선, 항공기 등에 이르기까지 응용분야가 넓고 다양하다.
- <14> 일반적으로 액정표시장치는 게이트 신호를 전달하는 다수의 게이트 라인과, 이 게이트 라인에 교차하여 형성되며 데이터 신호를 전달하는 데이터 라인을 포함하며, 이를 게이트 라인과 데이터 라인에 의해 둘러싸인 영역에 형성되며 게이트 라인 및 데이터 라인과 박막트랜지스터(Thin Film Transistor)를 통해 연결되는 행렬 형태의 다수의 액정셀(CIc)을 포함한다.
- <15> 이와 같은, 액정표시장치의 액정셀의 공통전극에는 공통라인의 양끝단 (즉, 입력단)을 통해 공통 전압이 인가된다. 이 경우, 공통 라인은 입력단으로부터 멀어질수록 공통 라인의 자체 저항 및 캐패시터는 증가하게 되므로 RC시정수도 증가하게 된다. 또한, 게이트 라인에 게이트온전압이 인가되어 박막트랜지스터가 턠-온(ON) 되었을 때 화소전극과 공통전극 사이의 캐패시터에 의해 공통전압이 더욱 불안정해진다. 구체적으로, 공통전극에 공통 전압이 인가된 상태에서 화소전극에 데이터전압이 인가된다. 이 경우, 화소전극과 액정셀을 이루는 공통전극에 인가된 공통전압은 데이터 전압에 의해 스윙하게 된다. 이 때, 공통전압의 스윙폭은 공통라인의 저항에 영향을 받게 된다. 즉, 패널의 에지부에서 중앙부로 갈수록 공통전압의 스윙폭이 커지게 되므로 패널 전체의 플리커 최적 공통전압 레벨이 달라지는 문제점이 있다.

#### 발명이 이루고자 하는 기술적 과제

- <16> 따라서, 상기와 같은 문제점을 해결하기 위하여, 본 발명은 데이터 전압에 의한 공통전압의 스윙현상을 막을 수 있는 액정표시장치와 그의 구동방법을 제공하는 데 그 목적이 있다.

#### 발명의 구성 및 작용

- <17> 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치는 게이트 라인과; 상기 게이트 라인과 교차하여 화소 영역을 마련하며 데이터 전압을 공급하는 데이터 라인과; 상기 게이트라인 및 데이터 라인과 접속된 박막트랜지스터와; 상기 게이트 라인과 나란하게 형성된 다수의 공통 라인과; 상기 박막트랜지스터 및 상기 공통 라인과 접속된 액정셀과; 상기 공통 라인과 접속되며 상기 액정셀에 공통 전압보다 상기 데이터 전압이 먼저 공급되도록 스위칭되는 공통 트랜지스터를 구비하는 것을 특징으로 한다.
- <18> 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치의 구동방법은 제i 게이트 라인에 게이트 온 전압을 공급하는 단계와; 상기 게이트 온 전압에 의해 턠온된 박막트랜지스터를 통해 제i 게이트 라인과 대응되는 액정셀에 데이터 전압을 공급하는 단계와; 상기 데이터 전압을 액정셀에 공급한 후, 제i 공통라인과 접속된 공통트랜지스터를 통해 상기 제i 게이트 라인과 대응되는 액정셀에 공통전압을 공급하는 단계를 포함하는 것을 특징으로 한다.

<19> 이하, 첨부된 도면을 참조하여 본 발명의 액정 표시 장치를 상세히 설명하면 다음과 같다.

<20> 도 1은 본 발명의 제 1 실시 예에 따른 액정표시장치의 구조를 나타낸 도면이다.

<21> 도 1에 도시된 바와 같이, 본 발명의 액정 표시 장치는 액정셀들이 매트릭스 형으로 배열된 액정패널(22)과, 액정패널(22)의 데이터라인들(DL)에 데이터 전압을 공급하기 위한 데이터 드라이버(26)와, 액정패널(22)의 게이트 라인들(GL)을 순차적으로 구동하기 위한 게이트 드라이버(24)와, 데이터 드라이버(26) 및 게이트 드라이버(24)를 제어하기 위한 타이밍 제어부(28)와, 액정패널(22)에 공통전압(Vcom)을 공급하기 위한 공통전압 생성부(30)

를 구비한다.

- <22> 데이터 드라이버(26)는 타이밍 제어부(28)로부터 제공된 데이터 제어신호들(DCS)에 응답하여 수평기간(H1,H2...)마다 1라인분씩의 데이터신호를 데이터라인들(DL1 내지 DLm)에 공급한다. 특히, 데이터 드라이버(26)는 타이밍 제어부(28)로부터 제공된 디지털 데이터(R,G,B)를 아날로그 데이터 전압으로 변환하여 데이터라인(DL)에 공급한다.
- <23> 게이트 드라이버(24)는 타이밍 제어부(28)로부터 제공된 게이트제어신호들(GCS)에 응답하여 게이트라인들(GL1 내지 GLn)에 순차적으로 게이트 신호 즉, 게이트 온전압(VGH)을 공급한다. 이러한 게이트 온전압에 의해 게이트 라인들(GL1 내지 GLn)에 연결된 박막트랜지스터(TFT)가 게이트 라인(GL) 별로 구동되게 한다.
- <24> 타이밍 제어부(28)는 게이트 드라이버(24)와 데이터 드라이버(26)를 제어하기 위한 제어신호들(DCS,GCS)을 생성한다. 그리고, 액정패널(22)이 구동될 때, 데이터 드라이버(26)에서 각각의 데이터 라인(DL)으로 데이터 전압을 공급한다.
- <25> 공통전압 생성부(30)는 DC/DC컨버터부(미도시)에서 생성된 공급전압(Vdd)을 이용하여 액정패널(22)을 구동시키기 위한 공통전압(Vcom)을 생성한다.
- <26> 액정패널(22)은 도 2에 도시된 바와 같이, 게이트 라인들(GL1 내지 GLn)과, 게이트 라인들(GL1 내지 GLn)과 교차된 데이터 라인들(DL1 내지 DLm)과, 게이트 라인들(GL1 내지 GLn)과 데이터 라인들(DL1 내지 DLm)의 교차로 마련되는 화소영역마다 형성되는 박막트랜지스터(TFT)와, 그 박막트랜지스터와 접속된 액정셀(Cl)c과, 게이트라인(GL1 내지 GLn)들과 나란하게 형성되며 공통 전압이 인가되는 공통라인(CL1 내지 CLn)과, 공통라인(CL1 내지 CLn)과 접속된 공통트랜지스터(32)를 구비한다.
- <27> 게이트 라인들(GL1 내지 GLn) 각각은 박막 트랜지스터(TFT)의 게이트 전극과 접속되어 박막트랜지스터(TFT)의 게이트 전극에 게이트 신호를 공급한다.
- <28> 데이터 라인들(DL1 내지 DLm) 각각은 게이트 라인들(GL1 내지 GLn) 각각과 교차하여 화소 영역을 마련한다. 이러한 데이터 라인들(DL1 내지 DLm)은 박막트랜지스터(TFT)의 소스 전극과 접속되어 박막트랜지스터(TFT)를 통해 액정셀의 화소전극에 데이터 신호를 공급한다.
- <29> 박막트랜지스터(TFT)의 소스전극은 데이터라인(DL1 내지 DLm)과 연결되고, 드레인전극은 액정셀(Cl)c과 연결되고, 게이트전극은 게이트라인(GL1 내지 GLn)과 연결된다. 이러한 박막트랜지스터(TFT)는 게이트라인(GL1 내지 GLn)으로부터의 게이트 온전압이 공급되는 경우 턴-온되어 데이터라인들(DL1 내지 DLm)로부터의 데이터 신호를 액정셀(Cl)c에 공급한다. 그리고 박막트랜지스터(TFT)는 게이트라인(GL1 내지 GLn)으로부터 게이트 오프전압이 공급되는 경우 턴-오프되어 액정셀(Cl)c에 충전된 데이터전압이 유지하게 된다.
- <30> 공통 라인들(CL1 내지 CLn) 각각은 공통 트랜지스터(32)의 드레인 전극과 접속되어 공통트랜지스터(32)로부터의 공통전압을 액정셀(Cl)c에 공급한다.
- <31> 액정셀(Cl)c은 액정을 사이에 두고 있는 공통전극과 박막트랜지스터(TFT)에 접속된 화소전극을 포함한다. 액정셀(Cl)c은 박막트랜지스터(TFT)를 통해 충전되는 데이터 전압에 따라 유전이방성을 가지는 액정의 배열상태가 가변하여 광투과율을 조절함으로써 화상을 구현하게 된다.
- <32> 공통트랜지스터(32)는 공통전압보다 데이터 신호가 먼저 액정셀(Cl)c에 공급되도록 스위칭된다. 이를 위해 공통트랜지스터(32)의 소스전극에는 공통전압생성부(30)가 연결되고, 드레인전극에는 제 i번째(i는 자연수) 공통라인(CLi)이 연결되고, 게이트전극에는 제 i+1번째 게이트 라인(GLi+1)이 연결된다. 이러한 공통트랜지스터(32)는 제 i+1번째 게이트 라인(GLi+1)에 공급된 게이트온전압에 의해 턴-온되어 제 i번째 공통라인(CLi)에 공통전압을 인가한다. 그리고 n번째(즉, 마지막 번째) 공통라인(CLn)과 연결된 공통트랜지스터(32)는 더미 게이트 라인(DGL)에 공급된 게이트온전압에 의해 턴온되어 제 n번째 공통라인(CL)에 공통전압을 인가한다. 여기서, 더미 게이트 라인(DGL)에는 제 n번째 게이트 라인(GL)에 공급된 게이트온전압이 게이트 오프 전압으로 천이될 때 게이트온전압이 공급된다.
- <33> 이와 같은 공통트랜지스터(32)에 의해 제 i번째 공통라인(CLi)과 접속된 액정셀(Cl)c에는 공통전압보다 데이터 신호가 먼저 인가된다. 이에 대해서는 도 3을 결부하여 구체적으로 설명하기로 한다.
- <34> 도 3은 본 발명의 제 1 실시 예에 따른 액정표시장치의 구동방법을 설명하기 위한 도면이다.
- <35> 먼저, 도 3에 도시된 바와 같이 제 1 게이트 라인(GL1)에 게이트 온전압(VGH)이 인가되면, 제 1 게이트 라인

(GL1)에 연결된 박막트랜지스터(TFT)가 턴-온된다. 그리고 게이트 온전압이 인가되고 소정 기간(DP) 지연된 후 제 1 게이트 라인(GL1)에 연결된 박막트랜지스터(TFT)를 통해 데이터 라인(DL)으로부터의 데이터 전압(D1)이 해당 액정셀의 화소전극에 인가된다.

<36> 한편, 상술한 바와 같이 데이터 전압(D1)이 해당 액정셀의 화소전극에 인가된 이후에 제 1 게이트 라인(GL1)에 게이트 오프전압(VGL)이 인가되기 전에 제 2 게이트 라인(GL2)에 게이트 온전압(VGH)이 인가되어서 ④-⑤구간과 같이 제1 게이트라인(GL1)의 게이트 온전압과 제2 게이트라인(GL2)의 게이트 온전압이 중첩되는 구간이 발생한다. 이러한 ④-⑤구간과 같이 중첩되는 기간(OP)은 상술한 소정 기간(DP)과 동일하다.

<37> 그리고 제 2 게이트 라인(GL2)에 게이트 온전압(VGH)이 인가됨과 동시에 그 게이트 온전압을 통해 제 1 공통라인(CL1)과 접속된 공통 트랜지스터(32)가 턴-온되어 제 1 공통라인(CL1)에 공통전압이 인가된다. 이에 따라, ④-⑤구간 동안 제 1 공통라인(CL1)을 통해 공급된 공통전압과 제 1 게이트 라인(GL1)과 접속된 박막트랜지스터(TFT)를 통해 공급된 데이터 전압(D1)과의 전위차에 의해 액정이 움직이게 되어 화상이 표시된다.

<38> 이어서, 제 1 게이트 라인(GL1)에 게이트 오프전압이 인가되는 순간 제 2 게이트 라인(GL2)에 연결되어 턴-온되어있는 박막트랜지스터(TFT)를 통해 데이터 라인(DL)으로부터의 데이터 전압(D2)이 해당 액정셀의 화소전극에 인가된다.

<39> 이후에 소정기간(DP) 지연된 후 제 2 게이트 라인(GL2)에 게이트 오프전압이 인가되기 전에 제 3 게이트 라인(GL3)에 게이트 온전압이 인가되어서 ④-⑥구간과 같이 제 2 게이트 라인(GL2)의 게이트 온전압과 제 3 게이트 라인(GL3)의 게이트 온전압이 중첩되는 구간이 발생한다. 이러한 ④-⑥구간과 같이 중첩되는 기간(OP)은 상술한 바와 같은 소정 기간(DP)과 동일하다

<40> 그리고 제 3 게이트 라인(GL3)에 게이트 온전압이 인가됨과 동시에 그 게이트 온전압(VGH)을 통해 제 2 공통라인(CL2)과 접속된 공통 트랜지스터가 턴-온되어 제 2 공통라인(CL2)에 공통전압이 인가된다. 이에 따라, 제 2 공통라인(CL2)과 접속된 액정셀(C1c)의 공통전극에 공통전압이 인가되어 ④-⑥구간 동안 제 2 공통라인(CL2)을 통해 공급된 공통전압과 제 2 게이트 라인(GL2)과 접속된 박막트랜지스터(TFT)를 통해 공급된 데이터 전압(D2)과의 전위차에 의해 액정이 움직이게 되어 화상이 표시된다.

<41> 이러한 과정이 반복되어 본 발명의 제 1 실시 예에 따른 액정표시패널의 모든 화소에 화상이 표시된다.

<42> 도 4는 본 발명의 제 2 실시 예에 따른 액정표시패널을 나타내는 회로도로써 구성은 전술한 제 1 실시 예와 동일하다.

<43> 다만, 도 4에 도시된 본 발명의 제 2 실시 예에 따른 액정표시패널은 공통트랜지스터(32)의 게이트 전극과 접속된 공통제어부(40)를 추가로 구비하는 것을 제외하고 도 2에 도시된 액정표시패널과 동일하다. 따라서, 동일한 도면부호를 부여하였고, 동일한 부분의 설명은 생략하기로 한다.

<44> 공통제어부(40)는 공통트랜지스터(32)를 제어하는 공통 제어 신호(CSS)를 생성한다. 이러한 공통 제어 신호(CSS)는 도 5 또는 도 6에 도시된 바와 같이 공통트랜지스터(32)를 온시키는 공통 온 전압(VCH)과 공통트랜지스터(32)를 오프시키는 공통 오프 전압(VCL)을 포함한다. 그리고, 도 5에 도시된 바와 같이, 제 i 공통라인(CL<sub>i</sub>)과 연결된 공통트랜지스터(32)에 공급되는 공통 온 전압(VCH) 및 오프전압(VCL)은 제 i 게이트라인(GL<sub>i</sub>)에 공급되는 게이트 온전압(VCH) 및 오프 전압(VCL)과 공급시점이 유사하다. 도 6에 도시된 바와 같이 제 i 공통라인(CL<sub>i</sub>)과 연결된 공통트랜지스터(32)에 공급되는 공통 온전압(VCH) 및 오프전압(VCL)은 제 i+1 게이트 라인(GL<sub>i+1</sub>)에 공급되는 게이트 온전압(VCH) 및 오프전압(VCL)과 공급시점이 동일하다.

<45> 공통 트랜지스터(32)의 소스전극은 공통전압생성부(30)와 연결되고, 드레인전극은 공통라인(CL1 내지 CL<sub>n</sub>)이 연결되고, 게이트 전극은 공통제어부(40)와 연결된다. 이러한 공통트랜지스터(32)는 게이트전극에 접속된 공통제어부(40)에서 발생된 공통제어신호(CSS)의 공통 온전압(VCH)에 의해 턴-온되어 공통라인(CL1 내지 CL<sub>n</sub>)에 공통 전압(Vcom)을 인가한다.

<46> 도 5는 본 발명의 제 2 실시 예에 따른 액정표시장치의 구동방법의 제 1 실시 예를 설명하기 위한 도면이다.

<47> 도 5에 도시된 바와 같이, 제 1 게이트 라인(GL1)에 게이트 온전압(VGH)을 인가하면, 제 1 게이트 라인(GL1)에 연결된 박막트랜지스터(TFT)가 턴-온된다. 그러면, 제 1 게이트 라인(GL1)에 연결된 박막트랜지스터(TFT)를 통해 데이터 라인(DL)으로부터의 데이터 전압(D1)이 해당 액정셀의 화소전극에 인가된다. 이후, 제 1 공통라인(CL1)과 연결된 공통트랜지스터(32)의 게이트 전극에 공통 온전압(VCH)이 인가되면, 제 1 공통라인(CL1)과 연결된 공통트랜지스터(32)가 턴-온되어 제 1 공통라인(CL1)과 연결된 액정셀들의 공통전극에 공통전압(Vcom)이 인

가된다.

- <48> 이에 따라 제 1 공통라인(CL1)과 접속된 액정셀(C1c)의 공통전극에 인가된 공통전압과 제 1 게이트 라인(GL1)과 접속된 박막트랜지스터(TFT)를 통해 공급된 데이터 전압(D1)과의 전위차에 의해 액정이 움직이게 되어 화상이 표시된다. 이때, 게이트 라인(GL)에 게이트 오프전압(VGL)이 인가됨과 아울러 공통트랜지스터(32)의 게이트전극에 공통 오프전압(VCL)이 인가됨으로써 제 1 게이트라인(GL1)과 연결된 박막트랜지스터와 제 1 게이트 공통라인(CL1)과 연결된 공통트랜지스터(32)는 동시에 턴-오프된다. 한편, 제 1 게이트 라인(GL1)에 연결된 박막트랜지스터가 턴-오프된 이후에 제 1 공통라인(CL1)과 연결된 공통트랜지스터(32)가 턴-오프될 수도 있다.
- <49> 이어서, 제 2 게이트 라인(GL2)에 게이트 온전압이 인가된다. 제 2 게이트 라인(GL2)에 연결된 박막트랜지스터(TFT)가 턴-온된다. 그러면, 제 2 게이트 라인(GL2)에 연결된 박막트랜지스터(TFT)를 통해 데이터 라인(DL)으로부터의 데이터 전압(D2)이 해당 액정셀의 화소전극에 인가된다.
- <50> 이후, 공통트랜지스터(32)의 게이트 전극에 공통 온전압(VCH)이 인가되면, 제 2 공통라인(CL2)과 연결된 공통트랜지스터(32)가 턴-온되어 제 2 공통라인(CL2)과 연결된 액정셀들의 공통전극에 공통전압이 인가된다.
- <51> 이에 따라 제 2 공통라인(CL2)과 접속된 액정셀(C1c)의 공통전극에 인가된 공통전압과 제 2 게이트 라인(GL2)과 접속된 박막트랜지스터(TFT)를 통해 공급된 데이터 전압(D2)과의 전위차에 의해 액정이 움직이게 되어 화상이 표시된다. 이때, 제 2 게이트라인(GL2)에 게이트 오프전압이 인가됨과 아울러 공통트랜지스터(32)의 게이트전극에 공통 오프전압이 인가됨으로써 제 2 게이트라인(GL2)과 연결된 박막트랜지스터와 제 2 공통라인(CL2)과 연결된 공통트랜지스터(32)는 턴-오프된다. 한편, 제 2 게이트 라인(GL2)에 연결된 박막트랜지스터가 턴-오프된 이후에 제 2 공통라인(CL2)과 연결된 공통트랜지스터(32)가 턴-오프될 수도 있다.
- <52> 이러한 과정이 반복되어 본 발명의 제 2 실시 예에 따른 액정표시장치의 제 1 구동방법에 따라 액정표시패널의 모든 화소에 화상이 표시된다.
- <53> 도 6은 본 발명의 제 2 실시 예에 따른 액정표시장치의 구동방법의 제 2 실시 예를 설명하기 위한 도면이다.
- <54> 먼저, 도 6에 도시된 바와 같이, 제 1 게이트 라인(GL1)에 게이트 온전압이 인가되면, 제 1 게이트 라인(GL1)에 연결된 박막트랜지스터(TFT)가 턴-온된다. 그리고 게이트 온전압(VGH)이 인가되고 소정 기간(DP) 지연된 후 제 1 게이트 라인(GL1)에 연결된 박막트랜지스터(TFT)를 통해 데이터 라인(DL)으로부터의 데이터 전압(D1)이 해당 액정셀의 화소전극에 인가된다.
- <55> 이어서, 데이터 전압(D1)이 해당 액정셀의 화소전극에 인가된 이후에 제 1 게이트 라인(GL1)에 게이트 오프전압이 인가되기 전에 제 2 게이트 라인(GL2)에 게이트 온전압이 인가되어서 ①-②구간과 같이 제 1 게이트라인(GL1)의 게이트 온전압과 제 2 게이트라인(GL2)의 게이트 온전압이 중첩되는 구간이 발생한다. 이러한 중첩 기간(OP)은 소정 기간(DP)과 동일하다. 이러한 제 2 게이트 라인(GL2)에 게이트 온전압이 인가되는 순간 동시에 공통제어부(40)에서 발생한 공통제어신호(CSS)의 공통 온전압에 의해 제 1 공통라인(CL1)과 접속된 공통 트랜지스터(32)가 턴-온되어 제 1 공통라인(CL1)에 공통전압이 인가된다. 이에 따라, 제 1 공통라인(CL1)과 접속된 액정셀(C1c)의 공통전극에 공통전압이 인가되어 ③-④구간 동안 제 1 공통라인(CL1)을 통해 공급된 공통전압과 제 1 게이트 라인(GL1)과 접속된 박막트랜지스터(TFT)를 통해 공급된 데이터 전압(D1)과의 전위차에 의해 액정이 움직이게 되어 화상이 표시된다.
- <56> 이어서, 제 1 게이트 라인(GL1)에 게이트 오프전압이 인가되는 순간 제 2 게이트 라인(GL2)에 연결되어 턴-온되어 있는 박막트랜지스터(TFT)를 통해 데이터 라인(DL)으로부터의 데이터 전압(D2)이 해당 액정셀의 화소전극에 인가된다.
- <57> 이후에 제 2 게이트 라인(GL2)에 게이트 오프전압이 인가되기 전에 제 3 게이트 라인(GL3)에 게이트 온전압이 인가되어서 ⑤-⑥구간과 같이 제 2 게이트 라인(GL2)의 게이트 온전압과 제 3 게이트라인(GL3)의 게이트 온전압이 중첩되는 구간이 발생한다. 이러한 중첩 기간(OP)은 소정 기간(DP)과 동일하다. 이러한 제 3 게이트 라인(GL2)에 게이트 온전압이 인가되는 순간 동시에 공통제어부(40)에서 발생한 공통제어신호(CSS)의 공통 온전압에 의해 제 2 공통라인(CL2)과 접속된 공통 트랜지스터가 턴-온되어 제 2 공통라인(CL2)에 공통전압이 인가된다. 이에 따라, 제 2 공통라인(CL2)과 접속된 액정셀(C1c)의 공통전극에 공통전압이 인가되어 ⑦-⑧구간 동안 제 2 공통라인(CL2)을 통해 공급된 공통전압과 제 2 게이트 라인(GL2)과 접속된 박막트랜지스터(TFT)를 통해 공급된 데이터 전압(D2)과의 전위차에 의해 액정이 움직이게 되어 화상이 표시된다.
- <58> 이러한 과정이 반복되어 본 발명의 제 2 실시 예에 따른 액정표시장치의 제 2 구동방법에 따른 액정표시패널의

모든 화소에 화상이 표시된다.

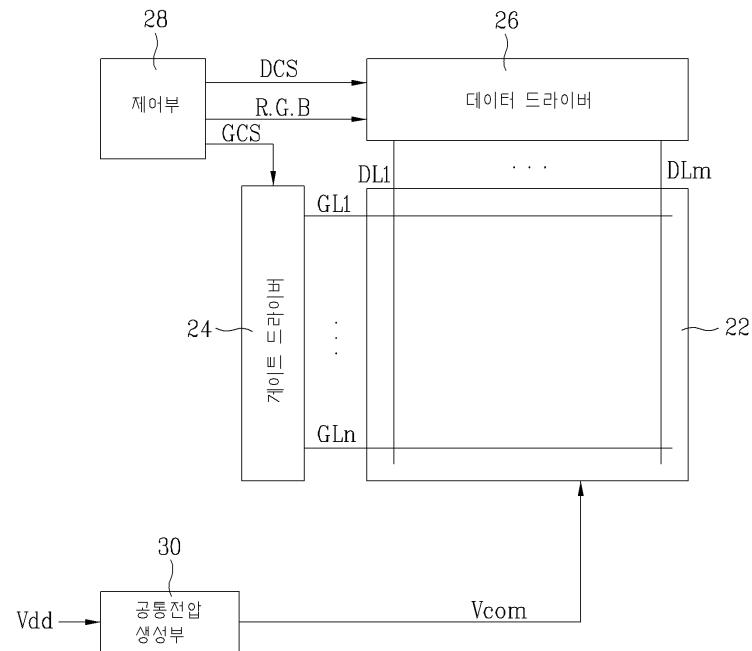
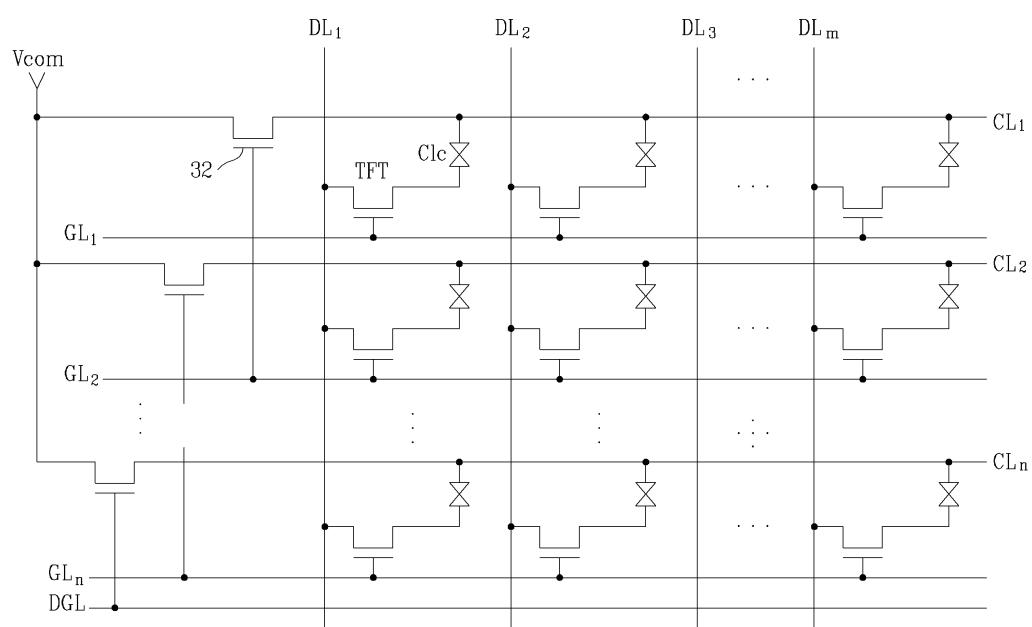
- <59> 이와 같이, 본원 발명에 따른 액정표시장치는 데이터 전압이 먼저 인가된 후 공통전압이 인가된다. 이와 같은 경우, 데이터 전압에 의한 공통전압이 불안정해지는 것을 방지할 수 있다.
- <60> 한편, 본 발명에 따른 액정표시장치는 도 2에 도시된 구조 대신에 도 7과 같은 구조로 형성될 수 있다. 이 경우, 도 2에 도시된 액정 표시 장치에서는 공통 트랜지스터(32)의 게이트 전극과 게이트 라인(GL) 간의 기생 캐패시터에 의해 공통 전압 및 게이트 신호가 스윙하게 된다. 반면에 도 7에 도시된 액정 표시 장치는 공통 트랜지스터(32)의 게이트 전극과 게이트 라인의 교차되지 않으므로 공통 트랜지스터(32)의 게이트 전극과 게이트 라인(GL) 간의 기생 캐패시터가 형성되지 않는다. 이에 따라, 도 7에 도시된 액정 표시 장치에서는 공통 전압 및 게이트 신호의 스윙 현상을 방지할 수 있다.
- <61> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여 죄야만 할 것이다.

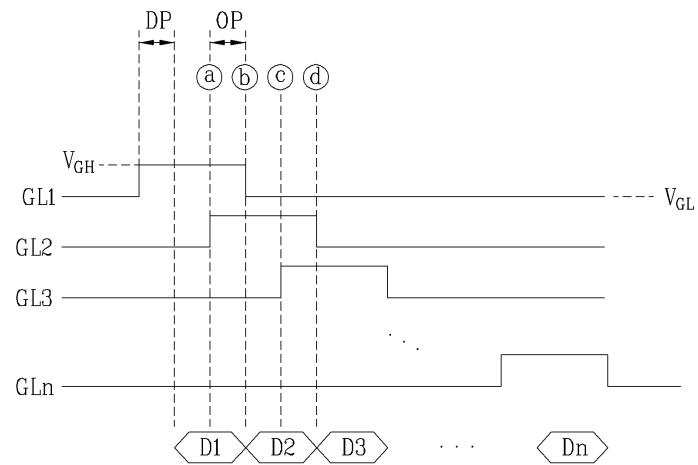
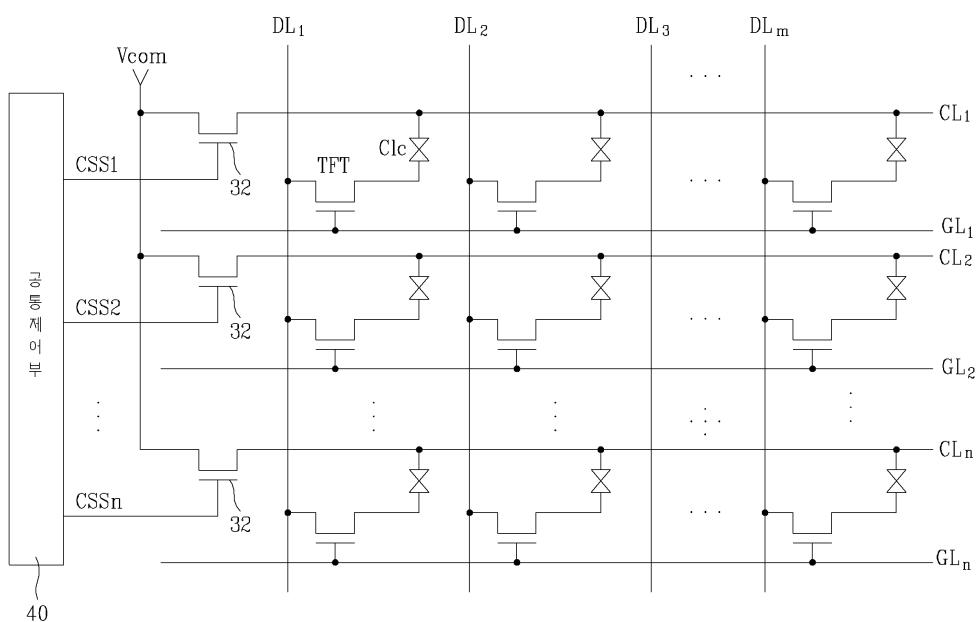
### 발명의 효과

- <62> 상술한 바와 같이, 본 발명에 따른 액정표시장치는 데이터 전압이 먼저 인가된 후 공통전압이 인가됨으로써 패널의 중앙부와 에지부의 공통전압 흔들림 폭의 차이로 인한 플리커 현상을 방지하여 패널 내에 플리커 특성을 균일하게 할 수 있다.

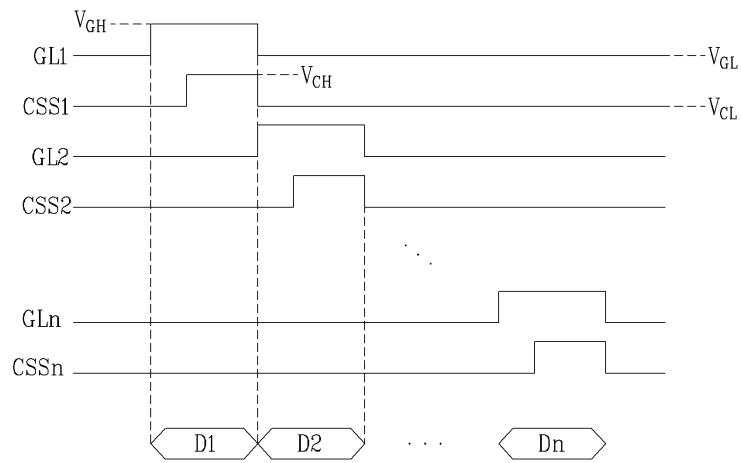
### 도면의 간단한 설명

- <1> 도 1은 본 발명의 제 1 실시 예에 따른 액정표시장치의 구조를 나타낸 도면.
- <2> 도 2는 본 발명의 제 1 실시 예에 따른 액정패널을 나타내는 회로도.
- <3> 도 3은 본 발명의 제 1 실시 예에 따른 액정표시장치의 구동방법을 설명하기 위한 도면이다.
- <4> 도 4는 본 발명의 제 2 실시 예에 따른 액정패널을 나타내는 회로도.
- <5> 도 5는 본 발명의 제 2 실시 예에 따른 액정표시장치의 제 1 구동방법을 설명하기 위한 도면이다.
- <6> 도 6은 본 발명의 제 2 실시 예에 따른 액정표시장치의 제 2 구동방법을 설명하기 위한 도면이다.
- <7> < 도면의 주요부분에 대한 부호 설명 >
- |                   |              |
|-------------------|--------------|
| <8> 22: 액정패널      | 26: 데이터 드라이버 |
| <9> 24: 게이트 드라이버  | 28: 제어부      |
| <10> 30: 공통전압 생성부 | 32: 공통트랜지스터  |
| <11> 40: 공통제어부    |              |

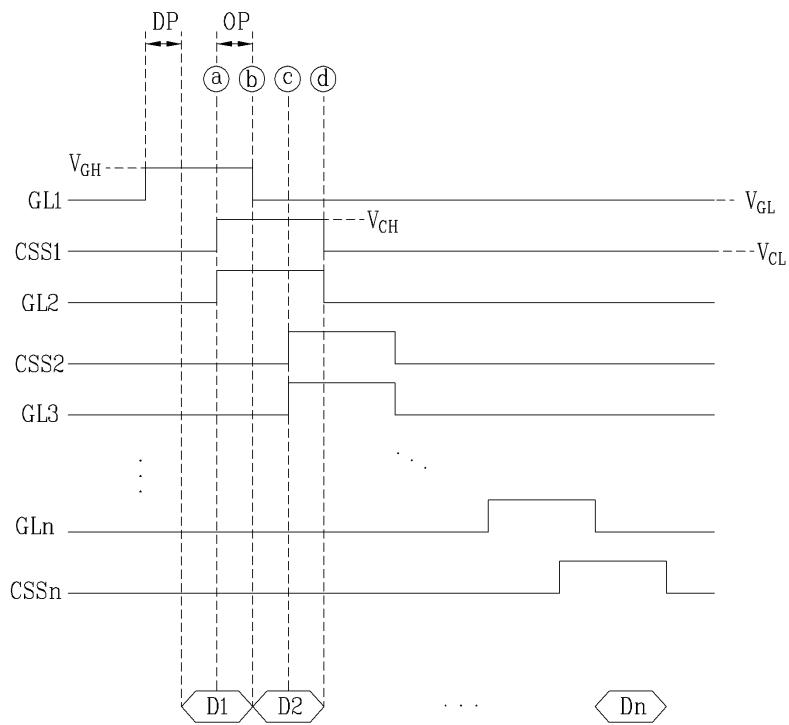
**도면****도면1****도면2**

**도면3****도면4**

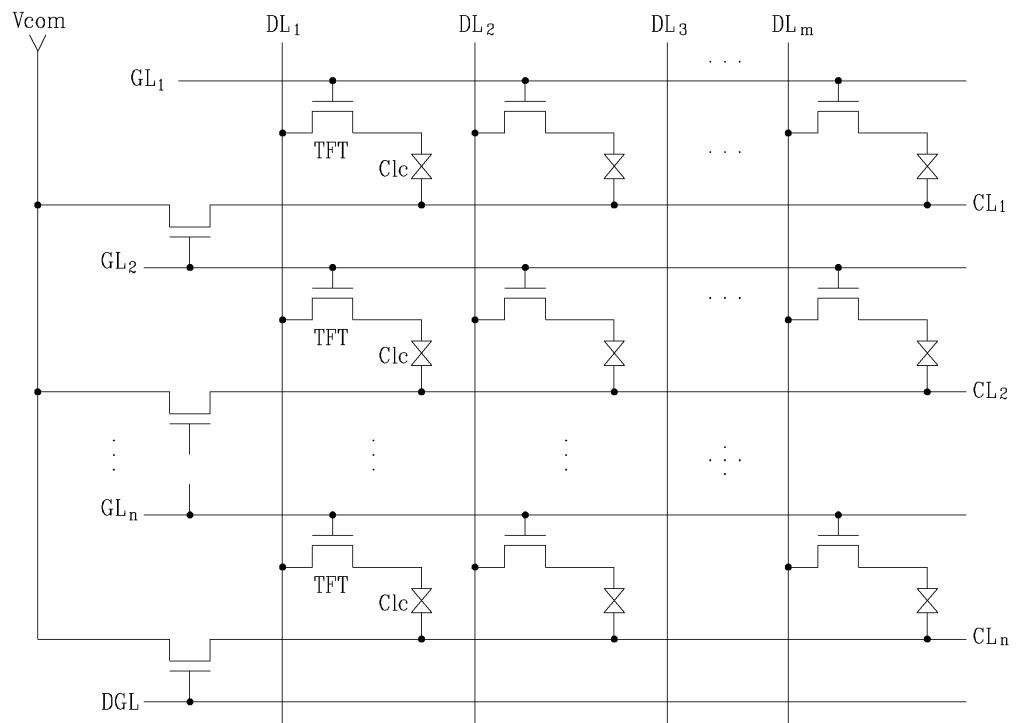
### 도면5



### 도면6



## 도면7



专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	<a href="#">KR1020080077777A</a>	公开(公告)日	2008-08-26
申请号	KR1020070017408	申请日	2007-02-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JO SUNG HAK		
发明人	JO,SUNG HAK		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	D21H5/0082 D21H27/20 D21H27/32		
代理人(译)	金勇 年轻的小公园		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

本发明涉及液晶显示装置及其驱动方法，用于防止公共电压通过数据电压的摆动效应。根据本发明的液晶显示器包括栅极线;提供与栅极线和像素区域相交的数据电压的数据线;门线;液晶单元与薄膜晶体管连接，与数据线连接多条公共线，形成与栅极线一致的薄膜晶体管和公共线以及连接时切换的公共晶体管首先使用公共线，以便向液晶单元提供比公共电压更高的数据电压。液晶显示装置，公共电压和公共晶体管。

