



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0119344
(43) 공개일자 2007년12월20일

(51) Int. Cl.

G02F 1/1345 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2006-0053873

(22) 출원일자 2006년06월15일

심사청구일자 없음

(71) 출원인

엘지.필립스 엘시디 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

최희동

충남 서산시 음암면 탐곡리 3구 178번지

최원희

서울 도봉구 도봉2동 극동아파트 1-103

허정수

경북 칠곡군 석적면 중리 141 부영 102/1302

(74) 대리인

특허법인네이트

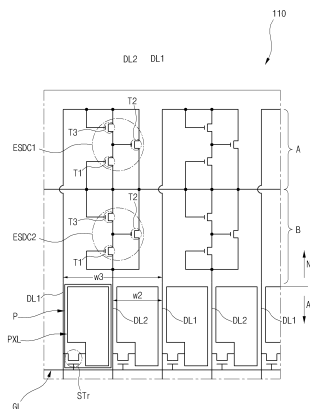
전체 청구항 수 : 총 7 항

(54) 액정표시장치용 어레이 기판

(57) 요약

본 발명은 기판 상에 일방향으로 형성된 게이트 배선과; 상기 게이트 배선과 교차하며 형성된 제 1, 2 데이터 배선과; 자신의 상측을 제 1 영역 및 하측을 제 2 영역으로 정의하며 형성된 그라운드(ground) 배선과; 상기 그라운드(ground) 배선과 연결되며, 상기 제 1, 2 영역에 각각 배치되며, 상기 제 1, 2 데이터 배선과 각각 연결되며 형성된 제 1, 2 정전기 방지회로를 포함하는 액정표시장치를 제공한다.

대표도 - 도3



특허청구의 범위

청구항 1

기관 상에 일방향으로 형성된 게이트 배선과;
 상기 게이트 배선과 교차하며 형성된 제 1, 2 데이터 배선과;
 자신의 상측을 제 1 영역 및 하측을 제 2 영역으로 정의하며 형성된 그라운드(ground) 배선과;
 상기 그라운드(ground) 배선과 연결되며, 상기 제 1, 2 영역에 각각 배치되며, 상기 제 1, 2 데이터 배선과 각각 연결되며 형성된 제 1, 2 정전기 방지회로
 를 포함하는 액정표시장치.

청구항 2

제 1 항에 있어서,
 상기 기관은, 표시영역과 상기 표시영역을 둘러싸는 비표시영역이 정의되며, 상기 그라운드 배선은 상기 비표시영역에 형성된 액정표시장치.

청구항 3

제 1 항에 있어서,
 상기 게이트 배선과 제 1, 2 데이터 배선이 교차하여 이들 배선으로 둘러싸인 영역은 화소영역으로 정의되며, 상기 화소영역에는 상기 게이트 배선 및 제 1 또는 제 2 데이터 배선과 연결되는 스위칭 소자인 박막트랜지스터가 더욱 형성된 액정표시장치.

청구항 4

제 3 항에 있어서,
 상기 화소영역에는 상기 박막트랜지스터와 연결되며 형성된 화소전극이 더욱 형성된 액정표시장치.

청구항 5

제 3 항에 있어서,
 상기 제 2 데이터 배선과 이격하여 제 3 데이터 배선이 더욱 형성되어 제 1, 2 화소영역이 정의되며, 상기 제 1, 2 정전기 방지회로는, 그 각각이 형성되는 영역의 가로 방향의 제 1 폭이 상기 제 1 또는 제 2 화소영역 하나의 단축 폭보다는 크고 상기 제 1, 2 두 개의 화소영역이 이루는 영역의 가로방향 폭보다는 작게 형성되는 것이 특징인 액정표시장치.

청구항 6

제 1 항 또는 제 5 항에 있어서,
 상기 제 1, 2 정전기 방지회로 각각은 3개의 트랜지스터를 포함하는 것이 특징인 액정표시장치.

청구항 7

제 6 항에 있어서,
 상기 3개의 트랜지스터는 제 1, 2 및 3 트랜지스터를 포함하고, 상기 제 1, 2 및 제 3 데이터 배선 각각은 상기 제 1 트랜지스터의 게이트 전극 및 소스 전극과 상기 제 2 트랜지스터의 소스 전극과 연결되며, 상기 제 1 트랜지스터의 드레인 전극은 상기 제 2 트랜지스터의 게이트 전극 및 제 3 트랜지스터의 소스 전극과 연결되며, 상기 제 2 트랜지스터의 드레인 전극 및 상기 제 3 트랜지스터의 게이트 전극 및 드레인 전극은 상기 그라운드(ground) 배선과 연결되는 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <18> 본 발명은 액정표시장치에 관한 것이며, 특히 고해상도 구현을 위한 정전기 방지 회로를 포함하는 액정표시장치에 관한 것이다.
- <19> 최근에 액정표시장치는 소비전력이 낮고, 휴대성이 양호한 기술 집약적이며, 부가가치가 높은 차세대 첨단 디스플레이(display)소자로 각광받고 있다.
- <20> 이러한 액정표시장치 중에서도 각 화소(pixel)별로 전압의 온(on), 오프(off)를 조절할 수 있는 스위칭 소자인 박막트랜지스터가 구비된 액티브 매트릭스형 액정표시장치가 해상도 및 동영상 구현능력이 뛰어나 가장 주목받고 있다.
- <21> 일반적으로, 액정표시장치는 박막트랜지스터 및 화소전극을 형성하는 어레이 기판 제조 공정과 컬러필터 및 공통 전극을 형성하는 컬러필터 기판 제조 공정을 통해 각각 어레이 기판 및 컬러필터 기판을 형성하고, 이들 두 기판 사이에 액정을 개재하는 셀 공정을 거쳐 완성된다.
- <22> 좀 더 자세히, 일반적인 액정표시장치의 분해사시도인 도 1을 참조하여 설명하면, 도시한 바와 같이, 액정층(30)을 사이에 두고 어레이 기판(10)과 컬러필터 기판(20)이 대면 합착된 구성을 갖는데, 이중 하부의 어레이 기판(10)은 투명한 기판(12)의 상면으로 중형 교차 배열되어 다수의 화소영역(P)을 정의하는 복수개의 게이트 배선(14)과 데이터 배선(16)을 포함하며, 이들 두 배선(14, 16)의 교차지점에는 박막트랜지스터(T)가 구비되어 각 화소영역(P)에 마련된 화소전극(18)과 일대일 대응 접속되어 있다.
- <23> 또한, 상기 어레이 기판(10)과 마주보는 상부의 컬러필터 기판(20)은 투명기판(22)의 배면으로 상기 게이트 배선(14)과 데이터 배선(16) 그리고 박막트랜지스터(T) 등의 비표시영역을 가리도록 각 화소영역(P)을 테두리하는 격자 형상의 블랙매트릭스(25)가 형성되어 있으며, 이들 격자 내부에서 각 화소영역(P)에 대응되게 순차적으로 반복 배열된 적, 녹, 청색 컬러필터층(26)이 형성되어 있으며, 상기 블랙매트릭스(25)와 적, 녹, 청색 컬러필터층(26)의 전면에 걸쳐 투명한 공통전극(28)이 구비되어 있다.
- <24> 그리고, 도면상에 도시되지는 않았지만, 이들 두 기판(10, 20)은 그 사이로 개재된 액정층(30)의 누설을 방지하기 위하여 가장자리 따라 실링제(sealant) 등으로 봉합(封函)된 상태에서 각 기판(10, 20)과 액정층(30)의 경계 부분에는 액정의 분자배열 방향에 신뢰성을 부여하는 상, 하부 배향막이 개재되며, 각 기판(10, 20)의 적어도 하나의 외측면에는 편광판이 구비되어 있다.
- <25> 또한, 어레이 기판의 외측면으로는 백라이트(back-light)가 구비되어 빛을 공급하는 바, 게이트 배선(14)으로 박막트랜지스터(T)의 온(on)/오프(off) 신호가 순차적으로 스캔 인가되어 선택된 화소영역(P)의 화소전극(18)에 데이터배선(16)의 화상신호가 전달되면 이들 사이의 수직전계에 의해 그 사이의 액정분자가 구동되고, 이에 따른 빛의 투과율 변화로 여러 가지 화상을 표시할 수 있다.
- <26> 이러한 구조를 갖는 액정표시장치 특히 액정표시장치용 어레이 기판을 제조하는 데에는 복잡한 공정 단계를 진행하여야 하며 이러한 제조공정을 진행하면서 정전기 등이 발생하며, 완성된 후에도 정전기 등에 노출되므로 상기 정전기에 의한 과도한 전압 집중에 의한 어레이 소자의 파괴를 방지하기 위해 각 데이터 배선의 끝단부에 정전기 방지회로를 구성하고 있다.
- <27> 도 2 는 종래의 액정표시장치용 어레이 기판의 표시영역 일부를 포함하여 정전기 방지회로가 구성되는 데이터 배선 끝단부를 간략히 도시한 회로도이다.
- <28> 도시한 바와 같이, 종래의 어레이 기판(51)에는 다수의 게이트 배선(GL)과 데이터 배선(DL)이 교차하여 다수의 화소영역(P)을 이루고 있으며, 상기 각 화소영역에는 상기 게이트 배선(GL)과 데이터 배선(DL)과 각각 연결되며 스위칭 소자인 박막트랜지스터(STr)가 형성되어 있다. 또한, 상기 각 데이터 배선(DL)의 끝단은 정전기 방지회로(ESDC)와 각각 연결되어 있으며, 이때, 상기 정전기 방지회로(ESDC)는 상기 데이터 배선(DL)과 교차하는 방향으로 연장되며 형성된 그라운드 배선(GdL)에서 하부로 분기한 형태로 연결되고 있다.
- <29> 이때, 상기 정전기 방지회로(ESDC)는 상기 어레이 기판의 제조 과정 중에 발생하는 정전기 등에 의해 발생하는 상기 화소영역(P) 내의 스위칭 박막트랜지스터(STr)의 파괴를 효과적으로 방지하여야 하며, 동시에 정상상태 즉

정전기 등이 발생하지 않는 일반적인 상태에서는 구동신호 체계에 간섭이나 교란을 일으키지 않아야 한다.

- <30> 따라서, 상기 정전기 방지회로(ESDC)는 이러한 역할(정전기 발생 시 과전압의 방전패스 역할 및 정상 구동 시 어레이 내부 구동에 영향을 주지 않는 큰 저항 역할)을 할 수 있도록 다수의 구동소자 예를들면 다수의 트랜지스터(T1, T2, T3)로 이루어지거나 또는 다수의 다이오드 등을 포함하여 구성되고 있다.
- <31> 한편, 이들 다수의 트랜지스터(T1, T2, T3) 또는 다이오드를 상기 액정표시장치용 어레이 기관(51) 상에 구현하기 위해서는 상기 화소영역(P)과 같이 일정한 폭과 길이를 갖는 면적을 필요로 하고 있으며, 더욱이 이러한 다수의 트랜지스터(T1, T2, T3)나 다수의 다이오드 등은 서로 전기적으로 연결되며 이렇게 연결된 하나의 블록이 각 데이터 배선(DL)과 연결되어야 하므로 가로방향으로 하나의 화소영역(P)의 폭(w1) 한에 하나의 정전기 방지회로(ESDC)가 형성되어야 한다.
- <32> 최근 고해상도의 구현을 위해 상기 화소영역(P)이 매우 작아지게 되는 바, 특히 상기 화소영역(P)의 가로 폭(w1)이 매우 좁게 형성됨으로써 데이터 배선(DL) 간 간격(하나의 화소영역의 단축 폭)이 매우 좁아지고 있는 실정이다.
- <33> 따라서, 각 화소영역(P)에서 연장된 데이터 배선(DL)의 끝단과 연결되며 동시에 그라운드 배선(GdL)을 기준으로 그 하부로 일렬로 평행하게 형성되는 현재의 정전기 방지회로(ESDC)의 형성구조를 좁은 화소영역에 대응되도록 가로 방향으로 형성하는 구조는 고해상도 모델에 적용될 수 없는 실정이다.

발명이 이루고자 하는 기술적 과제

- <34> 상기 문제점을 해결하기 위해서, 본 발명에서는 각 데이터 배선 끝단과 연결되며 그라운드 배선을 기준으로 그 하부로 일렬로 나란하게 배치되는 정전기 방지회로부의 배치 구조를 변경함으로써 고해상도의 액정표시장치에 적용 가능하도록 하는 것을 그 목적으로 한다.

발명의 구성 및 작용

- <35> 상기 목적을 달성하기 위한 본 발명에 따른 액정표시장치는 기관 상에 일방향으로 형성된 게이트 배선과; 상기 게이트 배선과 교차하며 형성된 제 1, 2 데이터 배선과; 자신의 상측을 제 1 영역 및 하측을 제 2 영역으로 정의하며 형성된 그라운드(ground) 배선과; 상기 그라운드(ground) 배선과 연결되며, 상기 제 1, 2 영역에 각각 배치되며, 상기 제 1, 2 데이터 배선과 각각 연결되며 형성된 제 1, 2 정전기 방지회로를 포함한다.
- <36> 이때, 상기 기관은, 표시영역과 상기 표시영역을 둘러싸는 비표시영역이 정의되며, 상기 그라운드 배선은 상기 비표시영역에 형성된 것이 특징이다.
- <37> 또한, 상기 게이트 배선과 제 1, 2 데이터 배선이 교차하여 이들 배선으로 둘러싸인 영역은 화소영역으로 정의되며, 상기 화소영역에는 상기 게이트 배선 및 제 1 또는 제 2 데이터 배선과 연결되는 스위칭 소자인 박막트랜지스터가 더욱 형성되며, 상기 화소영역에는 상기 박막트랜지스터와 연결되며 형성된 화소전극이 더욱 형성된다. 또한, 상기 제 2 데이터 배선과 이격하여 제 3 데이터 배선이 더욱 형성되어 제 1, 2 화소영역이 정의되며, 상기 제 1, 2 정전기 방지회로는, 그 각각이 형성되는 영역의 가로 방향의 제 1 폭이 상기 제 1 또는 제 2 화소영역 하나의 단축 폭보다는 크고 상기 제 1, 2 두 개의 화소영역이 이루는 영역의 가로방향 폭보다는 작게 형성되는 것이 특징이다.
- <38> 상기 제 1, 2 정전기 방지회로 각각은 3개의 트랜지스터를 포함하는 것이 특징이며, 상기 3개의 트랜지스터는 제 1, 2 및 3 트랜지스터를 포함하고, 상기 제 1, 2 및 제 3 데이터 배선 각각은 상기 제 1 트랜지스터의 게이트 전극 및 소스 전극과 상기 제 2 트랜지스터의 소스 전극과 연결되며, 상기 제 1 트랜지스터의 드레인 전극은 상기 제 2 트랜지스터의 게이트 전극 및 제 3 트랜지스터의 소스 전극과 연결되며, 상기 제 2 트랜지스터의 드레인 전극 및 상기 제 3 트랜지스터의 게이트 전극 및 드레인 전극은 상기 그라운드(ground)배선과 연결된 것이 특징이다.
- <39> 이하, 본 발명에 따른 바람직한 실시예를 도면을 참조하여 설명한다.
- <40> 도 3은 본 발명에 따른 액정표시장치용 어레이 기관의 표시영역 일부를 포함하여 정전기 방지회로가 구성되는 데이터 배선 끝단부를 간략히 도시한 회로도이다.
- <41> 도시한 바와 같이, 본 발명에 따른 액정표시장치용 어레이 기관은 화상을 표시하는 표시영역에는 서로 교차하는 다수의 게이트 배선(GL)과 데이터 배선(DL)이 다수의 화소영역(P)을 정의하며 형성되어 있다.

- <42> 또한, 상기 각 화소영역(P)에는 상기 게이트 배선(GL)과 데이터 배선(DL)과 연결되며 스위칭 소자인 박막트랜지스터가 형성되어 있다.
- <43> 한편, 상기 표시영역 외측의 비표시영역의 일측에는 상기 데이터 배선(DL)이 연장 형성되어 있으며, 상기 데이터 배선(DL)의 끝단부에는 정전기 방지회로(ESDC1, ESDC2)가 형성되어 있다. 또한, 상기 정전기 방지회로(ESDC1, ESDC2)의 일끝단은 상기 게이트 배선(GL)과 나란하게 형성된 그라운드 배선(GdL)과 연결되고 있다.
- <44> 이때, 상기 각 데이터 배선(DL)과 연결된 정전기 방지회로(ESDC1, ESDC2)는 상기 그라운드 배선(GdL)을 기준으로 그 상측(표시영역에서 먼 영역)과 하측(표시영역에 인접한 영역)으로 이단의 배열구조를 가지며 형성되고 있는 것이 특징이다. 즉, 상기 정전기 방지회로(ESDC1, ESDC2)는 제 1 정전기 방지회로(ESDC1)와 제 2 정전기 방지회로(ESDC2)로 나뉘어 상기 그라운드 배선(GdL)의 상측(제 1 영역(A)이라 칭함)과 하측(제 2 영역(B)라 칭함)에 각각 대칭적으로 형성된 것이 특징이다.
- <45> 이러한 정전기 방지회로(ESDC1, ESDC2)의 구성에 의해 홀수번째 데이터 배선(DL1)은 상기 그라운드 배선(GdL) 상측에 위치한 즉 제 1 영역(A)에 위치한 제 1 정전기 방지회로(ESDC1)와 연결되며, 짝수번째 데이터 배선(DL2)은 상기 그라운드 배선(GdL) 하측 즉 제 2 영역(B)에 위치한 제 2 정전기 방지회로(ESDC2)와 연결되고 있다. 이때, 상기 홀수번째 데이터 배선(DL1)이 제 2 영역(B)에 형성된 제 2 정전기 방지회로(ESDC2)와 연결되도록 그리고 상기 짝수번째 데이터 배선(DL2)이 제 1 영역(A)에 형성된 제 1 정전기 방지회로(ESDC1)와 연결되도록 형성해도 무방하다.
- <46> 따라서, 전술한 구조에 의한 정전기 방지회로(ESDC1, ESDC2) 각각은 최대한 2개의 화소영역(P)의 폭(w3)에 대응하는 폭($w3 = 2 \times w2$)을 갖는 면적이 확보된 어레이 기관(110) 상에 구성됨으로써 고해상도를 이루기 위해 상기 화소영역(P)의 크기 더욱 정확히는 상기 하나의 화소영역(P)의 폭(w2)을 종래대비 1/2정도로 작게 형성($w2 < w1$ (도 2 참조))되어도 충분히 다수의 트랜지스터(T1, T2, T3)를 형성할 수 있는 폭($w3 \approx w1$ (도 2 참조))이 확보되는 바, 충분히 다수의 트랜지스터(T1, T2, T3) 또는 다이오드를 포함하는 정전기 방지회로(ESDC)를 형성할 수 있게 된다.
- <47> 다음, 본 발명에 따른 정전기 방지회로(ESDC)의 구성에 대해 설명한다.
- <48> 우선, 짝수번째 데이터 배선(DL2) 및 이와 연결된 상기 그라운드 배선(GdL) 하측에 위치한 제 2 정전기 방지회로(ESDC2) 구조를 살펴보면, 제 1, 2 및 제 3 트랜지스터(T1, T2, T3)로써 구성되고 있으며, 상기 짝수번째 데이터 배선(DL2)은 분기하여 각각 제 1 트랜지스터(T1)의 게이트 전극 및 소스 전극과 연결되며 동시에 제 2 트랜지스터(T2)의 소스 전극과 연결되고 있다. 또한 상기 제 1 트랜지스터(T1)의 드레인 전극은 제 2 트랜지스터(T2)의 게이트 전극과 상기 제 3 트랜지스터(T3)의 소스 전극과 연결되고 있으며, 상기 제 3 트랜지스터(T2)의 게이트 전극 및 드레인 전극과 상기 제 2 트랜지스터(T2)의 드레인 전극은 상기 그라운드 배선(GdL)과 연결되고 있다.
- <49> 한편, 홀수번째 데이터 배선(DL1) 및 이와 연결된 상기 그라운드 배선(GdL) 상측의 제 1 영역(A)에 형성된 제 1 정전기 방지회로(ESDC1)의 구조를 살펴보면, 상기 홀수번째 데이터 배선(DL1)은 길게 상기 그라운드 배선(GdL)과 교차하도록 연장되어 형성되고 있으며, 그 끝단이 각각 제 1, 2 및 제 3 트랜지스터(T1, T2, T3)와 연결되고 있다. 이때 상기 제 1 정전기 방지회로(ESDC1)의 상기 제 1, 2 및 3 트랜지스터(T1, T2, T3)의 연결은 전술한 제 2 정전기 방지회로(ESDC2)와 동일하므로 그 설명은 생략한다.
- <50> 이때, 상기 제 1, 2 정전기 방지회로(ESDC1, ESDC2)의 구동에 대해 살펴보면, 정전기가 발생하여 상기 정전기에 의해 급격한 전압이 인가됨으로써 상기 데이터 배선(DL1, DL2)에 정상전압보다 높은 전압이 걸리게 되며, 이에 의해 상기 제 1 트랜지스터(T1)가 도통되고, 상기 제 1 트랜지스터가 도통됨으로써 이의 드레인 전극과 연결된 상기 제 2 트랜지스터(T1)를 더욱 도통시킴으로써 상기 제 2 트랜지스터(T2)와 연결된 그라운드 배선(GdL)으로 상기 데이터 배선(DL)에 발생한 과도전류가 방전되게 된다. 이때, 상기 제 3 트랜지스터(T3)는 상기 그라운드 배선(GdL)을 통해 역전류가 흘러들어오지 못하도록 하는 역할을 하는 것이다.
- <51> 정전기가 화소영역(P)에 발생하지 않을 경우, 상기 데이터 배선(DL1, DL2)에 상기 제 1 트랜지스터(T1)를 통전시킬 만한 크기의 전압이 인가되지 않는 바, 상기 제 1 트랜지스터(T1) 및 이와 연결된 제 2 트랜지스터(T2)는 도통되지 않으므로 상기 화소영역(P) 내의 스위칭 소자(STr)의 내부 구동에는 영향을 끼치지 않게 된다.
- <52> 본 발명의 실시예에 있어서는 3개의 트랜지스터(T1, T2, t3)에 의해 정전기 방지회로(ESDC1, ESDC2)를

구현한 것을 일례로써 보이고 있으나, 이에 한정되지 않고, 다이오드나 또는 상기 3개의 트랜지스터 이외에 커패시터를 더욱 구비한 정전기 방지회로를 포함하여 변형된 구조를 갖는 정전기 방지회로에 있어서도 동일하게 그라운드 배선(GdL)을 기준으로 그 상하측에 대칭되는 구조를 갖도록 형성하고, 이렇게 형성된 정전기 방지회로에 대해 홀수번째 데이터 배선은 상기 그라운드 배선 상측에 형성된 정전기 방지회로에 각각 연결되도록 하고, 짝수번째 데이터 배선은 상기 그라운드 배선 하측에 위치한 정전기 방지 회로에 각각 연결되도록 형성한다면, 이는 두 개의 화소영역의 폭에 대응하는 폭을 갖는 면적에 대해 각각의 정전기 방지회로가 형성되는 구조가 되는 바, 이는 본 발명의 범주에 있다고 할 수 있을 것이다.

<53>

발명의 효과

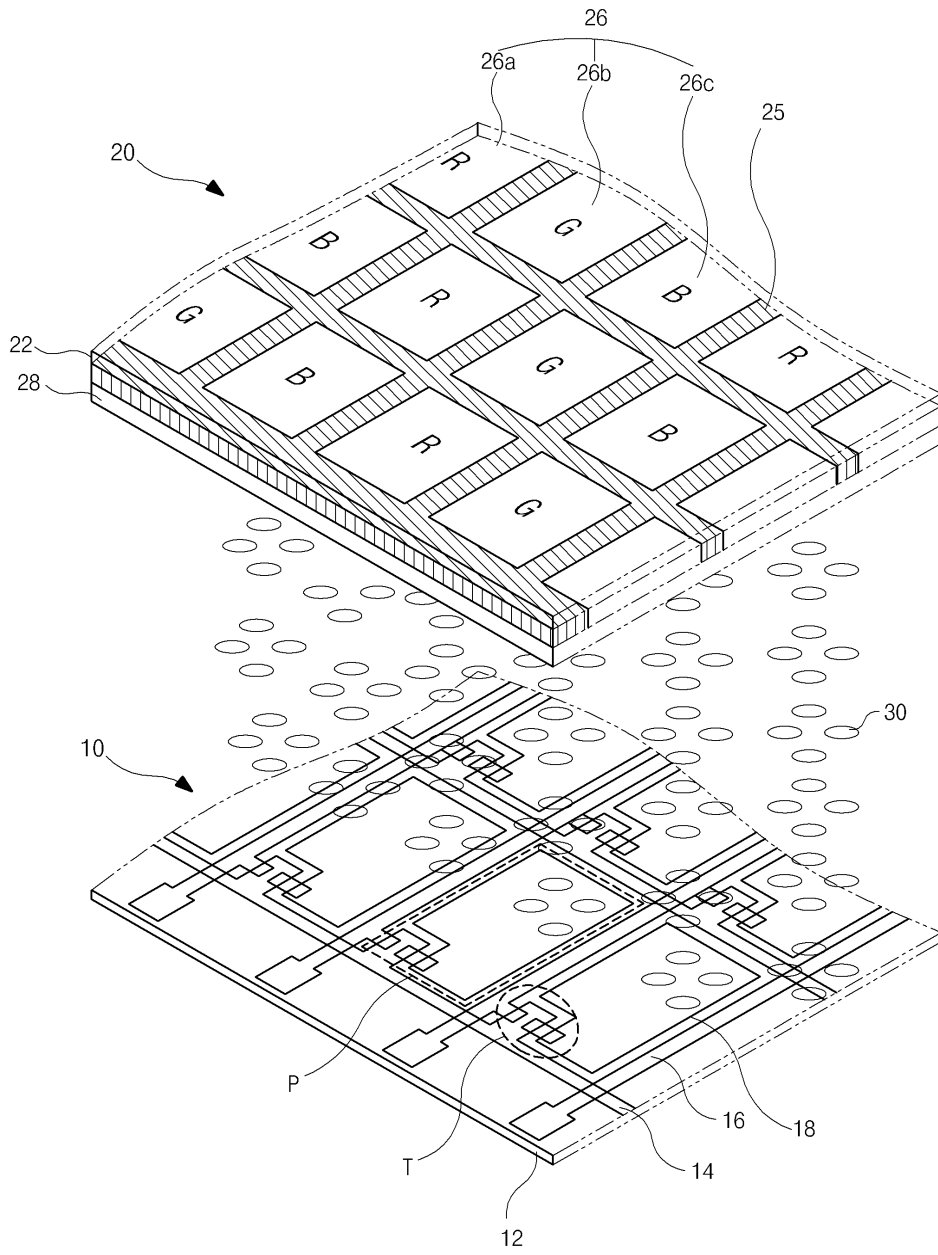
<54> 이와 같이, 본 발명에 따른 액정표시장치는 각 데이터 배선과 연결되는 정전기 방지 회로를 그라운드 배선을 기준으로 그 상하측으로 이원화하여 형성함으로써 하나의 정전기 회로가 형성되는 영역이 두 개의 화소영역이 이루는 면적의 폭과 동일한 폭을 갖는 면적을 확보하게 되므로, 화소영역이 더욱 작게 형성되는 고해상도 모델에 대해서 하나의 화소영역의 폭보다 더 큰 면적이 요구되는 정전기 방지회로의 공간적인 설계의 문제점을 극복하는 효과가 있다.

도면의 간단한 설명

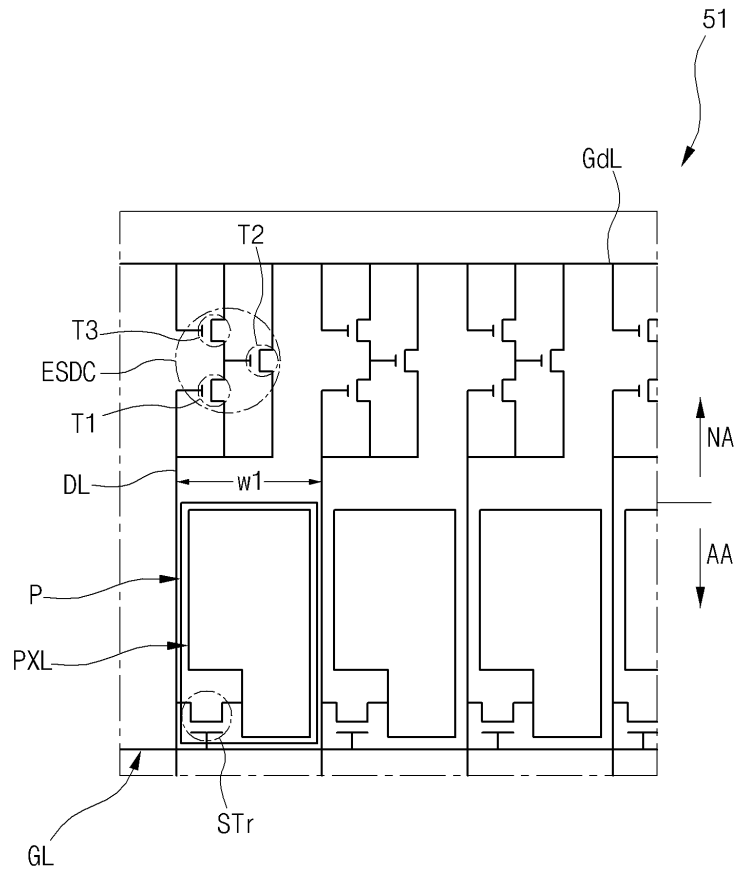
- <1> 도 1은 일반적인 액정표시장치의 분해사시도.
- <2> 도 2 는 종래의 액정표시장치용 어레이 기관의 표시영역 일부를 포함하여 정전기 방지회로가 구성되는 데이터 배선 끝단부를 간략히 도시한 회로도.
- <3> 도 3은 본 발명에 따른 액정표시장치용 어레이 기관의 표시영역 일부를 포함하여 정전기 방지회로가 구성되는 데이터 배선 끝단부를 간략히 도시한 회로도.
- <4>
- <5> < 도면의 주요 부분에 대한 부호의 설명 >
- <6> 110 : 어레이 기관
- <7> A : 제 1 영역
- <8> DA : 표시영역
- <9> B : 제 2 영역
- <10> DL1, DL2 : 홀수번째 및 짝수번째 데이터 배선
- <11> ESDC1, ESDC2 : 제 1 및 제 2 영역의 정전기 방지회로
- <12> GdL : 그라운드 배선
- <13> GL : 게이트 배선
- <14> NA : 비표시영역
- <15> P : 화소영역
- <16> T1, T2, T3 : 제 1, 2, 3 트랜지스터
- <17>

도면

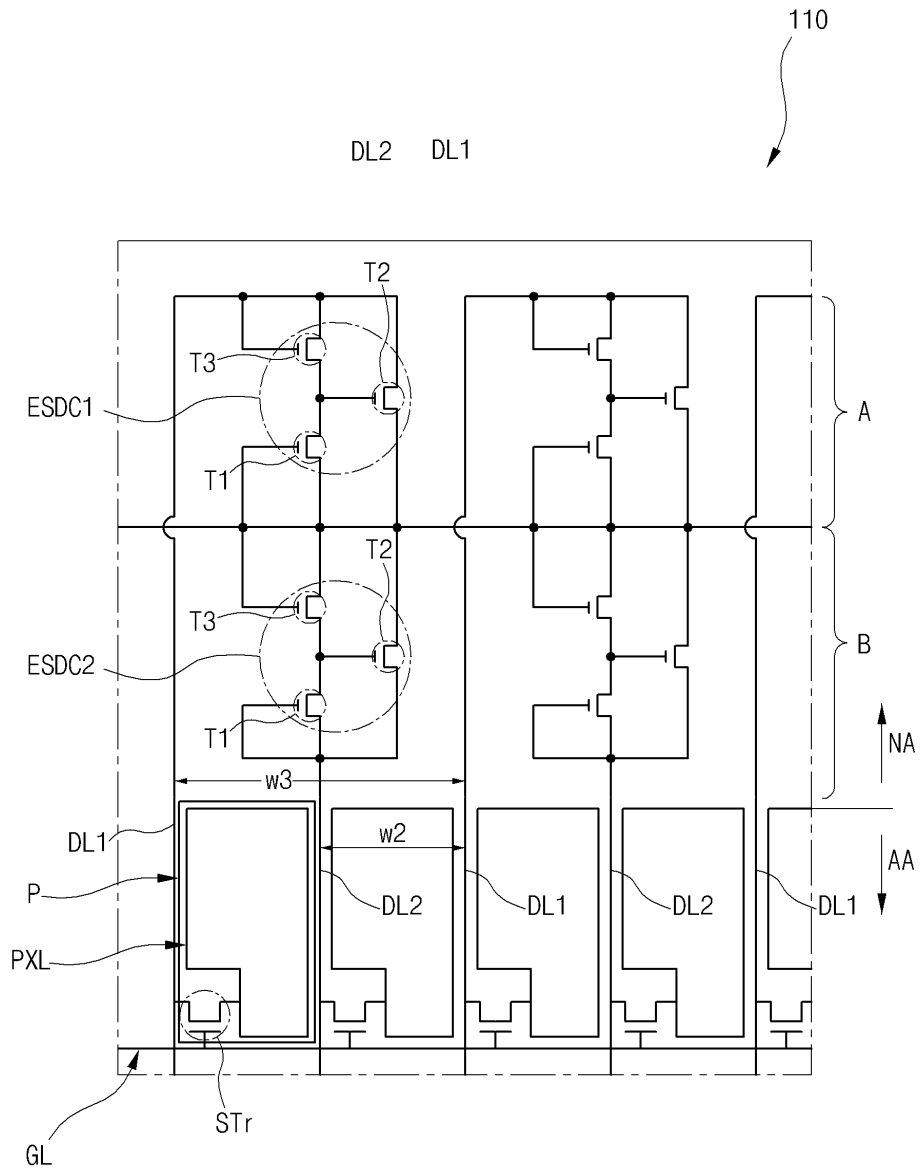
도면1



도면2



도면3



专利名称(译)	一种用于液晶显示器的阵列基板		
公开(公告)号	KR1020070119344A	公开(公告)日	2007-12-20
申请号	KR1020060053873	申请日	2006-06-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI HEE DONG 최희동 CHOI WON HEE 최원희 HEO JUNG SOO 허정수		
发明人	최희동 최원희 허정수		
IPC分类号	G02F1/1345 G02F1/133		
CPC分类号	G09G2330/08 G02F1/136204 G09G3/3648 G09G2300/0426		
外部链接	Espacenet		

摘要(译)

根据本发明的另一方面，提供了一种半导体器件，包括：在一个方向上形成在基板上的栅极布线；形成为与栅极布线交叉的第一和第二数据布线；通过将第一区域的上侧限定为第一区域而将下侧限定为第二区域而形成的地线；第一和第二抗静电电路连接到地线并分别设置在第一和第二区域中并分别连接到第一和第二数据线。

