



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
G02F 1/1343 (2006.01)

(11) 공개번호 10-2007-0002777
(43) 공개일자 2007년01월05일

(21) 출원번호 10-2005-0058443
(22) 출원일자 2005년06월30일
심사청구일자 2005년06월30일

(71) 출원인 키타 디스플레이 인크
타이완, 따오 유안 씨엔, 쿠에이 썬 씨앙, 화 야 세컨드 로드, 넘버 189
(72) 발명자 치우, 춘-창
타이완, 따오 유안 씨엔, 쿠에이 썬 씨앙, 화 야 세컨드 로드, 넘버 189
(74) 대리인 특허법인아주

전체 청구항 수 : 총 20 항

(54) 그레이 스케일이 개선된 액정 디스플레이

(57) 요약

본 발명은 그레이 스케일이 개선된 액정 디스플레이에 관한 것이다. 액정 디스플레이는 복수의 픽셀 영역을 포함하고, 각각의 픽셀 영역은 사이에 액정 층이 삽입된채 서로 대향하여 배치된 제 1 및 제 2기판을 포함한다. 제 1픽셀 전극과 여기에 전기적으로 연결된 제 1픽셀 구동 디바이스는 제 1기판의 부분 위에 형성된다. 제 2픽셀 전극과 여기에 전기적으로 연결된 제 2픽셀 구동 디바이스는 제 1기판의 부분 위에 형성된다. 공통 전극은 상기 제 2기판의 내부에 형성된다. 제 1 및 제 2픽셀 구동 디바이스는 서로 다른 ON 전류를 가져, 서로 다른 전압을 갖는 제 1 및 제 2픽셀 전극이 얻어진다.

대표도

도 6

특허청구의 범위

청구항 1.

복수의 픽셀 영역을 포함하는 액정 디스플레이로서, 각각의 픽셀 영역은,

액정 층이 사이에 삽입된채 서로 대향하여 배치되는 제 1기판 및 제 2기판과;

상기 제 1기판의 부분 위에 형성된 제 1픽셀 전극과 제 1픽셀 구동 디바이스로서, 상기 제 1픽셀 전극은 상기 제 1픽셀 구동 디바이스와 전기적으로 연결되는, 제 1픽셀 전극 및 제 1픽셀 구동 디바이스와;

상기 제 1기판의 부분 위에 형성된 제 2픽셀 전극과 제 2픽셀 구동 디바이스로서, 상기 제 2픽셀 전극은 상기 제 2픽셀 구동 디바이스와 전기적으로 연결되는, 제 2픽셀 전극과 제 2픽셀 구동 디바이스; 및

상기 제 2기관 내부에 형성된 공통 전극을 포함하고;

상기 제 1 및 제 2픽셀 구동 디바이스는 서로 다른 ON 전류(I_{on})를 가져, 상기 제 1 및 제 2픽셀 전극이 서로 다른 전압을 갖게 하는 액정 디스플레이.

청구항 2.

제 1항에 있어서, 상기 액정 층은 서로 다른 배향 방향을 갖는 2개의 액정 배향 영역을 포함하는 액정 디스플레이.

청구항 3.

제 1항에 있어서, 상기 액정 층은 TN(twisted nematic)형 액정 분자를 포함하는 액정 디스플레이.

청구항 4.

제 1항에 있어서, 상기 제 1 및 제 2픽셀 전극은 인듐 주석 산화물(ITO) 또는 인듐 아연 산화물(IZO) 층인 액정 디스플레이.

청구항 5.

제 1항에 있어서, 상기 공통 전극은 ITO 또는 IZO 층인 액정 디스플레이.

청구항 6.

제 1항에 있어서, 상기 제 1픽셀 구동 디바이스는 제 1박막 트랜지스터인 액정 디스플레이.

청구항 7.

제 6항에 있어서, 상기 제 2픽셀 구동 디바이스는 제 2박막 트랜지스터인 액정 디스플레이.

청구항 8.

제 7항에 있어서, 상기 제 1 및 제 2박막 트랜지스터는 동일한 게이트, 동일한 채널 층 및 동일한 소스를 포함하는 액정 디스플레이.

청구항 9.

제 8항에 있어서, 상기 제 1박막 트랜지스터는 상기 제 1픽셀 전극에 전기적으로 연결된 제 1폭("W1")을 갖는 제 1드레인을 포함하고, 상기 제 2박막 트랜지스터는 상기 제 2픽셀 전극에 전기적으로 연결된 제 2폭("W2")을 갖는 제 2드레인을 포함하고, 상기 제 1드레인과 상기 소스 사이에 제 1간격("L1")이 존재하고, 상기 제 2드레인과 상기 소스 사이에 제 2간격("L2")이 존재하고, W1, W2, L1 및 L2 간의 관계는 $W1/L1 \neq W2/L2$ 를 충족시키는 액정 디스플레이.

청구항 10.

제 1항에 있어서, 상기 제 1기판 위에 형성된 가로로 확장되는 저장 커패시턴스 전극 라인을 더 포함하는 액정 디스플레이.

청구항 11.

복수의 픽셀 영역을 포함하는 액정 디스플레이로서, 각각의 픽셀 영역은,

제 1기판 상에 형성된, 가로로 확장되는 게이트 라인 및 세로로 확장되는 소스 라인과;

상기 게이트 라인과 상기 소스 라인의 교차부 주위에 배치된 박막 트랜지스터로서, 제 1드레인과 제 2드레인을 포함하는 박막 트랜지스터와;

제 1영역("A1")을 갖는 제 1픽셀 전극으로서, 상기 제 1영역은 상기 제 1드레인을 통해 상기 소스 라인에 전기적으로 연결되어 상기 제 1픽셀 전극이 제 1전압을 갖게 하는, 제 1픽셀 전극과;

제 2영역("A2")을 갖는 제 2픽셀 전극으로서, 상기 제 2영역은 상기 제 2드레인을 통해 상기 소스 라인에 전기적으로 연결되어 상기 제 2픽셀 전극이 제 2전압을 갖게 하는데, 여기에서 상기 제 1 및 제 2전압 간에 전압 강하(ΔV)가 발생하는, 제 2픽셀 전극과;

상기 제 1기판에 대향하는 제 2기판과;

상기 제 2기판의 내부에 형성된 공통 전극; 및

상기 제 1 및 제 2기판 사이에 삽입된 액정 층을 포함하는 액정 디스플레이.

청구항 12.

제 11항에 있어서, 상기 액정 층은 서로 다른 배향 방향을 갖는 2개의 액정 배향 영역을 포함하는 액정 디스플레이.

청구항 13.

제 11항에 있어서, 상기 액정 층은 TN(twisted nematic)형 액정 분자를 포함하는 액정 디스플레이.

청구항 14.

제 11항에 있어서, 상기 제 1 및 제 2픽셀 전극은 ITO 또는 IZO 층인 액정 디스플레이.

청구항 15.

제 11항에 있어서, 상기 공통 전극은 ITO 또는 IZO 층인 액정 디스플레이.

청구항 16.

제 11항에 있어서, 상기 박막 트랜지스터는 게이트, 채널 층 및 소스를 포함하고, 상기 게이트는 상기 게이트 라인에 전기적으로 연결되고, 상기 소스는 상기 소스 라인에 전기적으로 연결되는 액정 디스플레이.

청구항 17.

제 16항에 있어서, 상기 제 1드레인은 제 1폭("W1")을 갖고, 상기 제 2드레인은 제 2폭("W2")을 갖고, 상기 제 1드레인과 상기 소스 사이에는 제 1간격("L1")이 존재하고, 상기 제 2드레인과 상기 소스 사이에는 제 2간격("L2")이 존재하며, W1, W2, L1 및 L2 간의 관계는 $W1/L1 \neq W2/L2$ 를 충족시키는 액정 디스플레이.

청구항 18.

제 11항에 있어서, 상기 제 1기판의 부분 위에 형성된 가로로 확장되는 저장 커패시턴스 전극 라인을 더 포함하는 액정 디스플레이.

청구항 19.

제 11항에 있어서, 상기 소스 라인은 구동 전압("Vs")을 상기 박막 트랜지스터에 인가하고, $0 < \Delta V < 0.6V_s$ 이면, A1과 A2 간의 관계는 $0 < A1/(A1 + A2) < 0.8$ 을 충족시키는 액정 디스플레이.

청구항 20.

제 11항에 있어서, 상기 소스 라인은 구동 전압("Vs")을 상기 박막 트랜지스터에 인가하고, ΔV 가 $0.6V_s$ 이면, A1과 A2 간의 관계는 $0.45 < A1/(A1 + A2) < 0.8$ 을 충족시키는 액정 디스플레이.

명세서**발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 액티브 액정 디스플레이에 관한 것으로, 보다 상세하게는 그레이 스케일이 개선된 액정 디스플레이에 관한 것이다.

종래의 TN(twisted nematic) 모드 액정 디스플레이에 있어서, 절반 톤의 그레이에서 그레이 스케일 반전은 시야 각도 특성에 대한 문제점이다. TN 모드 액정 디스플레이에 있어서, 그레이 스케일 반전은 윗방향과 수평 방향으로 쉽게 발생하지 않지만, 아래 방향으로 쉽게 발생한다. 도 1은 종래의 TN 모드 액정 디스플레이에 대한 정상적인 백색 모드에서 아래 방향에서의 상대적인 휘도 차이의 시야 각도 의존성을 도시한다. 곡선(12, 23, 34 및 45)은 각각, 그레이 스케일 계조(1과 2, 2와 3, 3과 4, 및 4와 5)의 사이에서 상대적인 휘도 차이의 시야 각도 의존성을 도시한다. 도 1로부터 명백한 바와 같이, 종래의 TN 모드 액정 디스플레이가 약 20°로 관측될 때, 곡선(34)의 상대적인 휘도 차이는 0이고, 그레이 스케일 반전(GS)이 발생하여 아래 방향으로부터 디스플레이 품질이 현저하게 악화되는 것을 이해할 수 있다.

본 명세서에서 참조로서 그 전체가 병합되고, 히라타(Hirata) 등에 의한 미국특허 제6,342,939호는 액정 층이 사이에 삽입된 한 쌍의 대향 투명 기판을 포함하고, 시야 특성이 개선된 액정 디스플레이를 개시하였다. 투명 전극은 각 기판의 액정층 측에 형성된다. 쌍으로 배치된 대향 투명 전극은 적어도 한 픽셀의 하나의 디스플레이 영역 내에서 2개 이상의 다른 셀 간극을 갖는다.

그 전체가 본 명세서에 참조로서 병합되고, 나카야마(Nakayama) 등에 의한 미국 특허출원(출원 공개 제2002/0105614 호)은 액정 디스플레이의 어레이 기판을 개시하였다. 어레이 기판에 있어서, 제 2픽셀 전극은 절연층 위의 한 층에 배치되고, 이 절연층은 그 자체가 제 1픽셀 전극 위의 한 층에 배치된다. 제 2픽셀 전극은 제 1픽셀 전극과 전기적으로 연결되고, 제 1픽셀 전극과 겹치지 않는 영역을 가져, 시야 각도 특성을 개선시킨다.

발명이 이루고자 하는 기술적 과제

그레이 스케일(또는 시야 각도 특성)이 개선된 액정 디스플레이가 제공된다. 액정 디스플레이의 예시적인 실시예는 복수의 픽셀 영역을 포함하고, 각각의 픽셀 영역은 액정 층이 사이에 삽입된 채 서로 대향하여 배치된 제 1기판 및 제 2기판을 포함한다. 제 1픽셀 전극과 제 1픽셀 구동 디바이스는 제 1기판의 부분 위에 형성되는데, 제 1픽셀 전극은 제 1픽셀 구동 디바이스에 전기적으로 연결된다. 제 2픽셀 전극과 제 2픽셀 구동 디바이스는 제 1기판의 부분 위에 형성되는데, 제 2픽셀 전극은 제 2픽셀 구동 디바이스에 전기적으로 연결된다. 공통 전극은 제 2기판의 내부에 형성된다. 제 1 및 제 2픽셀 구동 디바이스는 서로 다른 도통(ON) 전류(I_{ON})를 가져, 서로 다른 전압을 갖는 제 1 및 제 2픽셀 전극이 얻어진다.

액정 디스플레이의 다른 예시적인 실시예는 복수의 픽셀 영역을 포함하고, 각각의 픽셀 영역은 제 1기판 위에 형성된 가로로 확장되는 게이트 라인과 세로로 확장되는 소스 라인을 포함한다. 박막 트랜지스터가 게이트 라인과 소스 라인의 교차부 근처에 배치되는데, 이러한 박막 트랜지스터는 제 1드레인과 제 2드레인을 포함한다. 제 1영역을 갖는 제 1픽셀 전극은 제 1드레인을 통해 소스 라인에 전기적으로 연결되어 제 1픽셀 전극이 제 1전압을 갖도록 한다. 제 2영역을 갖는 제 2픽셀 전극은 제 2드레인을 통해 소스 라인에 전기적으로 연결되어 제 2픽셀 전극이 제 2전압을 갖도록 한다. 제 1 및 제 2전압 간에 전압 강하가 발생한다. 제 1기판과 대향하는 제 2기판이 제공된다. 공통 전극은 제 2기판의 내부에 형성된다. 액정층은 제 1기판과 제 2기판 사이에 삽입된다.

또한, 제 1 및 제 2픽셀 구동 디바이스의 실시예는, 동일한 게이트, 동일한 채널 층, 동일한 소스 및 2개의 다른 드레인(즉, 제 1드레인 및 제 2드레인)을 포함하는 2개의 박막 트랜지스터가 될 수 있다.

액정의 각 픽셀 영역은 서로 다른 전압을 갖는 제 1픽셀 전극과 제 2픽셀 전극을 포함한다. 제 1 및 제 2픽셀 전극은 서로 다른 ON 전류를 갖는 제 1 및 제 2픽셀 구동 디바이스에 각각 전기적으로 연결되어, 2개의 액정 배향 영역을 포함하는 액정 층이 서로 다른 배향 방향을 갖도록 한다. 따라서, 그레이 스케일 반전이 발생하는 각도가 아래 방향으로 넓어져서, 시야 각도 특성을 개선시킨다.

본 개시 사항의 실시예에 대한 추가의 적용 가능한 범주는 이하에 주어진 상세한 설명으로부터 자명해질 것이다. 이러한 상세한 설명으로부터 본 개시 사항의 사상과 범주내에 드는 다양한 변화와 변경이 당업자에게는 명백할 것이기 때문에, 상세한 설명 및 특정 실시예는 단지 예시를 위하여 제동되는 것으로 이해해야 한다.

그레이 스케일이 개선된 액정 디스플레이는 첨부된 도면을 예로 들고 이를 참조한 다음의 상세한 설명을 읽음으로써 보다 더 완벽하게 이해될 수 있을 것이다.

발명의 구성

제 1 실시예

도 2는 액정 디스플레이의 제 1 실시예의 어레이 기판 내에서 픽셀 영역의 일 실시예의 평면도이다. 도 3은 도 2의 선 3-3을 따라 취한 픽셀 영역(P)의 단면도이다. 도 6은 어레이 기판, 대향 기판 및 그들 사이에 삽입된 액정을 포함하는 액정 디스플레이의 단면도이다. 도 2에 있어서, 액정 디스플레이는 어레이 매트릭스로 배열된 복수의 픽셀 영역(P)을 포함한다. 픽셀 영역(P)은 교차하는 게이트 및 소스(또는 데이터) 라인(210 및 240)에 의해 규정된다. 도면을 간단히 하기 위하여, 다수의 픽셀 영역(P)이 존재할 것이지만, 도 2와 도 6에는 하나의 픽셀 영역(P)이 도시되어 있다.

도 2와 도 3에 있어서, 가로로 확장되는 게이트 라인(210)과 가로로 확장되는 저장 커패시턴스 전극 라인(212)(이후로는 Cs 라인으로 언급)은 제 1기판(200)의 부분 위에 배치된다. 하부 기판(200)으로 작용하는 제 1기판(200)은 유리 또는 수정이 될 수 있다. 게이트 라인(210)은 게이트(215)로서 작용하는 돌출부를 포함한다. 게이트 라인(210)과 Cs 라인(212)은

Al, Cr, Mo 또는 다른 전도성 재질을 포함할 수 있다. 게이트 라인(210)과 Cs 라인(212)은 동일한 증착에 의해서 동시에 형성될 수 있다. 이후 게이트 절연 층(220)은 제 1 기판(200) 위에 전체에 걸쳐 놓인다. 게이트 절연층(220)은 예컨대 증착에 의해 형성되는 SiO_2 가 될 수 있다.

채널 층(230)으로 작용하는 반도체 층(230)은 게이트 절연층(220)의 부분 위에 놓인다. 채널 층(230)은 예컨대 증착에 의해 형성되는 실리콘이 될 수 있다.

세로로 확장되는 소스 라인(240)은 게이트 절연 층(220)의 부분 위에 배치된다. 소스 라인(240)은 채널 층(230)의 부분 위로 확장되는 소스(242)를 포함한다. 제 1드레인(244)과 제 2드레인(245)은 채널 층(230)과 게이트 절연 층(220)의 부분 위에 배치된다. 제 1드레인(244)은 Cs 라인(212)의 부분과 겹쳐지는 제 1확장부(244')를 포함한다. 제 2드레인(245)은 Cs 라인의 부분과 겹쳐지는 제 2확장부(245')를 포함한다. 소스 라인(240), 소스(242) 및 드레인(244 및 245)은 Al, Cr, Mo 또는 다른 전도성 재질을 포함할 수 있다. 소스 라인(240), 소스(242) 및 드레인(244 및 245)은 동일한 증착 절차에 의해 동시에 형성될 수 있다. 따라서, 게이트(215), 게이트 절연층(220), 채널 층(230), 소스(242) 및 제 1드레인(244)은 제 1픽셀 구동 디바이스로 작용하는 제 1박막 트랜지스터(TFT1)를 구성한다. 게이트(215), 게이트 절연층(220), 채널 층(230), 소스(242) 및 제 2드레인(245)은 제 1픽셀 구동 디바이스로 작용하는 제 2박막 트랜지스터(TFT2)를 구성한다. 박막 트랜지스터(TFT1 및 TFT2)는 다음에 기술된 픽셀 전극을 전기적으로 충전/방전시키기 위한 스위칭 소자로서 작용한다. 박막 트랜지스터(TFT1 및 TFT2)는 서로 다른 ON 전류(I_{ON})를 가짐을 주목해야 한다.

이 경우, 박막 트랜지스터(TFT1 및 TFT2)가 동일한 게이트(215), 동일한 채널 층(230) 및 동일한 소스(242)를 공유할지라도, 박막 트랜지스터(TFT1 및 TFT2)는 2개의 다른 게이트, 채널 층, 소스 및 드레인을 각각 갖는 2개의 독립된 디바이스일 수 있다. 본 개시 내용의 양상을 모호하게 하지 않기 위하여, 본 명세서에서는 2개의 독립된 박막 트랜지스터의 구성에 대한 설명을 생략한다.

절연 층(250)은 제 1기판(200) 위에 전체에 걸쳐 놓인다. 절연 층(250)은 예컨대 증착 또는 코팅에 의해 형성된 유기 또는 무기 층일 수 있다. 절연 층(250) 상에서 포토리소그래피 및 에칭을 수행함으로써, 제 1확장부(244')를 노출시키는 제 1홀(252)과 제 2확장부(245')를 노출시키는 제 2홀(254)이 형성된다. 그후, 제 1영역(A1)을 갖는 제 1픽셀 전극(260)과 제 2영역(A2)을 갖는 제 2픽셀 전극(265)은 절연 층(250) 상에 규정된다. 제 1픽셀 전극(260)은 제 1홀(252)을 채워, 제 1드레인(244)을 전기적으로 연결시키고, 제 2픽셀 전극(265)은 동시에 제 2홀(254)을 채워 제 2드레인(245)을 전기적으로 연결시킨다. 박막 트랜지스터(TFT1 및 TFT2)는 서로 다른 ON 전류(I_{ON})를 갖기 때문에, 제 1픽셀 전극(260)은 제 1전압(V1)을 갖고, 제 2픽셀 전극은 제 2전압(V2)을 갖는다. 제 1전압(V1)과 제 2전압(V2) 간에는 전압 강하(ΔV)가 발생함을 주목해야 한다.

도 4 및 도 5는 서로 다른 전압을 갖는 제 1 및 제 2픽셀 전극(260 및 265)을 설명하기 위하여 사용된다. 도 4는 제 1 및 제 2박막 트랜지스터(TFT1 및 TFT2) 구성의 일 실시예를 도시하는 확대도이다. 도 5는 제 1 및 제 2박막 트랜지스터(TFT1 및 TFT2)의 동작을 설명하기 위한 그래프이다. 도 4를 참조하면, 제 1드레인(244)은 제 1폭(W1)을 갖고, 제 2드레인(245)은 제 2폭(W2)을 가지며, 제 1드레인(244)과 소스(242) 사이에 제 1간격(L1)이 존재하며, 제 2드레인(245)과 소스(242) 사이에 제 2간격(L2)이 존재한다. W1, W2, L1 및 L2 간의 관계는 $W1/L1 \neq W2/L2$ 를 충족시켜, 박막 트랜지스터(TFT1 및 TFT2)가 서로 다른 ON 전류(I_{ON})를 갖도록 한다. 도 5를 참조하면, 소스 라인(240)이 박막 트랜지스터(TFT1 및 TFT2)에 전압(V_s)을 인가하고, 게이트(215)의 게이트 턴온 시간(t_{on})이 대략 10~30 μsec 로 설정되면, 서로 다른 ON 전류(I_{ON})를 갖는 박막 트랜지스터(TFT1 및 TFT2)로 인해 대전된 픽셀 전극(260과 265) 사이에는 전압 강하(ΔV)가 발생한다.

도 6에 있어서, 픽셀 전극(260과 265)과 절연 층(250) 위에 정렬 막(270)이 배치된다. 제 2기판(600)은 제 1기판(200)에 대향하여 제공된다. 제 2 기판(600)은 그 위에 형성된 컬러 필터(610)를 포함하는 유리 기판이 될 수 있다. 공통 전극(620)은 컬러 필터(610)의 내부에 배치된다. 공통 전극(620)은 예컨대 증착에 의해 형성되는 ITO 또는 IZO가 될 수 있다. 다른 정렬 막(630)은 공통 전극(620) 상에 배치된다.

그후 TN(트위스티드 네마틱)형 액정 분자(635)와 같은 액정 재질이 제 1기판(200)과 제 2기판(600) 간의 공간에 채워져서, 액정 층(640)을 구성한다. 액정 층(640)의 두께는 대략 2~10 μm 이고, 바람직하게는 5 μm 이다. 제 1픽셀 전극(260)의 제 1전압(V1)은 제 2픽셀 전극(265)의 제 2전압(V2)과 다르므로, 액정 분자(635)는 제 1 및 제 2픽셀 전극(260과 265) 위에서 서로 다른 배향 방향(화살표로 도시)을 갖는다. 즉, 액정 층(635)은 서로 다른 배향 방향을 갖는 2개의 액정 배향 영역을 포함한다. 따라서, 그레이 스케일 반전(또는 시야 각도 특성)이 개선된다.

도 7은 제 1 및 제 2픽셀 전극(260,265)의 전체 면적(A1+ A2)에 대한 제 1픽셀 전극(260)의 면적(A1)의 비와, 아래 방향으로 발생하는 그레이 스케일 반전이 발생할 때의 각도 간의 관계를 나타내는 그래프이다. 도 7에 있어서, 시험 조건은 제 1 및 제 2픽셀 전극(260 및 265) 간의 다양한 전압 강하($\Delta V=0, 0.1V_s, 0.2V_s, 0.4V_s, 0.6V_s$ 및 $0.8V_s$)로 설정된다. 현재의 액정 디스플레이의 전압 강하(ΔV)가 $0<\Delta V<0.6V_s$ 를 충족시키면, 그레이 스케일 반전이 발생하는 각도는 $0<A1/(A1+ A2)<0.8$ 의 조건 하에서 20° 보다 크다. 부가적으로, 현재의 액정 디스플레이의 전압 강하(ΔV)가 $0.6V_s$ 이면, 그레이 스케일 반전이 발생하는 각도는 $0.45 < A1/(A1+ A2) < 0.8$ 의 조건 하에서 20° 보다 크다. 이것은 그레이 스케일 반전이 발생하는 각도가 종래의 TN 모드 액정 디스플레이와 비교하여 아래 방향으로 확대됨을 입증한다.

제 1 실시예의 예시적인 시험이 본 명세서에 기술되었지만, 본 개시사항을 한정하고자 한 것은 아니다. 이 시험에 있어서, 75Hz의 스캐닝 주파수와 1025×768 해상도를 갖는 TN 모드 액정 디스플레이가 채용되었다. 도 4 및 도 5를 참조하면, 제 1박막 트랜지스터(TFT1)의 W1/L1의 비는 3으로 설정되고, 제 2박막 트랜지스터(TFT2)의 W2/L2의 비율은 0.889로 설정되고, 게이트(215)의 게이트 턴온 시간(t_{on})은 10 μ sec로 설정되며, 소스 라인(240)으로부터 제공되는 구동 전압(V_s)은 5V로 설정된다. 따라서, 제 1박막 트랜지스터(TFT1)에 전기적으로 연결된 제 1픽셀 전극(260)의 충전율(CR1)은 대략 99.36%를 얻는다. 제 2박막 트랜지스터(TFT2)에 전기적으로 연결된 제 2픽셀 전극(265)의 충전율(CR2)은 대략 76.71%를 얻는다. 시험의 계산은 다음과 같다.

액정 디스플레이의 픽셀의 구동 동작은 도 8에 도시된 바와 같이, RC 회로로 참조될 수 있다. 게이트 턴온 시간(t_{on}) 이후, 픽셀 전극의 전압(V_p)은 다음의 수학적 식 1로 표현된다. 충전율(CR)은 다음의 수학적 식 2로 표현된다. 박막 트랜지스터의 ON 저항은 다음의 수학적 식 3으로 표현된다.

$$V_p = V_s \left(1 - e^{-\frac{t_{on}}{R_{on}(C_{LC} + C_{CS})}} \right)$$

$$CR = V_p / V_s = \left(1 - e^{-\frac{t_{on}}{R_{on}(C_{LC} + C_{CS})}} \right)$$

$$R_{on} = V_{SD} / I_{on} = \frac{1}{2} \frac{W}{L} C_{ox} (V_{gh} - V_{th})^2$$

다음의 시험 파라미터는 시험을 계산하기 위하여 사용된다. 액정의 커패시턴스(C_{LC})는 $0.4298E-12$ F이다. 저장 커패시턴스(C_{CS})는 $0.1896E-12$ F이다. 소스와 드레인 간의 전위차(V_{SD})는 10V(즉, 소스와 드레인 간의 반전 극성 전위는 $\pm 5V$ 이다)이다. 박막 트랜지스터의 전계 효과 이동도(μ)는 $0.35E-4 m^2/V$ 이다. 게이트 절연막의 단위 면적당 커패시턴스(C_{OX})는 $1.49E-4$ F/ m^2 이다. 박막 트랜지스터가 ON 상태일 때, 가장 높은 게이트 전압(V_{gh})는 22V이다. 박막 트랜지스터의 임계 전압(V_{th})는 2V이다.

제 1박막 트랜지스터(TFT1)를 고려하면, W1/L1의 비가 3이므로, 박막 트랜지스터의 ON 저항(R_{on})은 $3.2E6\Omega$ 이고, 제 1픽셀 전극(260)의 충전율(CR1)은 99.36%이다. 제 2박막 트랜지스터(TFT2)를 고려하면, W2/L2의 비가 0.889이므로, 박막 트랜지스터의 ON 저항(R_{on})은 $11.08E6\Omega$ 이고, 제 2픽셀 전극(265)의 충전율(CR2)은 76.71%이다. 따라서, 제 1픽셀 전극(260)과 제 2픽셀 전극(265) 간의 전압 강하(ΔV)는 1.1V이다.

$$\text{전압 강하}(\Delta V) = (CR1 - CR2) * V_s = 22.65\% * 5V = 1.1V$$

도 7에 도시된 바와 같이, 전압 강하(ΔV)가 $0.2V_s$ 이면, 그레이 스케일의 반전이 발생할 때의 각도는 25° 보다 크다. 따라서, 시험은 액정 디스플레이의 실시예가 그레이 스케일을 개선시키고, 더 넓은 시청 각도를 가짐을 입증한다.

제 2 실시예

도 9는 액정 디스플레이의 제 2 실시예의 픽셀 영역(P)의 평면도이다. 이 실시예에 있어서, 픽셀 전극(260 및 265)의 부분은 제 1기판(200) 위에 놓이는 Cs 라인(212)가 아니라 게이트 라인(210)과 겹쳐진다. 픽셀 영역(P)의 개구비는 따라서 증가한다. 제 2 실시예의 액정 디스플레이의 구성은 제 1 실시예의 구성과 유사하므로, 구성에 대한 상세한 설명은 생략한다.

발명의 효과

예를 통해서 그리고 양호한 실시예를 통해서 본 발명을 설명하였으나, 본 발명이 이들로 한정되지 않음을 이해해야 한다. 반대로, 당업자에게는 자명할 다양한 변경과 유사한 장치를 포함하는 것으로 보아야 한다. 그러므로, 첨부된 청구범위의 범주는 이러한 모든 변경 및 유사한 장치를 포함하도록 가장 넓게 해석해야 한다.

도면의 간단한 설명

도 1은 종래의 TN 모드 액정 디스플레이에 대한 정상적인 백색 모드에서 아래 방향에서의 상대적인 휘도 차이의 시야 각도 의존성을 도시하는 도면.

도 2는 액정 디스플레이의 제 1실시예의 어레이 기관 내에서 픽셀 영역의 일실시예의 평면도.

도 3은 도 2의 선 3-3을 따라 취한 픽셀 영역의 단면도.

도 4는 제 1 및 제 2박막 트랜지스터 구성의 일 실시예를 도시하는 확대도.

도 5는 제 1 및 제 2박막 트랜지스터 동작의 일 실시예를 도시하는 그래프.

도 6은 액정 디스플레이의 제 1실시예의 단면도.

도 7은 액정 디스플레이의 일 실시예에서 $A1/(A1+A2)$ ($A1$ 은 제 1픽셀 전극의 면적, $A2$ 는 제 2픽셀 전극의 면적)의 비와, 그레이 스케일 반전이 발생할 때의 각도 간의 관계를 도시하는 그래프.

도 8은 액정 디스플레이의 제 1실시예의 각 픽셀 전극의 전압을 계산하기 위한 것으로 설명을 위한 RC 회로도.

도 9는 액정 디스플레이의 제 2실시예의 픽셀 영역의 일 실시예의 평면도.

<도면 주요 부분에 대한 부호의 설명>

200 : 제 1기관 210 : 게이트 라인

212 : Cs 라인 215 : 게이트

220 : 게이트 절연층 230 : 채널층

240 : 소스 라인 242 : 소스

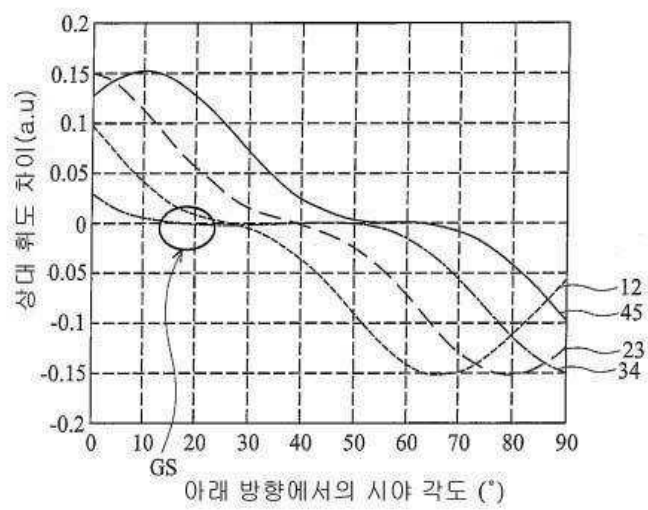
244 : 제 1드레인 245 : 제 2드레인

250 : 절연층 260 : 제 1픽셀 전극

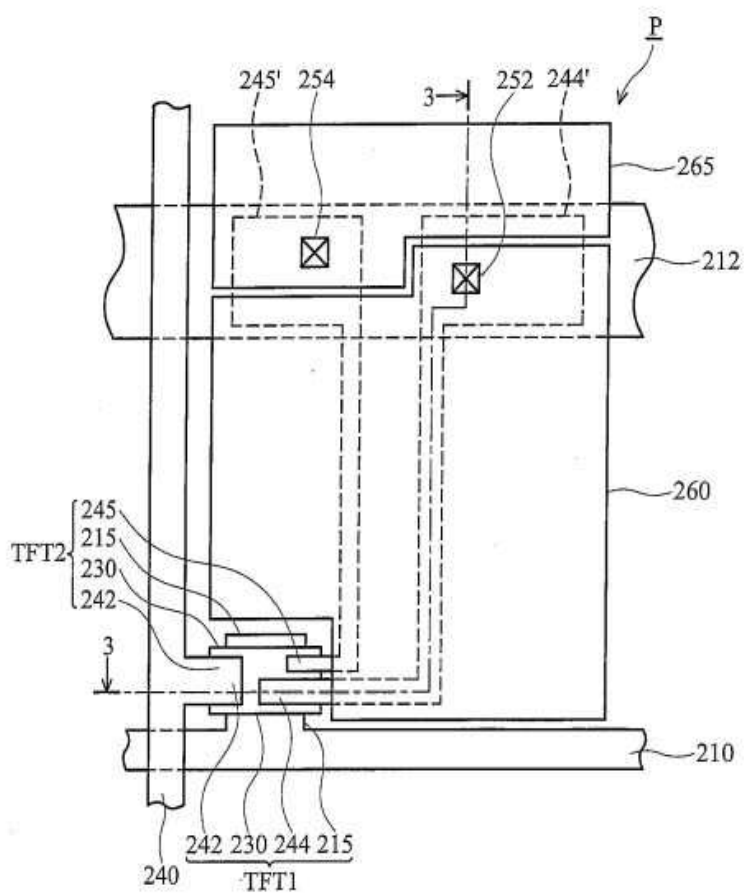
265 : 제 2픽셀 전극

도면

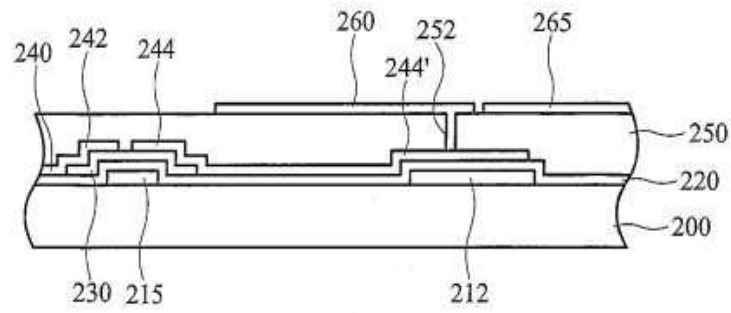
도면1



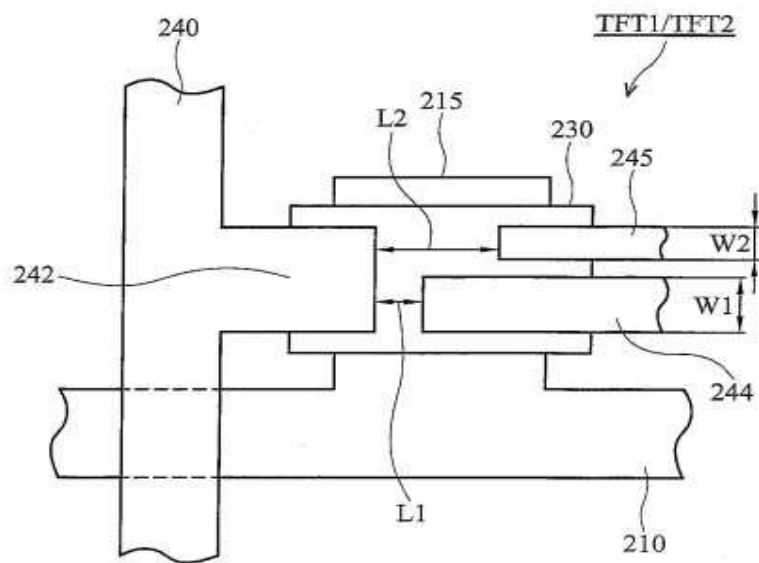
도면2



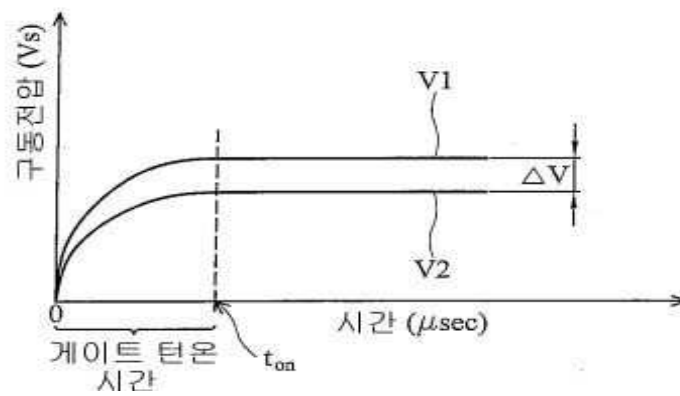
도면3



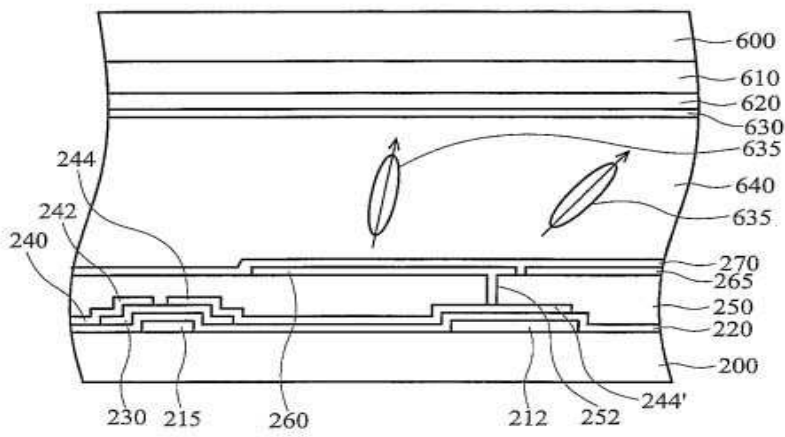
도면4



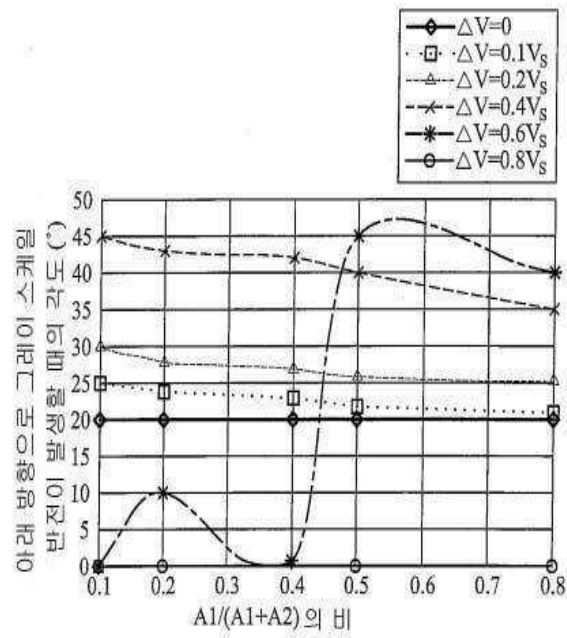
도면5



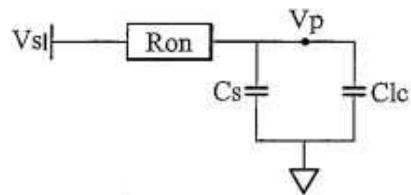
도면6



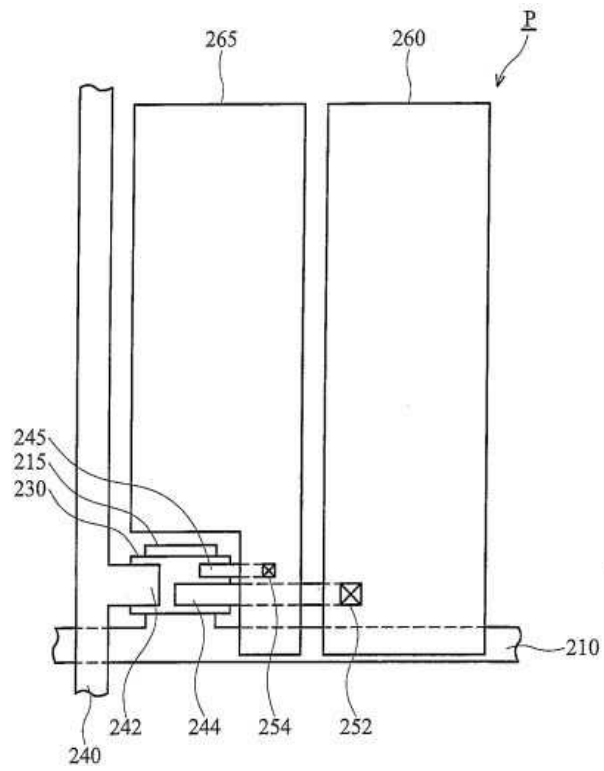
도면7



도면8



도면9



专利名称(译)	具有改善的灰度级的液晶显示器		
公开(公告)号	KR1020070002777A	公开(公告)日	2007-01-05
申请号	KR1020050058443	申请日	2005-06-30
[标]申请(专利权)人(译)	广辉电子股份有限公司		
申请(专利权)人(译)	권상显示的大		
当前申请(专利权)人(译)	권상显示的大		
[标]发明人	CHIU CHUN CHANG		
发明人	CHIU, CHUN CHANG		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/1343 G02F1/1368 G02F2001/134345		
其他公开文献	KR100676510B1		
外部链接	Espacenet		

摘要(译)

用途：通过形成包括具有不同取向方向的两个液晶取向区域的液晶层，提供具有改善的灰度级的LCD以改善灰度级反转或视角特性。

