



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

(11) 공개번호 10-2007-0002412

(43) 공개일자 2007년01월05일

(21) 출원번호 10-2005-0057941

(22) 출원일자 2005년06월30일

심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 유준석
서울 서초구 서초동 1494-6번지 로얄카운티빌라 302
윤진모
서울 강남구 역삼동 741-13 월드 빌리지 B-B203

(74) 대리인 김영호

전체 청구항 수 : 총 11 항

(54) 액정표시장치의 아날로그 샘플링 장치

(57) 요약

본 발명은 샘플링시간과 데이터 구동시간을 충분히 확보하도록 한 액정표시장치의 아날로그 샘플링 장치에 관한 것이다.

이 액정표시장치의 아날로그 샘플링 장치는 아날로그 데이터전압을 발생하는 데이터 구동부와; 상기 아날로그 데이터전압이 공급되는 데이터 출력버스 라인과; 상기 데이터 출력버스 라인에 접속되고 오픈전압이 보상된 상기 아날로그 데이터전압을 액정표시패널의 데이터라인에 공급하는 제1 샘플&홀드회로와; 상기 데이터 출력버스 라인에 접속되고 상기 제1 샘플&홀드회로에 의해 데이터라인에 상기 아날로그 데이터전압이 공급되는 동안 상기 아날로그 데이터전압을 샘플링하는 제2 샘플&홀드회로를 구비한다.

대표도

도 4

특허청구의 범위

청구항 1.

아날로그 데이터전압을 발생하는 데이터 구동부와;

상기 아날로그 데이터전압이 공급되는 데이터 출력버스 라인과;

상기 데이터 출력버스 라인에 접속되고 오프셋전압이 보상된 상기 아날로그 데이터전압을 액정표시패널의 데이터라인에 공급하는 제1 샘플&홀드회로와;

상기 데이터 출력버스 라인에 접속되고 상기 제1 샘플&홀드회로에 의해 데이터라인에 상기 아날로그 데이터전압이 공급되는 동안 상기 아날로그 데이터전압을 샘플링하는 제2 샘플&홀드회로를 구비하고;

상기 제1 및 제2 샘플&홀드회로는 상기 아날로그 데이터전압의 공급과 상기 아날로그 데이터전압의 샘플링 동작을 교대로 하는 것을 특징으로 하는 액정표시장치의 아날로그 샘플링 장치.

청구항 2.

제 1 항에 있어서,

샘플링신호를 순차적으로 발생하는 쉬프트 레지스터와;

1 수평기간의 펄스폭을 가지며 2수평기간의 주기를 가지는 A 제어신호와 상기 A 제어신호와 역위상인 B 제어신호를 발생하여 상기 샘플&홀드회로들을 제어함과 아울러 상기 데이터 구동부와 상기 쉬프트 레지스터를 제어하는 타이밍 콘트롤러를 더 구비하는 것을 특징으로 하는 액정표시장치의 아날로그 샘플링 장치.

청구항 3.

제 2 항에 있어서,

상기 샘플링신호와 상기 A 제어신호를 논리곱하여 상기 제1 샘플&홀드회로에 입력하는 제1 AND 게이트와;

상기 샘플링신호와 상기 B 제어신호를 논리곱하여 상기 제2 샘플&홀드회로에 입력하는 제2 AND 게이트를 더 구비하는 것을 특징으로 하는 액정표시장치의 아날로그 샘플링 장치.

청구항 4.

제 3 항에 있어서,

상기 제1 샘플&홀드회로는

상기 데이터 출력버스 라인에 접속되고 상기 제1 AND 게이트의 출력신호에 의해 제어되는 제1 스위치소자와;

상기 제1 스위치소자에 접속된 제1 커패시터와;

상기 제1 커패시터에 접속된 제1 버퍼와;

상기 제1 스위치소자와 상기 제1 커패시터 사이의 노드와 상기 제1 버퍼의 출력단자 사이에 접속되어 상기 A 제어신호에 의해 제어되는 제2 스위치소자와;

상기 제1 버퍼와 상기 데이터라인 사이에 접속되어 상기 A 제어신호에 의해 제어되는 제3 스위치소자를 구비하는 것을 특징으로 하는 액정표시장치의 아날로그 샘플링 장치.

청구항 5.

제 4 항에 있어서,

상기 제2 샘플&홀드회로는

상기 데이터 출력버스 라인에 접속되고 상기 제2 AND 게이트의 출력신호에 의해 제어되는 제4 스위치소자와;

상기 제4 스위치소자에 접속된 제2 커패시터와;

상기 제2 커패시터에 접속된 제2 버퍼와;

상기 제4 스위치소자와 상기 제2 커패시터 사이의 노드와 상기 제2 버퍼의 출력단자 사이에 접속되어 상기 B 제어신호에 의해 제어되는 제5 스위치소자와;

상기 제2 버퍼와 상기 데이터라인 사이에 접속되어 상기 B 제어신호에 의해 제어되는 제6 스위치소자를 구비하는 것을 특징으로 하는 액정표시장치의 아날로그 샘플링 장치.

청구항 6.

아날로그 데이터전압을 발생하는 데이터 구동부와;

상기 아날로그 데이터전압이 공급되는 데이터 출력버스 라인과;

상기 아날로그 데이터전압이 출력되는 출력노드와;

상기 데이터 출력버스 라인에 접속되고 상기 아날로그 데이터전압에서 오프셋전압을 보상하고 상기 오프셋전압이 보상된 아날로그 데이터전압으로 상기 출력노드의 전압을 제어하는 제1 샘플&홀드회로와;

상기 데이터 출력버스 라인에 접속되고 상기 제1 샘플&홀드회로에 의해 상기 출력노드의 전압이 제어되는 동안 상기 아날로그 데이터전압을 샘플링하는 제2 샘플&홀드회로를 구비하고;

상기 제1 및 제2 샘플&홀드회로는 상기 출력노드 전압의 제어와 상기 아날로그 데이터전압의 샘플링 동작을 교대로 하는 것을 특징으로 하는 액정표시장치의 아날로그 샘플링 장치.

청구항 7.

제 6 항에 있어서,

샘플링신호를 순차적으로 발생하는 쉬프트 레지스터와;

1 수평기간의 펄스폭을 가지며 2수평기간의 주기를 가지는 A 제어신호, 상기 A 제어신호와 역위상인 B 제어신호, 상기 1 수평기간 간격으로 발생하는 HSP 신호, 상기 B 제어신호가 하이논리일 때의 샘플링 시점에서 하이논리로 발생하는 $B \cap HSP$ 신호, 상기 A 제어신호가 하이논리일 때의 샘플링 시점에서 하이논리로 발생하는 $A \cap HSP$ 신호, 및 상기 데이터라인의 프리차지 기간과 데이터 공급기간을 지시하는 RSP 신호를 발생하여 상기 샘플&홀드회로들을 제어함과 아울러 상기 데이터 구동부와 상기 쉬프트 레지스터를 제어하는 타이밍 컨트롤러를 더 구비하는 것을 특징으로 하는 액정표시장치의 아날로그 샘플링 장치.

청구항 8.

제 7 항에 있어서,

상기 제1 샘플&홀드회로는

상기 아날로그 데이터전압이 입력되고 상기 BNHSP 신호에 의해 제어되는 제1 스위치소자와;

상기 제1 스위치소자에 접속된 제1 커패시터와;

상기 제1 커패시터에 접속된 제1 인버터와;

상기 제1 인버터에 접속된 제2 커패시터와;

상기 제2 커패시터에 접속된 제2 인버터와;

상기 제1 커패시터와 상기 제1 인버터 사이의 노드와 상기 제1 인버터의 출력단자 사이에 접속되고 상기 B 제어신호에 의해 제어되는 제2 스위치소자와;

상기 제2 커패시터와 상기 제2 인버터 사이의 노드와 상기 제2 인버터의 출력단자 사이에 접속되고 상기 B 제어신호에 의해 제어되는 제3 스위치소자를 구비하는 것을 특징으로 하는 액정표시장치의 아날로그 샘플링 장치.

청구항 9.

제 8 항에 있어서,

상기 제2 샘플&홀드회로는

상기 아날로그 데이터전압이 입력되고 상기 ANHSP 신호에 의해 제어되는 제4 스위치소자와;

상기 제4 스위치소자에 접속된 제3 커패시터와;

상기 제3 커패시터에 접속된 제3 인버터와;

상기 제3 인버터에 접속된 제4 커패시터와;

상기 제4 커패시터에 접속된 제4 인버터와;

상기 제3 커패시터와 상기 제3 인버터 사이의 노드와 상기 제3 인버터의 출력단자 사이에 접속되고 상기 A 제어신호에 의해 제어되는 제5 스위치소자와;

상기 제4 커패시터와 상기 제4 인버터 사이의 노드와 상기 제4 인버터의 출력단자 사이에 접속되고 상기 A 제어신호에 의해 제어되는 제6 스위치소자를 구비하는 것을 특징으로 하는 액정표시장치의 아날로그 샘플링 장치.

청구항 10.

제 9 항에 있어서,

상기 제1 스위치소자와 상기 제1 커패시터 사이의 노드와 상기 출력노드 사이에 접속되어 상기 A 제어신호에 응답하여 상기 아날로그 데이터 전압을 상기 출력노드로 공급하는 제1 트랜스미션 게이트와;

저전위전원전압이 공급되는 제1 트랜지스터와;

상기 제1 트랜지스터와 상기 출력노드 사이에 접속되는 제2 트랜지스터와;

고전위전원전압이 공급되고 상기 출력노드에 접속되는 제3 트랜지스터와;

상기 제1 인버터의 출력단자와 상기 제3 스위치소자 사이의 노드와 상기 제1 트랜지스터의 게이트단자 사이에 접속되고
상기 A 제어신호에 의해 제어되는 제2 트랜스미션 게이트와;

상기 제4 스위치소자와 상기 제3 커패시터 사이의 노드와 상기 출력노드 사이에 접속되어 상기 B 제어신호에 응답하여 상
기 아날로그 데이터 전압을 상기 출력노드로 공급하는 제3 트랜스미션 게이트와;

상기 제4 인버터의 출력단자와 상기 제6 스위치소자 사이의 노드와 상기 제1 트랜지스터의 게이트단자 사이에 접속되고
상기 B 제어신호에 의해 제어되는 제4 트랜스미션 게이트를 더 구비하는 것을 특징으로 하는 액정표시장치의 아날로그 샘플링 장치.

청구항 11.

제 10 항에 있어서,

상기 제1 및 제2 트랜지스터는 n 타입 TFT이고;

상기 제3 트랜지스터는 p 타입 TFT인 것을 특징으로 하는 액정표시장치의 아날로그 샘플링 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 샘플링시간과 데이터 구동시간을 충분히 확보하도록 한 액정표시장치의 아날로그 샘플링 장치에 관한 것이다.

액정표시장치(Liquid Crystal Display)는 비디오신호에 따라 액정셀들의 광투과율을 조절하여 화상을 표시하게 된다.

액티브 매트릭스(Active Matrix) 타입의 액정표시장치는 스위칭소자의 능동적인 제어가 가능하기 때문에 동영상 구현에 유리하다. 액티브 매트릭스 타입의 액정표시장치에 사용되는 스위칭소자로는 주로 박막트랜지스터(Thin Film Transistor; 이하 "TFT"라 한다)가 이용되고 있다.

이러한 액정표시장치는 도 1과 같이 다수의 데이터라인들(5)과 다수의 게이트라인들(6)이 교차되며 그 교차부에 액정셀들을 구동하기 위한 TFT들이 형성된 액정표시패널(2)과, 데이터라인들(5)에 데이터를 공급하기 위한 데이터 구동부(3)와, 게이트라인들(6)에 스캔펄스를 공급하기 위한 게이트 구동부(4)와, 데이터 구동부(3)와 게이트 구동부(4)를 제어하기 위한 타이밍 콘트롤러(1)를 구비한다.

액정표시패널(2)은 두 장의 유리기판 사이에 액정이 주입되며, 그 하부 유리기판 상에 데이터라인들(5)과 게이트라인들(6)이 직교된다. 데이터라인들(5)과 게이트라인들(6)의 교차부에 형성된 TFT는 게이트라인(6)으로부터의 스캔펄스에 응답하여 데이터라인들(5)로부터의 데이터를 액정셀에 공급하게 된다. 이를 위하여, TFT의 게이트전극은 게이트라인(6)에 접속되며, 소스전극은 데이터라인(5)에 접속된다. 그리고 TFT의 드레인전극은 액정셀(Clc)의 화소전극에 접속된다. 또한, 액정표시패널(2)의 하부유리기판 상에는 액정셀의 전압을 유지시키기 위한 스토리지 캐패시터(Storage Capacitor, Cst)가 형성된다.

타이밍 콘트롤러(1)는 디지털 비디오 데이터(RGB), 수평 동기신호(H), 수직 동기신호(H, V) 및 클럭신호(CLK)를 입력받고 게이트 구동부(4)를 제어하기 위한 게이트 제어신호(GDC)를 발생함과 아울러 데이터 구동부(3)를 제어하기 위한 데이터 제어신호(DDC)를 발생한다. 또한, 타이밍 콘트롤러(1)는 시스템으로부터의 데이터(RGB)를 데이터 구동부(3)에 공급한다.

게이트 구동부(4)는 타이밍 콘트롤러(1)로부터의 게이트 제어신호(GDC)에 응답하여 스캔펄스를 순차적으로 발생하는 쉬프트 레지스터, 스캔펄스의 스윙폭을 액정셀(Clc)의 구동에 적합한 레벨로 쉬프트 시키기 위한 레벨 쉬프터, 출력버퍼 등으로 구성된다. 이 게이트 구동부(4)는 스캔펄스를 게이트라인(6)에 공급함으로써 그 게이트라인(6)에 접속된 TFT들을 턴-온(Turn-on)시켜 데이터의 화소전압 즉, 아날로그 감마보상전압이 공급될 1 수평라인의 액정셀들(Clc)을 선택한다. 데이터 구동부(3)로부터 발생하는 데이터들은 스캔펄스에 의해 선택된 수평라인의 액정셀(Clc)에 공급된다.

데이터 구동부(3)는 타이밍 콘트롤러(1)로부터 공급되는 데이터구동 제어신호(DDC)에 응답하여 데이터를 데이터라인들(5)에 공급하게 된다. 이 데이터 구동부(3)는 타이밍 콘트롤러(1)로부터의 디지털 데이터(RGB)를 샘플링하고 그 데이터를 래치한 다음, 아날로그 감마전압으로 변환하게 된다. 이 데이터 구동부(3)는 도 2와 같은 구성을 가지는 다수의 데이터 집적회로(Integrated Circuit : 이하, "IC"라 한다)(2a)로 구현된다.

각각의 데이터 IC(3a)는 도 2와 같이 타이밍 콘트롤러(1)로부터 디지털 데이터(RGB)가 입력되는 데이터 레지스터(21)와, 샘플링 클럭을 발생하기 위한 쉬프트 레지스터(22)와, 쉬프트 레지스터(22)와 k(단, k는 m보다 작은 정수) 개의 데이터라인들(DL1 내지 DLk) 사이에 접속된 제1 래치(23), 제2 래치(24), 디지털/아날로그 변환기(Digital to Analog Converter : 이하, "DAC"라 한다)(25) 및 출력회로(26)와, 감마기준전압 발생부(4)와 DAC(25) 사이에 접속된 감마전압 공급부(27)를 구비한다.

데이터 레지스터(21)는 타이밍 콘트롤러(1)로부터의 디지털 데이터(RGB)를 제1 래치(23)에 공급한다. 쉬프트 레지스터(22)는 타이밍 콘트롤러(1)로부터의 소스 스타트 펄스(SSP)를 소스 샘플링 클럭신호(SSC)에 따라 쉬프트시켜 샘플링신호를 발생하게 된다. 또한, 쉬프트 레지스터(22)는 소스 스타트 펄스(SSP)를 쉬프트시켜 다음 단의 쉬프트 레지스터(22)에 캐리신호(CAR)를 전달하게 된다. 제1 래치(23)는 쉬프트 레지스터(22)로부터 순차적으로 입력되는 샘플링신호에 응답하여 데이터 레지스터(21)로부터의 디지털 데이터(RGB)를 순차적으로 샘플링한다. 제2 래치(24)는 제1 래치(23)로부터 입력되는 데이터를 래치한 다음, 래치된 데이터를 타이밍 콘트롤러(1)로부터의 소스 출력 인에이블신호(SOE)에 응답하여 동시에 출력한다. DAC(25)는 제2 래치(24)로부터의 데이터를 감마전압 공급부(27)로부터의 감마전압(DGH,DGL)으로 변환하게 된다. 감마전압(DGH,DGL)은 디지털 입력 데이터의 계조값 각각에 대응하는 아날로그 전압이다. 출력회로(26)는 데이터라인들 각각에 접속된 버퍼(Buffer)를 포함한다. 감마전압 공급부(27)는 감마기준전압 발생부(4)로부터 입력되는 감마 기준전압을 세분화하여 각 계조에 대응하는 감마전압을 DAC(25)에 공급하게 된다.

그런데 이러한 데이터 구동회로는 회로 구성이 많고 회로 면적이 크기 때문에 액정표시패널의 기판 상에 내장하기가 어렵다.

이러한 문제를 해결하기 위하여 도 3과 같이 데이터 집적회로(21)의 출력단에 1 : 1로 접속되는 공통 버스라인들(201 내지 240)을 형성하고, 공통 버스라인들(201 내지 240)과 데이터라인들(DL1 내지 DL42) 사이에 채널 선택부(34)와 샘플&홀드부(33)를 배치한 아날로그 샘플링 방식의 액정표시장치가 제안되고 있다. 공통버스라인들(201 내지 240) 각각에는 다수의 데이터 출력 버스라인들이 형성된다. 예컨대 제1 공통버스라인(201)에는 제1 및 제41 데이터 출력 버스라인(301, 341)이 접속된다. 채널 선택부(34)는 데이터 출력 버스라인들(301)에 1 : 1로 접속된 다수의 스위치소자들(34a)을 포함한다. 채널 선택부(34)의 스위치소자들(34a)은 CMOS로 구현되고 쉬프트 레지스터(32)로부터의 제어신호에 응답하여 순차적으로 턴-온되어 데이터 출력 버스라인들(301)로부터의 데이터들을 샘플&홀드부(33)에 공급하는 역할을 한다. 샘플&홀드부(33)는 채널 선택부(34)로부터의 데이터를 순차적으로 샘플링하여 홀드한 다음, 동시에 홀드하고 있는 데이터들을 데이터라인들(DL1 내지 DL42)에 동시에 공급한다.

그런데 아날로그 샘플링 방식은 샘플&홀드부(34)에서 데이터를 샘플링하는 시간과 데이터라인들에 데이터전압을 공급하는 시간이 짧아 액정셀들에 원하는 전압을 공급할 수 없는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 아날로그 샘플링 방식에 있어서, 샘플링시간과 데이터 구동시간을 충분히 확보하도록 한 액정표시장치의 아날로그 샘플링 장치를 제공함에 있다.

발명의 구성

상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치의 아날로그 샘플링 장치는 아날로그 데이터전압을 발생하는 데이터 구동부와; 상기 아날로그 데이터전압이 공급되는 데이터 출력버스 라인과; 상기 데이터 출력버스 라인에 접속되고 오피셋전압이 보상된 상기 아날로그 데이터전압을 액정표시패널의 데이터라인에 공급하는 제1 샘플&홀드회로와; 상기 데이터 출력버스 라인에 접속되고 상기 제1 샘플&홀드회로에 의해 데이터라인에 상기 아날로그 데이터전압이 공급되는 동안 상기 아날로그 데이터전압을 샘플링하는 제2 샘플&홀드회로를 구비하고; 상기 제1 및 제2 샘플&홀드회로는 상기 아날로그 데이터전압의 공급과 상기 아날로그 데이터전압의 샘플링 동작을 교대로 한다.

상기 아날로그 샘플링 장치는 샘플링신호를 순차적으로 발생하는 쉬프트 레지스터와; 1 수평기간의 펄스폭을 가지며 2수평기간의 주기를 가지는 A 제어신호와 상기 A 제어신호와 역위상인 B 제어신호를 발생하여 상기 샘플&홀드회로들을 제어함과 아울러 상기 데이터 구동부와 상기 쉬프트 레지스터를 제어하는 타이밍 콘트롤러를 더 구비한다.

상기 아날로그 샘플링 장치는 상기 샘플링신호와 상기 A 제어신호를 논리곱하여 상기 제1 샘플&홀드회로에 입력하는 제1 AND 게이트와; 상기 샘플링신호와 상기 B 제어신호를 논리곱하여 상기 제2 샘플&홀드회로에 입력하는 제2 AND 게이트를 더 구비한다.

상기 제1 샘플&홀드회로는 상기 데이터 출력버스 라인에 접속되고 상기 제1 AND 게이트의 출력신호에 의해 제어되는 제1 스위치소자와; 상기 제1 스위치소자에 접속된 제1 커패시터와; 상기 제1 커패시터에 접속된 제1 버퍼와; 상기 제1 스위치소자와 상기 제1 커패시터 사이의 노드와 상기 제1 버퍼의 출력단자 사이에 접속되어 상기 A 제어신호에 의해 제어되는 제2 스위치소자와; 상기 제1 버퍼와 상기 데이터라인 사이에 접속되어 상기 A 제어신호에 의해 제어되는 제3 스위치소자를 구비한다.

상기 제2 샘플&홀드회로는 상기 데이터 출력버스 라인에 접속되고 상기 제2 AND 게이트의 출력신호에 의해 제어되는 제4 스위치소자와; 상기 제4 스위치소자에 접속된 제2 커패시터와; 상기 제2 커패시터에 접속된 제2 버퍼와; 상기 제4 스위치소자와 상기 제2 커패시터 사이의 노드와 상기 제2 버퍼의 출력단자 사이에 접속되어 상기 B 제어신호에 의해 제어되는 제5 스위치소자와; 상기 제2 버퍼와 상기 데이터라인 사이에 접속되어 상기 B 제어신호에 의해 제어되는 제6 스위치소자를 구비한다.

본 발명의 다른 실시예에 따른 아날로그 샘플링 장치는 아날로그 데이터전압을 발생하는 데이터 구동부와; 상기 아날로그 데이터전압이 공급되는 데이터 출력버스 라인과; 상기 아날로그 데이터전압이 출력되는 출력노드와; 상기 데이터 출력버스 라인에 접속되고 상기 아날로그 데이터전압에서 오피셋전압을 보상하고 상기 오피셋전압이 보상된 아날로그 데이터전압으로 상기 출력노드의 전압을 제어하는 제1 샘플&홀드회로와; 상기 데이터 출력버스 라인에 접속되고 상기 제1 샘플&홀드회로에 의해 상기 출력노드의 전압이 제어되는 동안 상기 아날로그 데이터전압을 샘플링하는 제2 샘플&홀드회로를 구비하고; 상기 제1 및 제2 샘플&홀드회로는 상기 출력노드 전압의 제어와 상기 아날로그 데이터전압의 샘플링 동작을 교대로 한다.

상기 아날로그 샘플링 장치는 샘플링신호를 순차적으로 발생하는 쉬프트 레지스터와; 1 수평기간의 펄스폭을 가지며 2수평기간의 주기를 가지는 A 제어신호, 상기 A 제어신호와 역위상인 B 제어신호, 상기 1수평기간 간격으로 발생하는 HSP 신호, 상기 B 제어신호가 하이논리일 때의 샘플링 시점에서 하이논리로 발생하는 B $\cap$ HSP 신호, 상기 A 제어신호가 하이논리일 때의 샘플링 시점에서 하이논리로 발생하는 A $\cap$ HSP 신호, 및 상기 데이터라인의 프리차지 기간과 데이터 공급기간을 지시하는 RSP 신호를 발생하여 상기 샘플&홀드회로들을 제어함과 아울러 상기 데이터 구동부와 상기 쉬프트 레지스터를 제어하는 타이밍 콘트롤러를 더 구비한다.

상기 제1 샘플&홀드회로는 상기 아날로그 데이터전압이 입력되고 상기 B $\cap$ HSP 신호에 의해 제어되는 제1 스위치소자와; 상기 제1 스위치소자에 접속된 제1 커패시터와; 상기 제1 커패시터에 접속된 제1 인버터와; 상기 제1 인버터에 접속된 제2 커패시터와; 상기 제2 커패시터에 접속된 제2 인버터와; 상기 제1 커패시터와 상기 제1 인버터 사이의 노드와 상기 제1 인버터의 출력단자 사이에 접속되고 상기 B 제어신호에 의해 제어되는 제2 스위치소자와; 상기 제2 커패시터와 상기 제2 인버터 사이의 노드와 상기 제2 인버터의 출력단자 사이에 접속되고 상기 B 제어신호에 의해 제어되는 제3 스위치소자를 구비한다.

상기 제2 샘플&홀드회로는 상기 아날로그 데이터전압이 입력되고 상기 A $\cap$ HSP 신호에 의해 제어되는 제4 스위치소자와; 상기 제4 스위치소자에 접속된 제3 커패시터와; 상기 제3 커패시터에 접속된 제3 인버터와; 상기 제3 인버터에 접속된 제

4 커패시터와; 상기 제4 커패시터에 접속된 제4 인버터와; 상기 제3 커패시터와 상기 제3 인버터 사이의 노드와 상기 제3 인버터의 출력단자 사이에 접속되고 상기 A 제어신호에 의해 제어되는 제5 스위치소자와; 상기 제4 커패시터와 상기 제4 인버터 사이의 노드와 상기 제4 인버터의 출력단자 사이에 접속되고 상기 A 제어신호에 의해 제어되는 제6 스위치소자를 구비한다.

상기 아날로그 샘플링 장치는 상기 제1 스위치소자와 상기 제1 커패시터 사이의 노드와 상기 출력노드 사이에 접속되어 상기 A 제어신호에 응답하여 상기 아날로그 데이터 전압을 상기 출력노드로 공급하는 제1 트랜스미션 게이트와; 저전위전원전압이 공급되는 제1 트랜지스터와; 상기 제1 트랜지스터와 상기 출력노드 사이에 접속되는 제2 트랜지스터와; 고전위전원전압이 공급되고 상기 출력노드에 접속되는 제3 트랜지스터와; 상기 제1 인버터의 출력단자와 상기 제3 스위치소자 사이의 노드와 상기 제1 트랜지스터의 게이트단자 사이에 접속되고 상기 A 제어신호에 의해 제어되는 제2 트랜스미션 게이트와; 상기 제4 스위치소자와 상기 제3 커패시터 사이의 노드와 상기 출력노드 사이에 접속되어 상기 B 제어신호에 응답하여 상기 아날로그 데이터 전압을 상기 출력노드로 공급하는 제3 트랜스미션 게이트와; 상기 제4 인버터의 출력단자와 상기 제6 스위치소자 사이의 노드와 상기 제1 트랜지스터의 게이트단자 사이에 접속되고 상기 B 제어신호에 의해 제어되는 제4 트랜스미션 게이트를 더 구비한다.

상기 제1 및 제2 트랜지스터는 n 타입 TFT이고; 상기 제3 트랜지스터는 p 타입 TFT이다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 도면들을 참조한 실시예의 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 4 내지 도 9를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 4를 참조하면, 본 발명의 실시예에 따른 액정표시장치의 아날로그 샘플링 장치는 디지털 데이터를 아날로그 데이터 전압으로 변환하는 데이터 구동부(42)와, 데이터 구동부(42)와 액정표시패널의 데이터라인들 사이에 접속되는 제1 및 제2 샘플&홀드회로(47, 48)와, 샘플&홀드회로(47, 48)를 제어하기 위한 쉬프트 레지스터(41) 및 AND 게이트들(45, 46)을 구비한다.

데이터 구동부(42)는 쉬프트 레지스터, 래치 및 DAC 등을 포함하여 타이밍 컨트롤러로부터의 디지털 데이터를 아날로그 데이터 전압으로 변환하고 그 아날로그 데이터 전압을 데이터 출력버스들(43)을 통해 출력한다.

제1 샘플&홀드회로(47)와 제2 샘플&홀드회로(48)는 교대로 아날로그 데이터전압을 샘플링하고 아날로그 데이터전압을 액정표시패널의 데이터라인들에 공급한다. 즉, 제1 샘플&홀드회로(47)가 아날로그 샘플링하고 있는 동안 제2 샘플&홀드회로(48)는 아날로그 데이터전압에서 버퍼오프전압을 보상하여 액정표시패널의 데이터라인들에 공급한 후에, 제2 샘플&홀드회로(48)가 아날로그 샘플링하고 있는 동안 제1 샘플&홀드회로(46)는 아날로그 데이터전압에서 버퍼오프전압을 보상하여 액정표시패널의 데이터라인들에 공급한다. 샘플&홀드회로들(47, 48)의 상세한 회로구성과 그에 대한 동작설명은 후술된다.

이 샘플&홀드회로들(47, 48)은 AND 게이트의 출력신호와 A 및 B의 제어신호들에 의해 제어된다. A 및 B의 제어신호는 도 5와 같이 타이밍 컨트롤러에 의해 1수평기간(1H)의 펄스폭과 2 수평기간의 주기로 발생된다. 이 A 및 B 제어신호는 서로 역위상이고 제어신호 버스라인(44)을 경유하여 AND 게이트들(45, 46)에 공급된다. 제1 AND 게이트(45)는 A 제어신호와 쉬프트 레지스터의 출력의 논리곱 출력을 발생한다. 제2 AND 게이트(46)는 B 제어신호와 쉬프트 레지스터의 출력의 논리곱 출력을 발생한다.

제1 샘플&홀드회로(47)는 제1 AND 게이트(45)의 출력노드에 접속된 제1 스위치소자(S1), 제1 스위치소자(S1)와 액정표시패널의 데이터라인들 사이에 접속된 제2 스위치소자(S2), 제1 커패시터(C1), 제1 버퍼(BF1), 및 제3 스위치소자(S3)를 구비한다. 제1 스위치소자(S1)는 첫 번째 수평기간 동안 제1 AND 게이트(45)의 출력에 응답하여 데이터 출력버스(43)와 제1 커패시터(C1)를 접속시키는 반면, 두 번째 수평기간 동안 데이터 출력버스(43)와 제1 커패시터(C1) 사이의 전류패스를 차단한다. 제1 커패시터(C1)는 제1 버퍼(BF1)에서 발생하는 오프전압과 아날로그 데이터전압의 차전압을 저장하여 아날로그 데이터전압에서 제1 버퍼(BF1)의 오프전압을 보상하는 역할을 한다. 제2 및 제3 스위치소자(S2, S3)는 첫 번째 수평기간 동안 하이논리의 A 제어신호에 응답하여 제1 커패시터(C1)를 액정표시패널의 데이터라인에 접속하여 오프셋이 보상된 아날로그 데이터 전압을 데이터라인에 공급한다. 또한, 두 번째 수평기간 동안 제2 스위치소자(S2)는 로우논리의 A 제어신호에 응답하여 턴-오프되어 제1 커패시터(C1)와 제3 스위치소자(S3) 사이의 전류패스를 차단하고 제3 스위치소자(S3)는 로우논리의 A 제어신호에 응답하여 턴-오프되어 제1 버퍼(BF1)와 액정표시패널의 데이터라인 사이의 전류패스를

차단한다. 결국, 제1 샘플&홀드회로(47)는 첫 번째 수평기간 동안 버퍼(BF1)의 옴셋전압이 보상된 아날로그 데이터전압을 액정표시패널의 데이터라인에 공급한 후, 두 번째 수평기간 동안 제1 커패시터(C1)를 이용하여 아날로그 데이터전압에서 버퍼(BF1)의 옴셋을 보상한다.

제2 샘플&홀드회로(48)는 제2 AND 게이트(46)의 출력노드에 접속된 제4 스위치소자(S4), 제4 스위치소자(S4)와 액정표시패널의 데이터라인들 사이에 접속된 제5 스위치소자(S5), 제2 커패시터(C2), 제2 버퍼(BF2), 및 제6 스위치소자(S6)를 구비한다. 제4 스위치소자(S4)는 두 번째 수평기간 동안 제2 AND 게이트(46)의 출력에 응답하여 데이터 출력버스(43)와 제2 커패시터(C2)를 접속시키는 반면, 첫 번째 수평기간 동안 데이터 출력버스(43)와 제2 커패시터(C2) 사이의 전류패스를 차단한다. 제2 커패시터(C2)는 제2 버퍼(BF2)에서 발생하는 옴셋전압과 아날로그 데이터전압의 차전압을 저장하여 아날로그 데이터전압에서 제2 버퍼(BF2)의 옴셋전압을 보상하는 역할을 한다. 제5 및 제6 스위치소자(S5, S6)는 두 번째 수평기간 동안 하이논리의 A 제어신호에 응답하여 제1 커패시터(C1)를 액정표시패널의 데이터라인에 접속하여 옴셋이 보상된 아날로그 데이터 전압을 데이터라인에 공급한다. 또한, 첫 번째 수평기간 동안 제5 스위치소자(S5)는 로우논리의 A 제어신호에 응답하여 턴-오프되어 제2 커패시터(C2)와 제6 스위치소자(S6) 사이의 전류패스를 차단하고 제6 스위치소자(S6)는 로우논리의 A 제어신호에 응답하여 턴-오프되어 제2 버퍼(BF2)와 액정표시패널의 데이터라인 사이의 전류패스를 차단한다. 결국, 제2 샘플&홀드회로(48)는 두 번째 수평기간 동안 버퍼(BF1)의 옴셋전압이 보상된 아날로그 데이터전압을 액정표시패널의 데이터라인에 공급하고, 그 전의 첫 번째 수평기간 동안 제2 커패시터(C2)를 이용하여 아날로그 데이터전압에서 버퍼(BF2)의 옴셋을 보상한다.

도 6은 본 발명의 다른 실시예에 따른 액정표시장치의 아날로그 샘플링 장치를 나타내고, 도 7은 도 6에 도시된 아날로그 샘플링 장치의 입/출력 파형이다. 도 6에 있어서, 도 4에 도시된 데이터 구동부, 데이터 출력버스 등은 생략된다.

도 6 및 도 7을 참조하면, 본 발명의 실시예에 따른 액정표시장치의 아날로그 샘플링 장치는 데이터 구동부와 액정표시패널의 데이터라인들 사이에 접속되는 제1 및 제2 샘플&홀드회로(61, 62)와, A 및 B 제어신호에 응답하여 출력전압(Vout)을 출력노드에 공급하는 제1 및 제3 트랜스미션 게이트(transmission gate)(TG1, TG3)와, 제1 및 제2 샘플&홀드회로(61, 62)의 출력에 따라 출력전압(Vout)을 제어하는 제1 트랜지스터(T1)와, 리셋신호(RST)에 응답하여 출력전압(Vout)을 발생하는 제2 및 제3 트랜지스터(T2, T3)를 구비한다.

제1 샘플&홀드회로(61)와 제2 샘플&홀드회로(62)는 교대로 아날로그 데이터전압을 샘플링하고 아날로그 데이터전압을 액정표시패널의 데이터라인들에 공급한다. 즉, 제1 샘플&홀드회로(61)가 아날로그 샘플링하고 있는 동안 제2 샘플&홀드회로(47)는 아날로그 데이터전압에서 버퍼옴셋전압을 보상하여 액정표시패널의 데이터라인들에 공급한 후에, 제2 샘플&홀드회로(62)가 아날로그 샘플링하고 있는 동안 제1 샘플&홀드회로(61)는 아날로그 데이터전압에서 버퍼옴셋전압을 보상하여 액정표시패널의 데이터라인들에 공급한다.

제1 샘플&홀드회로(61)는 제1 AND 게이트(45)의 출력노드에 접속된 제1 스위치소자(S61), 제1 스위치소자(S61)와 액정표시패널의 데이터라인들 사이에 접속된 제2 및 제3 스위치소자(S62, S63), 제1 및 제2 커패시터(C61, C62), 제1 및 제2 인버터(INV1, INV2), 제2 트랜스미션 게이트(TG2)를 구비한다. 제1 스위치소자(S61)는 B 제어신호가 하이논리인 구간 내의 샘플링 시점에서 하이논리로 발생하는 B $\overline{N}$ HSP 신호에 응답하여 턴-온됨으로써 데이터 출력버스(43)로부터의 아날로그 데이터 전압(Vin)을 제1 커패시터(C61)에 공급하는 반면, B $\overline{N}$ HSP 신호가 로우논리일 때 턴-오프되어 입력단과 제1 커패시터(C61) 사이의 전류패스를 차단한다. 제1 커패시터(C61)는 제1 인버터(INV1)의 옴셋전압과 입력전압(Vin)의 차전압을 저장하여 입력전압(Vin)에서 제1 인버터(INV1)의 옴셋전압을 보상하는 역할을 한다. 제2 스위치소자(S62)는 B 제어신호가 하이논리일 때 턴-온되어 제1 커패시터(S61)과 제2 커패시터(S62) 사이의 전류패스를 도통시키는 반면, B 제어신호가 로우논리일 때 제1 커패시터(S61)과 제2 커패시터(S62) 사이의 전류패스를 차단한다. 제2 커패시터(C62)는 제2 인버터(INV2)의 옴셋전압과 제1 인버터(INV1)의 출력전압의 차전압을 저장하여 제1 인버터(INV1)의 출력전압에서 제2 인버터(INV2)의 옴셋전압을 보상하는 역할을 한다. 제2 트랜스미션 게이트(TG2)는 A 제어신호가 하이논리일 때 턴-온되어 옴셋전압이 보상된 입력전압을 제1 트랜지스터(T1)의 게이트단자에 공급하여 출력전압(Vout)에서 옴셋전압을 보상한다.

제2 샘플&홀드회로(62)는 제2 AND 게이트(46)의 출력노드에 접속된 제4 스위치소자(S64), 제4 스위치소자(S64)와 액정표시패널의 데이터라인들 사이에 접속된 제5 및 제6 스위치소자(S65, S66), 제3 및 제4 커패시터(C63, C64), 제3 및 제4 인버터(INV3, INV4), 제4 트랜스미션 게이트(TG4)를 구비한다. 제4 스위치소자(S64)는 A 제어신호가 하이논리인 구간 내의 샘플링 시점에서 하이논리로 발생하는 A $\overline{N}$ HSP 신호에 응답하여 턴-온됨으로써 데이터 출력버스(43)로부터의 아날로그 데이터 전압(Vin)을 제3 커패시터(C63)에 공급하는 반면, B $\overline{N}$ HSP 신호가 로우논리일 때 턴-오프되어 입력단과 제3 커패시터(C63) 사이의 전류패스를 차단한다. 제3 커패시터(C63)는 제3 인버터(INV3)의 옴셋전압과 입력전압(Vin)의 차전압을 저장하여 입력전압(Vin)에서 제3 인버터(INV3)의 옴셋전압을 보상하는 역할을 한다. 제5 스위치소자(S65)는 A

제어신호가 하이논리일 때 턴-온되어 제3 커패시터(S63)와 제4 커패시터(S64) 사이의 전류패스를 도통시키는 반면, A 제어신호가 로우논리일 때 제3 커패시터(S63)와 제4 커패시터(S64) 사이의 전류패스를 차단한다. 제5 커패시터(C65)는 제4 인버터(INV4)의 오프셋전압과 제3 인버터(INV3)의 출력전압의 차전압을 저장하여 제3 인버터(INV3)의 출력전압에서 제4 인버터(INV4)의 오프셋전압을 보상하는 역할을 한다. 제4 트랜스미션 게이트(TG4)는 B 제어신호가 하이논리일 때 턴-온되어 오프셋전압이 보상된 입력전압을 제1 트랜지스터(T1)의 게이트단자에 공급하여 출력전압(Vout)에서 오프셋전압을 보상한다.

제1 트랜지스터(T1)는 n타입 MOS FET로 구현되고 그 게이트단자는 제2 및 제4 트랜스미션 게이트(TG2, TG4)의 출력단에 접속된다. 제1 트랜지스터(T1)의 소스단자는 저전위전원전압원(VSS)에 접속되고 제1 트랜지스터(T1)의 드레인단자는 제2 트랜지스터(T2)의 소스단자에 접속된다. 이 제1 트랜지스터(T1)는 제1 및 제2 샘플&홀드회로(61, 62)에 의해 오프셋전압이 보상된 아날로그 데이터전압에 비례하여 소스드레인간 전류를 제어하여 출력전압에서 오프셋을 보상한다.

제2 트랜지스터(T2)는 n타입 MOS FET로 구현되고 그 게이트단자에는 리셋전압이 공급된다. 제2 트랜지스터(T2)의 소스단자는 제1 트랜지스터(T1)의 드레인단자에 접속되고 제2 트랜지스터(T2)의 드레인단자는 출력노드에 접속된다. 이 제2 트랜지스터(T2)는 리셋전압(RST)이 하이논리일 때 턴-온되어 제1 트랜지스터(T1)에 의해 제어되는 저전위전원전압(VSS)을 출력노드를 통해 액정표시패널의 데이터라인에 공급하는 반면에, 리셋전압(RST)이 로우논리일 때 턴-오프되어 제1 트랜지스터(T1)와 출력노드 사이의 전류패스를 차단한다.

제3 트랜지스터(T3)는 p타입 MOS FET로 구현되고 그 게이트단자에는 리셋전압이 공급된다. 제3 트랜지스터(T3)의 소스단자는 고전위전원전압원(VDD)에 접속되고 제3 트랜지스터(T3)의 드레인단자는 출력노드에 접속된다. 이 제3 트랜지스터(T3)는 리셋전압(RST)이 로우논리일 때 턴-온되어 고전위전원전압(VSS)을 프리차지전압으로써 출력노드를 통해 액정표시패널의 데이터라인에 공급하는 반면에, 리셋전압(RST)이 하이논리일 때 턴-오프되어 고전위전원전압원(VDD)과 출력노드 사이의 전류패스를 차단한다.

제1 트랜스미션 게이트(TG1)는 하이논리전압의 A 제어신호가 발생될 때 제4 스위치소자(S64)를 경유하여 공급되는 입력전압(Vin)을 출력노드에 공급한다. 반면에, 제3 트랜스미션 게이트(TG3)는 하이논리전압의 B 제어신호가 발생될 때 제1 스위치소자(S61)를 경유하여 공급되는 입력전압(Vin)을 출력노드에 공급한다.

도 7에 있어서, A 및 B 제어신호는 전술한 제1 실시예와 마찬가지로 1수평기간(1H)의 펄스폭과 2 수평기간의 주기로 발생되고 서로 역위상이다. HSP 신호는 아날로그 데이터 전압의 샘플링시점에서 하이논리전압으로 발생되고 1 수평기간 간격으로 나타난다. A $\overline{\text{HSP}}$ 신호는 제2 샘플&홀드회로(62)에 의해 아날로그 데이터전압이 샘플링되는 시점에 하이논리로 발생되고 2 수평기간 간격으로 나타나고 우수 번째 HSP 신호와 동기된다. B $\overline{\text{HSP}}$ 신호는 제1 샘플&홀드회로(61)에 의해 아날로그 데이터전압이 샘플링되는 시점에 하이논리로 발생되고 2 수평기간 간격으로 나타나고 기수 번째 HSP 신호와 동기된다. RST 신호는 리셋신호로써 프리차지기간 동안 로우논리전압으로 발생되고 액정셀의 데이터 충전기간 동안 하이논리전압으로 발생된다. 이러한 타이밍 제어신호들은 도 1에 도시된 타이밍 컨트롤러(1)에서 생성된다.

A 제어신호가 하이논리전압인 반면에 B 제어신호가 로우논리전압일 때 본 발명의 제2 실시예에 따른 액정표시장치의 아날로그 샘플링 장치의 동작을 도 7 내지 도 9를 결부하여 설명하기로 한다. 이 시점에서, 도 8과 같이 입력노드가 제3 커패시터(C63)에 접속되고 제1 인버터(INV1)의 출력단과 입력단이 접속되어 제1 인버터(INV1)의 오프셋전압과 입력전압(Vin)의 차전압이 제3 커패시터(C63)에 저장되며, 제1 인버터(INV1)의 출력단자와 제4 커패시터(C64)가 접속되고 제2 인버터(INV2)의 출력단과 입력단이 접속되어 제2 인버터(INV2)의 오프셋전압과 제1 인버터(INV1)의 출력전압의 차전압이 제4 커패시터(C64)에 저장된다. 따라서, 이 때 제2 샘플&홀드회로(62)는 데이터 구동부로부터의 아날로그 데이터 전압을 샘플링함과 동시에 아날로그 데이터 전압에서 인버터들(INV3, INV4)에 의한 오프셋전압을 보상한다. 이와 동시에 제1 샘플&홀드회로(61)는 도 9와 같이 구성되어 출력전압(Vout)을 액정표시패널의 데이터라인에 공급한다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시장치의 아날로그 샘플링 장치는 하나의 샘플&홀드회로에 의해 입력 전압이 액정표시패널의 데이터라인에 공급되는 동안 다른 샘플&홀드회로에 의해 입력 전압이 샘플링되어 샘플링시간과 데이터 구동시간을 충분히 확보할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

도 1은 액정표시장치를 개략적으로 나타내는 블록도.

도 2는 도 1에 도시된 데이터 구동부를 상세히 나타내는 블록도.

도 3은 아날로그 샘플링방식의 데이터 구동장치를 나타내는 블록도.

도 4는 본 발명의 실시예에 따른 액정표시장치의 아날로그 샘플링 장치를 나타내는 회로도.

도 5는 A 및 B 제어신호를 나타내는 파형도.

도 6은 본 발명의 다른 실시예에 따른 액정표시장치의 아날로그 샘플링 장치를 나타내는 회로도.

도 7은 도 6에 도시된 액정표시장치의 아날로그 샘플링 장치의 입출력 파형도.

도 8은 A 제어신호가 하이논리전압인 반면에 B 제어신호가 로우논리전압일 때 제2 샘플&홀드회로의 입력 샘플링을 보여주는 회로도.

도 9는 A 제어신호가 하이논리전압인 반면에 B 제어신호가 로우논리전압일 때 제1 샘플&홀드회로의 데이터 출력을 보여주는 회로도.

< 도면의 주요 부분에 대한 부호의 설명 >

1 : 타이밍 콘트롤러 2 : 액정표시패널

3, 42 : 데이터 구동부 4 : 게이트 구동부

21 : 데이터 레지스터 22, 32 : 쉬프트 레지스터

23, 24 : 래치 25 : 디지털/아날로그 변환기

26 : 출력회로 27 : 감마전압 공급부

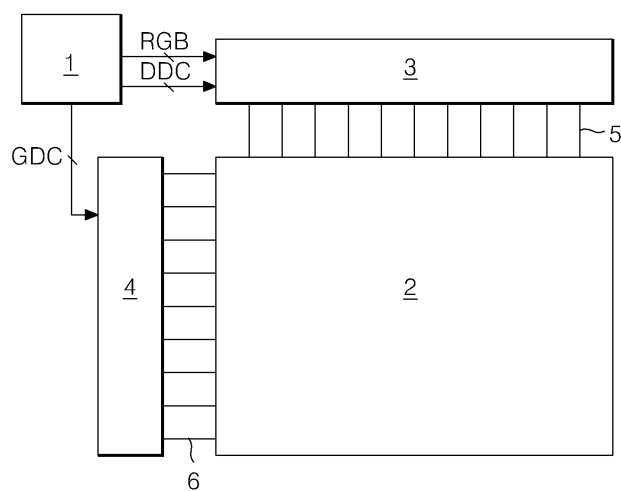
33 : 샘플&홀드부 34 : 채널 선택부

43 : 데이터 출력버스 라인 44 : 제어신호 버스 라인

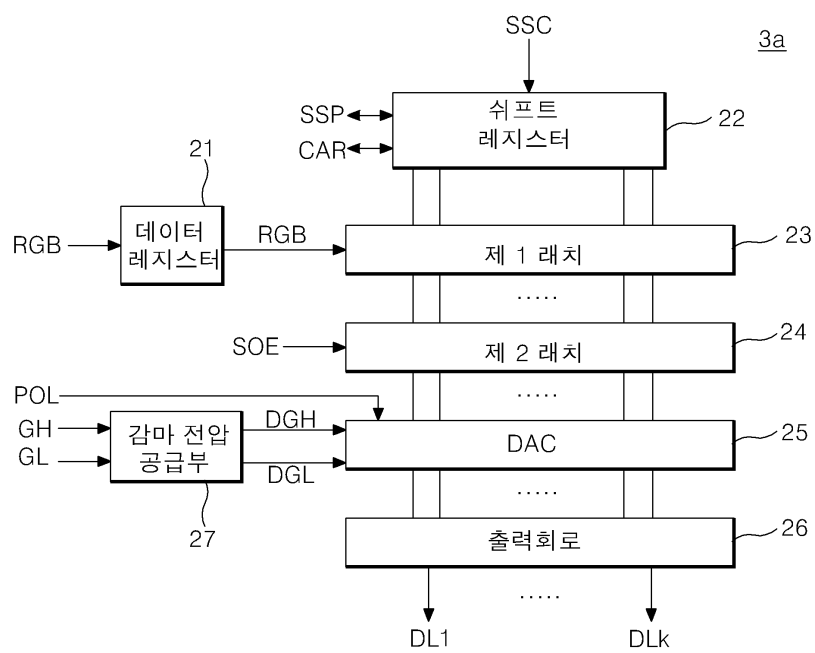
45, 46 : AND 게이트 47, 48, 61, 62 : 샘플&홀드회로

도면

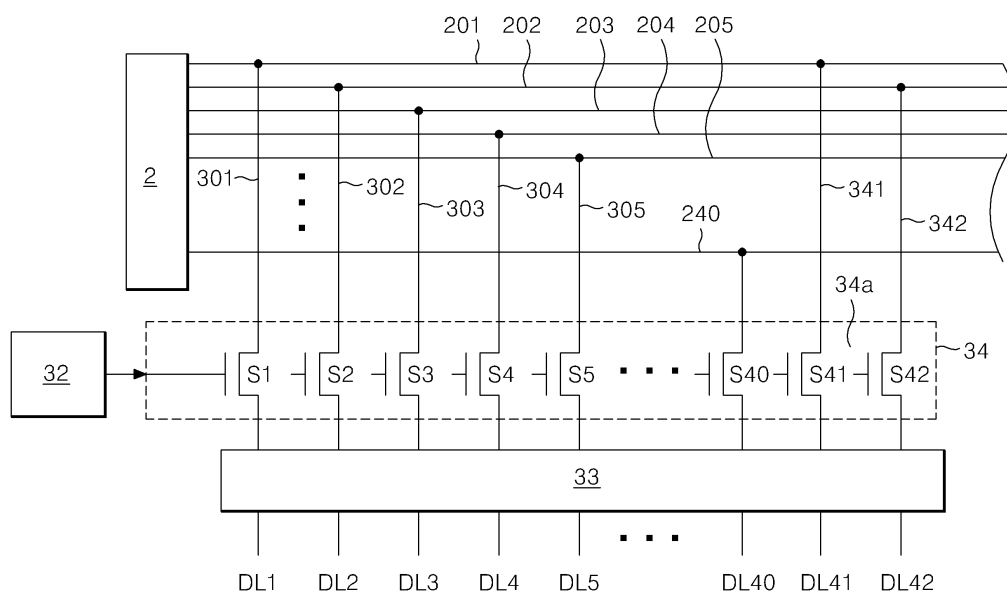
도면1



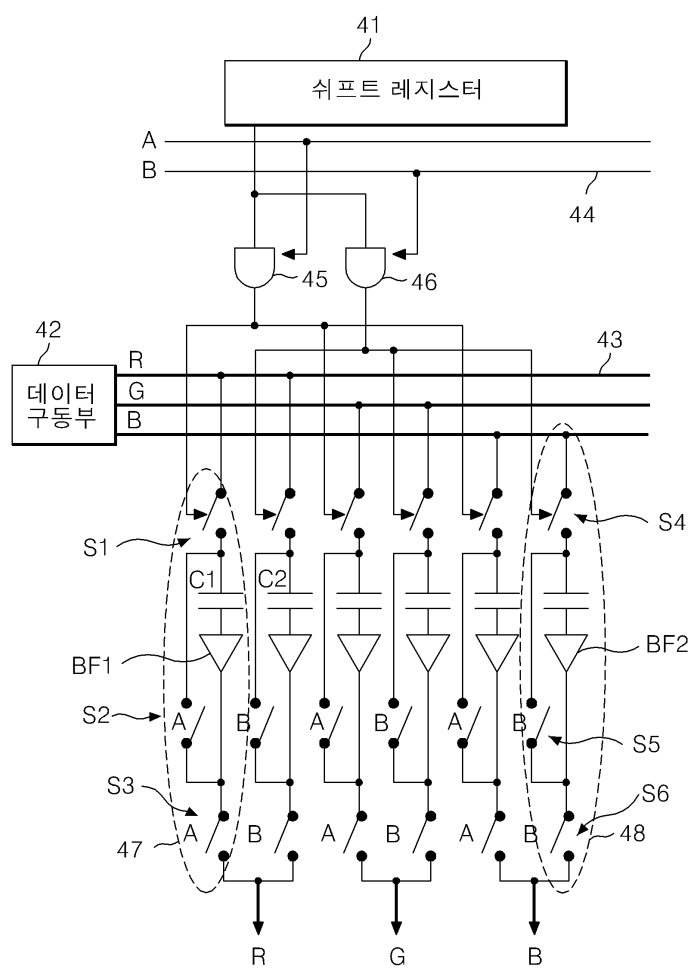
도면2



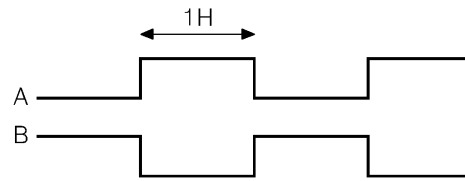
도면3



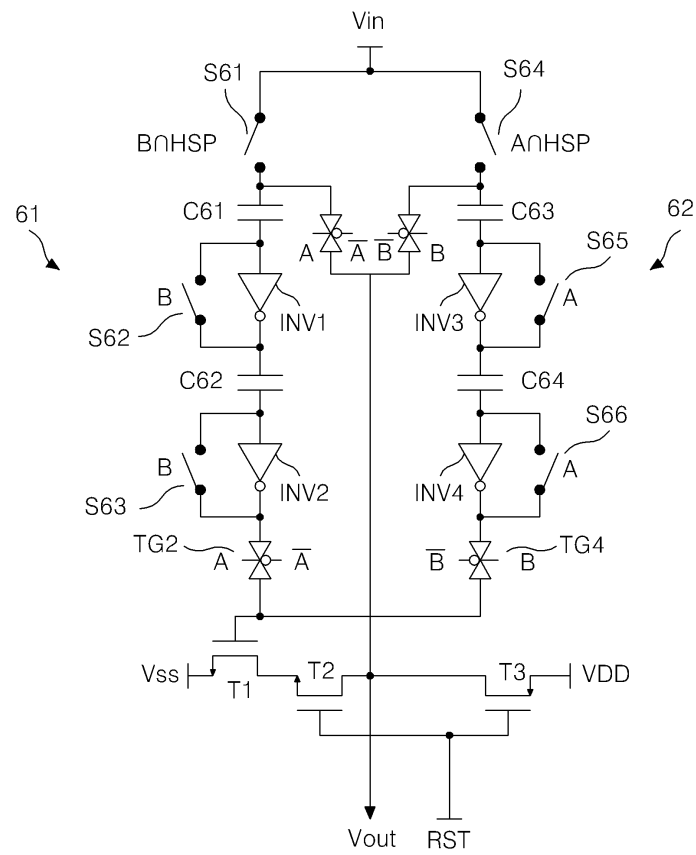
도면4



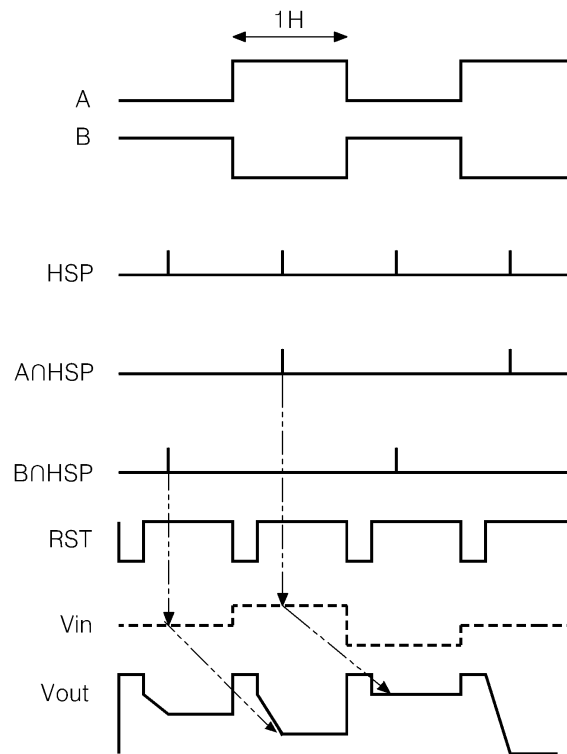
도면5



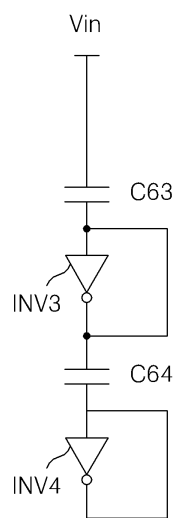
도면6



도면7

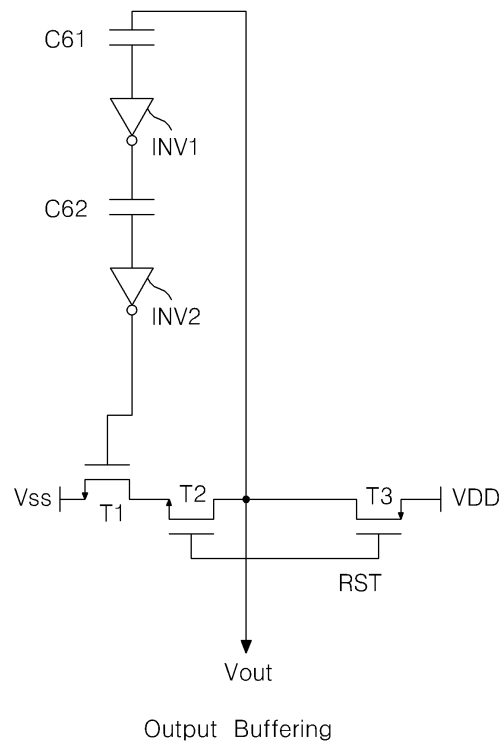


도면8



Input Sampling

도면9



专利名称(译)	一种液晶显示器的模拟采样装置		
公开(公告)号	KR1020070002412A	公开(公告)日	2007-01-05
申请号	KR1020050057941	申请日	2005-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YOO JUHN SUK 유준석 YOON JIN MO 윤진모		
发明人	유준석 윤진모		
IPC分类号	G09G3/36 G09G3/20		
CPC分类号	G09G3/3688 G11C19/00 G11C27/024		
其他公开文献	KR101169052B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种用于液晶显示（LCD）器件的模拟采样装置，通过采用两个采样/保持电路单元对输入电压进行采样来增加数据驱动时间和采样时间。组成：用于液晶的模拟采样装置显示装置包括数据驱动器（42），数据输出总线（43），第一采样/保持电路（47）和第二采样/保持电路（48）。数据驱动器产生模拟数据电压。数据输出总线接收模拟数据电压。第一采样/保持电路连接到数据输出总线，并将其偏移电压被补偿的模拟数据电压提供给LCD面板的数据线。第二采样/保持电路连接到数据输出总线并对模拟数据电压进行采样，而模拟数据电压通过第一采样/保持电路提供给数据线。第一和第二采样/保持电路交替提供和采样模拟数据电压。©KIPO 2007

