



(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) 。 Int. Cl.  
G02F 1/136 (2006.01)

(11) 공개번호 10-2006-0131026  
(43) 공개일자 2006년12월20일

(21) 출원번호 10-2005-0050860  
(22) 출원일자 2005년06월14일  
심사청구일자 없음

(71) 출원인 삼성전자주식회사  
경기도 수원시 영통구 매탄동 416

(72) 발명자 이성영  
서울 양천구 신월7동 331-54번지 성일빌라 가동 302호

(74) 대리인 유미특허법인

전체 청구항 수 : 총 10 항

(54) 박막 트랜지스터 표시판

(57) 요약

본 발명은 박막 트랜지스터 표시판에 관한 것으로, 박막 트랜지스터 표시판은, 행렬 형태로 배열되어 있는 복수의 화소 전극, 상기 화소 전극에 연결되어 있는 복수의 박막 트랜지스터, 상기 박막 트랜지스터에 연결되어 있고, 행 방향으로 뻗어 있으며 하나의 화소 전극행 당 두 개씩 배치되어 있는 복수의 게이트선, 상기 박막 트랜지스터에 연결되어 있고, 열 방향으로 뻗어 있으며 두 개의 화소 전극열 당 하나씩 배치되어 있는 복수의 데이터선, 그리고 상기 데이터선과 적어도 일부분 중첩되며 상기 데이터선과 전기적으로 절연되어 있는 차폐 전극을 포함한다. 이로 인해, 박막 트랜지스터 표시판에서 발생할 수 있는 기생 용량의 총 크기가 줄어들어, 이들 기생 용량으로 인한 화질 악화가 줄어든다.

대표도

도 4

특허청구의 범위

청구항 1.

행렬 형태로 배열되어 있는 복수의 화소 전극,

상기 화소 전극에 연결되어 있는 복수의 박막 트랜지스터,

상기 박막 트랜지스터에 연결되어 있고, 행 방향으로 뻗어 있으며 하나의 화소 전극행 당 두 개씩 배치되어 있는 복수의 게이트선,

상기 박막 트랜지스터에 연결되어 있고, 열 방향으로 뻗어 있으며 두 개의 화소 전극열 당 하나씩 배치되어 있는 복수의 데이터선, 그리고

상기 데이터선과 적어도 일부분 중첩되며 상기 데이터선과 전기적으로 절연되어 있는 차폐 전극

을 포함하는 박막 트랜지스터 표시판.

## 청구항 2.

제1항에서,

상기 화소 전극과 중첩하는 유지 전극을 더 포함하는 박막 트랜지스터 표시판.

## 청구항 3.

제2에서,

상기 차폐 전극과 상기 유지 전극은 실질적으로 동일한 전압을 인가 받는 박막 트랜지스터 표시판.

## 청구항 4.

제1항에서,

상기 차폐 전극은 상기 데이터선을 따라 뻗어 있는 박막 트랜지스터 표시판.

## 청구항 5.

제4항에서,

상기 차폐 전극은 상기 데이터선보다 좁은 박막 트랜지스터 표시판.

## 청구항 6.

제1항에서,

상기 차폐 전극은 상기 게이트선과 적어도 일부분 중첩하는 박막 트랜지스터 표시판.

## 청구항 7.

제6항에서,

상기 차폐 전극은 상기 게이트선과 상기 데이터선을 따라 뻗어 있는 박막 트랜지스터 표시판.

## 청구항 8.

제7항에서,

상기 차폐 전극은 상기 게이트선과 상기 데이터선보다 좁은 박막 트랜지스터 표시판.

## 청구항 9.

제1항에서,

상기 데이터선 위에 형성되어 있는 보호막을 더 포함하는 박막 트랜지스터 표시판.

## 청구항 10.

제9항에서,

상기 보호막은 유기 절연 물질을 포함하는 박막 트랜지스터 표시판.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터 표시판(thin film transistor array panel)에 관한 것이다.

일반적인 액정 표시 장치는 화소 전극 및 공통 전극이 구비된 두 표시판과 그 사이에 들어 있는 유전율 이방성(dielectric anisotropy)을 갖는 액정층을 포함한다. 화소 전극은 행렬의 형태로 배열되어 있고 박막 트랜지스터(TFT) 등 스위칭 소자에 연결되어 한 행씩 차례로 데이터 전압을 인가 받는다. 공통 전극은 표시판의 전면에 걸쳐 형성되어 있으며 공통 전압을 인가 받는다. 화소 전극과 공통 전극 및 그 사이의 액정층은 회로적으로 볼 때 액정 축전기를 이루며, 액정 축전기는 이에 연결된 스위칭 소자와 함께 화소를 이루는 기본 단위가 된다.

이러한 액정 표시 장치용 표시판의 제조 방법에서는 마스크를 이용한 사진 식각 공정으로 패터닝하여 배선 또는 접촉구 등의 패턴을 형성하는데, 하나의 모 기관(mother)에는 여러 장의 표시 장치용 표시판이 만들어지며, 사진 식각 공정을 통하여 패턴을 완성한 다음에는 모 기관을 표시판으로 각각 분리한다.

사진 식각 공정에서 마스크 크기보다 모 기관에서 패턴이 형성되는 액티브 영역(active area)이 큰 경우에 이 액티브 영역에 패턴을 형성하기 위해서는 액티브 영역을 분할하여 스텝 앤 리피트(step and repeat) 공정을 수행하는 분할 노광이 필요하다. 이 경우 실제의 슛은 마스크의 전이(shift), 회전(rotation), 비틀림(distortion) 등의 왜곡이 발생하기 때문에 슛 사이가 정확히 정렬되지 않아 슛 사이의 각 배선과 화소 전극 사이에 기생 용량의 차이가 생기거나 패턴 위치의 차이가 생기게 된다.

##### 발명이 이루고자 하는 기술적 과제

이러한 기생 용량의 차이와 패턴 위치의 차이는 각 영역의 전기적인 특성의 차이와 개구율의 차이를 초래하기 때문에, 결국 슛간의 경계 부분에서 화면 밝기의 차이를 초래하게 되어 스티치 불량 또는 플리커(flicker)등의 문제점을 야기한다.

한편, 액정 표시 장치는 또한 스위칭 소자를 제어하기 위한 게이트 신호를 전달하는 게이트선과 전계 생성 전극에 인가하기 위한 데이터 전압을 전달하는 데이터선, 그리고 게이트 신호와 데이터 전압을 생성하는 게이트 구동부와 데이터 구동부

를 구비한다. 게이트 구동부와 데이터 구동부는 복수의 구동 집적 회로 칩으로 이루어지는 것이 보통인데 이러한 칩의 수요를 될 수 있으면 적게 하는 것이 생산 비용을 줄이는 데 중요한 요소이다. 특히 데이터 구동 집적 회로 칩은 게이트 구동 회로 칩에 비하여 가격이 높기 때문에 더욱더 그 수요를 줄일 필요가 있다.

본 발명이 이루고자 하는 기술적 과제는 구동 회로 칩의 수요를 줄여 표시 장치의 제조 비용을 줄이는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는 기생 용량에 의한 표시 장치의 화질 불량을 개선하는 것이다.

## 발명의 구성

이러한 기술적 과제를 이루기 위한 본 발명의 한 특징에 따른 박막 트랜지스터 표시판은, 행렬 형태로 배열되어 있는 복수의 화소 전극, 상기 화소 전극에 연결되어 있는 복수의 박막 트랜지스터, 상기 박막 트랜지스터에 연결되어 있고, 행 방향으로 뻗어 있으며 하나의 화소 전극행 당 두 개씩 배치되어 있는 복수의 게이트선, 상기 박막 트랜지스터에 연결되어 있고, 열 방향으로 뻗어 있으며 두 개의 화소 전극열 당 하나씩 배치되어 있는 복수의 데이터선, 그리고 상기 데이터선과 적어도 일부분 중첩되며 상기 데이터선과 전기적으로 절연되어 있는 차폐 전극을 포함한다.

상기 화소 전극과 중첩하는 유지 전극을 더 포함할 수 있다.

상기 차폐 전극과 상기 유지 전극은 실질적으로 동일한 전압을 인가 받는 것이 바람직하다.

상기 차폐 전극은 상기 데이터선을 따라 뻗어 있는 것이 좋다.

상기 차폐 전극은 상기 데이터선보다 좁을 수 있다.

상기 차폐 전극은 상기 게이트선과 적어도 일부분 중첩할 수 있다.

또한 상기 차폐 전극은 상기 게이트선과 상기 데이터선을 따라 뻗어 있는 것이 바람직하다. 이때, 상기 차폐 전극은 상기 게이트선과 상기 데이터선보다 좁을 수 있다.

상기 데이터선 위에 형성되어 있는 보호막을 더 포함하는 것이 좋다. 상기 보호막은 유기 절연 물질을 포함하는 것이 바람직하다.

첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

이제 본 발명의 실시예에 따른 박막 트랜지스터 표시판에 대하여 도면을 참고로 하여 상세하게 설명한다.

도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다. 또한 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 구조도이다.

도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300) 및 이에 연결된 게이트 구동부(400)와 데이터 구동부(500), 데이터 구동부(500)에 연결된 게조 전압 생성부(800), 그리고 이들을 제어하는 신호 제어부(600)를 포함한다.

액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 표시 신호선( $G_1$ - $G_{2n}$ ,  $D_1$ - $D_m$ )과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)를 포함한다. 또한 액정 표시판 조립체(300)는 서로 마주 보는 하부 및 상부 표시판(100, 200)과 둘 사이에 들어 있는 액정층(3)을 포함한다.

표시 신호선( $G_1-G_{2n}$ ,  $D_1-D_m$ )은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선( $G_1-G_{2n}$ )과 데이터 신호를 전달하는 데이터선( $D_1-D_m$ )을 포함한다. 게이트선( $G_1-G_{2n}$ )은 대략 행 방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선( $D_1-D_m$ )은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다.

각 화소는 게이트선( $G_1-G_{2n}$ ) 및 데이터선( $D_1-D_m$ )에 연결된 스위칭 소자(Q)와 이에 연결된 액정 축전기(liquid crystal capacitor)( $C_{LC}$ ) 및 유지 축전기(storage capacitor)( $C_{ST}$ )를 포함한다. 유지 축전기( $C_{ST}$ )는 필요에 따라 생략할 수 있다.

각 화소의 스위칭 소자(Q)는 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등으로 이루어지며, 게이트선( $G_1-G_{2n}$ )에 연결되어 있는 제어 단자, 데이터선( $D_1-D_m$ )에 연결되어 있는 입력 단자, 그리고 액정 축전기( $C_{LC}$ ) 및 유지 축전기( $C_{ST}$ )에 연결되어 있는 출력 단자를 가지는 삼단자 소자이다.

액정 축전기( $C_{LC}$ )는 하부 표시판(100)의 화소 전극(191)과 공통 전극 표시판인 상부 표시판(200)의 공통 전극(270)을 두 단자로 하며 두 전극(191, 270) 사이의 액정층(3)은 유전체로서 기능한다. 화소 전극(191)은 스위칭 소자(Q)에 연결되며 공통 전극(270)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(Vcom)을 인가받는다. 도 2에서와는 달리 공통 전극(270)이 하부 표시판(100)에 구비되는 경우도 있으며 이때에는 두 전극(191, 270) 중 적어도 하나가 선형 또는 막대형으로 만들어질 수 있다.

액정 축전기( $C_{LC}$ )의 보조적인 역할을 하는 유지 축전기( $C_{ST}$ )는 하부 표시판(100)에 구비된 별개의 신호선(도시하지 않음)과 화소 전극(191)이 절연체를 사이에 두고 중첩되어 이루어지며 이 별개의 신호선에는 공통 전압(Vcom) 따위의 정해진 전압이 인가된다. 그러나 유지 축전기( $C_{ST}$ )는 화소 전극(191)이 절연체를 매개로 바로 위의 전단 게이트선과 중첩되어 이루어질 수 있다.

도 1에 도시한 바와 같이, 한 쌍의 게이트선( $G_1$  및  $G_2$ ,  $G_3$  및  $G_4$ ,...)은 한 행의 화소 전극(191) 위아래에 배치되어 있다. 또한 데이터선( $D_1-D_m$ )은 두 열의 화소 전극(191) 사이에 하나씩 배치되어 있다. 즉, 한 쌍의 화소열 사이에 하나의 데이터선이 배치되어 있다. 이들 게이트선( $G_1-G_{2n}$ ) 및 데이터선( $D_1-D_m$ )과 화소 전극(191) 간의 연결을 도 3을 참고로 하여 좀 더 자세히 설명한다.

화소 전극(191)의 위쪽과 아래쪽에 연결된 복수 쌍의 게이트선( $G_1-G_{2n}$ )은 각 화소 전극(191)의 위쪽 또는 아래쪽에 배치된 스위칭 소자(Q)를 통해 해당 화소 전극(191)에 연결된다.

즉, 한 화소행에서 인접한 두 데이터선( $D_p$ ,  $D_{p+1}$ ) 사이에 위치한 한 쌍의 화소 전극(191)에 연결된 스위칭 소자(Q)는 서로 다른 게이트선( $G_{2q+1}$ ,  $G_{2q+2}$ )( $q=0, 1, 2, \dots$ )에 연결되어 있는데, 예를 들면 화소의 아래쪽에 배치된 스위칭 소자(Q)는 아래쪽 게이트선( $G_{2q+2}$ )에 연결되어 있고, 위쪽에 배치된 스위칭 소자(Q)는 위쪽 게이트선( $G_{2q+1}$ )에 연결되어 있다.

뿐만 아니라, 데이터선( $D_p$ ,  $D_{p+1}$ )에서 뻗어 나와 스위칭 소자(Q)에 연결되는 복수의 단자선은 모두 인접한 두 게이트선 사이에 존재한다.

각 스위칭 소자(Q)는 데이터선( $D_p$ ,  $D_{p+1}$ )에서 먼 쪽에 배치되어 있다. 다시 말하면, 대략 직사각형인 화소 전극(191)의 두 개 세로 경계선 중에서 하나는 데이터선( $D_p$ ,  $D_{p+1}$ )과 인접하고 다른 하나는 데이터선( $D_p$ ,  $D_{p+1}$ )에서 멀리 떨어져 있는데, 스위칭 소자(Q)는 모두 데이터선( $D_p$ ,  $D_{p+1}$ )에서 먼 경계선 부근에 위치한다.

인접한 두 데이터선( $D_p$ ,  $D_{p+1}$ ) 사이에 위치하며 행 방향으로 인접한 한 쌍의 화소(이하, "단위 화소쌍"이라 함)의 스위칭 소자(Q)는 동일한 데이터선( $D_p$ ,  $D_{p+1}$ )에 연결되어 있다. 또한 열 방향으로 인접한 한 쌍의 화소는 서로 다른 데이터선( $D_p$ ,  $D_{p+1}$ )에 연결되어 있으며 그 스위칭 소자(Q)는 서로 반대쪽에 위치한다. 하나의 화소행을 볼 때는 동일한 구조의 단위 화소쌍이 반복되는 구조이다. 결국,  $2 \times 1$  행렬 구조의 화소 배열이 행 방향과 열 방향으로 반복 배열된다.

도 3에 도시한 배치는 단지 하나의 예이고, 홀수 번째 행과 짝수 번째 행의 화소 전극(191)과 데이터선( $D_1-D_m$ ) 및 게이트선( $G_1-G_{2n}$ )의 연결은 서로 바뀔 수 있으며, 또한 다른 연결 관계를 가질 수 있다.

도 1에 도시한 것과는 달리, 표시 신호선은 액정 표시판 조립체(300)의 좌측 가장자리와 우측 가장 자리 부근에 각 형성되어 있고 데이터선( $D_1-D_m$ )과 거의 평행하고 대략 열 방향으로 뻗어 있는 더미선을 포함할 수 있다. 이들 더미선 역시 데이터선( $D_1-D_m$ )과 마찬가지로 스위칭 소자(Q)에 연결되며, 이들 스위칭 소자(Q)를 통해, 예를 들어 첫 번째 열 짝수 번째 행의 화소 전극(191)과 마지막 열 홀수번째 행의 화소 전극에 각각 연결될 수 있다.

한편, 색 표시를 구현하기 위해서는 각 화소가 원색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소가 시간에 따라 번갈아 원색을 표시하게(시간 분할) 하여 이들 원색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 원색의 예로는 적색, 녹색 및 청색을 들 수 있다.

도 2는 공간 분할의 한 예로서 각 화소가 상부 표시판(200)의 영역에 원색 중 하나를 나타내는 색 필터(230)를 구비함을 보여주고 있다. 도 2와는 달리 색 필터(230)는 하부 표시판(100)의 화소 전극(191) 위 또는 아래에 형성할 수도 있다.

액정 표시판 조립체(300)의 두 표시판(100, 200) 중 적어도 하나의 바깥 면에는 빛을 편광시키는 편광자(도시하지 않음)가 부착되어 있다.

그러면, 이러한 액정 표시판 조립체(300)의 박막 트랜지스터 표시판(100)의 구조에 대하여 도 4 내지 도 7을 참고로 하여 상세하게 설명한다.

도 4는 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 배치도이고 도 5 내지 도 7은 각각 도 4의 박막 트랜지스터 표시판을 V-V선, VI-VI선 및 VII-VII 선을 따라 절단한 단면도이다.

투명한 유리 또는 플라스틱 따위로 만들어진 절연 기판(110) 위에 복수의 게이트선(gate line)(121a, 121b)과 복수의 유지 전극선(storage electrode)(131)이 형성되어 있다.

게이트선(121a, 121b)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있다. 게이트선(121a, 121b)은 아래 또는 위로 돌출한 복수의 게이트 전극(124a, 124b)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(129)을 포함한다. 두 개의 게이트선(121a, 121b)은 서로 인접하여 쌍을 이룬다. 맨 위의 게이트선(121b)과 맨 아래의 게이트선(121a)은 쌍을 이루지 않을 수 있다. 게이트 전극(124)은 경계선 중 일부가 게이트선(121)이 뻗은 방향과 실질적으로 평행한 상부 경계선을 가지고 있다.

게이트 신호를 생성하는 게이트 구동부(400)는 기판(110) 위에 부착되는 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되거나, 기판(110) 위에 직접 장착되거나, 기판(110)에 집적될 수 있다. 게이트 구동부(400)가 기판(110) 위에 집적되어 있는 경우 게이트선(121a, 121b)이 연장되어 이와 직접 연결될 수 있다.

각 유지 전극선(131)은 게이트선(121a, 121b)과 분리되어 있고, 서로 연결되어 한 쌍의 직사각형을 이루는 복수의 유지 전극(133a-133d) 집합과 한 쌍의 유지 전극 연결부(135a, 135b)를 포함한다.

하나의 유지 전극(133a-133d) 집합은 주로 가로 방향으로 뻗은 제1 유지 전극(133a) 및 제2 유지 전극(133b)을 한 쌍씩 포함하고, 주로 세로 방향으로 뻗은 한 쌍의 제3 유지 전극(133c)과 그 사이에 위치하며 세로 방향으로 뻗은 제4 유지 전극(133d)을 포함한다. 제4 유지 전극(133d)을 중심으로 좌우 양쪽에 제1 내지 제3 유지 전극(133a-133c)이 하나씩 배치되어 제4 유지 전극(133d)을 공유하는 직사각형을 이루고, 이 두 직사각형은 제4 유지 전극(133d) 중앙을 중심으로 180° 회전 대칭 관계를 갖는다.

유지 전극 연결부(135)는 인접한 두 유지 전극(133a-133d) 집합의 인접한 유지 전극(133c)을 연결하며, 유지 전극(133a)은 게이트 전극(124) 부근에서 굽어있다.

유지 전극선(131)에는 액정 표시 장치의 공통 전극 표시판(200)의 공통 전극(270)에 인가되는 공통 전압 등 소정의 전압이 인가된다.

게이트선(121a, 121b)과 유지 전극선(131)은 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)이나 은 합금 등 은 계열의 금속, 구리(Cu)나 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 이루어진다. 그러나 게이트선(121a, 121b)과 유지 전극선(131)은 물리적 성질이 다른 두 개의 막(도시하지 않음)을 포함하는 다중막을 가질 수도 있다. 이 중 한 도전막은 신호 지연이나 전압 강하를 줄일 수 있도록 비저항(resistivity)이 낮은 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 만들어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 탄탈륨, 티타늄 등으로 만들어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄(합금) 상부막 및 알루미늄(합금) 하부막과 몰리브덴(합금) 상부막을 들 수 있다. 그러나 게이트선(121a, 121b) 및 유지 전극선(131)은 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.

게이트선(121a, 121b)과 유지 전극선(131)의 측면은 기판(110)의 면에 대하여 경사져 있으며 그 경사각은 약 30° 내지 80°인 것이 바람직하다.

게이트선(121a, 121b) 및 유지 전극선(131) 위에는 질화규소( $\text{SiN}_x$ ) 따위로 이루어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.

게이트 절연막(140) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 또는 다결정 규소 등으로 이루어진 복수의 섬형 반도체(152, 153, 154a, 154b)가 형성되어 있다. 반도체(154a, 154b)는 각각 게이트 전극(124a, 124b) 위에 위치하며 이들을 덮고 있고 반도체(154a)는 연장되어 이웃하는 게이트선(121a) 및 유지 전극 연결부(135a)를 덮는다. 또한 반도체(152)는 유지 전극 연결부(135b)를 덮고 있다. 섬형 반도체(153)는 게이트선(121a, 121b)을 덮고 있다.

반도체(152, 153, 154a, 154b)의 위에는 복수의 섬형 저항성 접촉 부재(ohmic contact)(162, 166, 163a, 163b, 165a, 165b)가 형성되어 있다. 저항성 접촉 부재(ohmic contact)(162, 166, 163a, 163b, 165a, 165b)는 인 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다. 접촉 부재(163a/163b)와 접촉 부재(165a/165b)는 쌍을 이루어 섬형 반도체(154a/154b) 위에 위치한다.

반도체(152, 153, 154a, 154b)와 저항성 접촉 부재(162, 166, 163a, 163b, 165a, 165b)의 측면 역시 기판(110)의 면에 대하여 경사져 있으며 경사각은 30° 내지 80°정도이다.

저항성 접촉 부재(162, 166, 163a, 163b, 165a, 165b) 및 게이트 절연막(140) 위에는 각각 복수의 데이터선(data line)(171)과 복수의 드레인 전극(drain electrode)(175a, 175b)이 형성되어 있다.

데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121a, 121b) 및 유지 전극 연결부(135a, 135b)와 교차한다. 각 데이터선(171)은 게이트 전극(124)을 향하여 뻗은 복수의 소스 전극(source electrode)(173)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(179)을 포함한다. 데이터 신호를 생성하는 데이터 구동부(500)는 기판(110) 위에 부착되는 가요성 인쇄 회로막(도시하지 않음) 위에 장착되거나, 기판(110) 위에 직접 장착되거나, 기판(110)에 집적될 수 있다. 데이터 구동부(500)가 기판(110) 위에 집적되어 있는 경우, 데이터선(171)이 연장되어 이와 직접 연결될 수 있다.

드레인 전극(175a, 175b)은 데이터선(171)과 분리되어 있고 게이트 전극(124)을 중심으로 소스 전극(173a, 173b)과 마주 본다. 각 드레인 전극(175a, 175b)은 면적이 넓은 한 쪽 끝 부분과 막대형인 다른 쪽 끝 부분을 가지고 있다. 넓은 끝 부분은 유지 전극선(133a)과 중첩하며, 막대형 끝 부분은 U자형으로 구부러진 소스 전극(173a, 173b)으로 일부 둘러싸여 있다. 즉, 소스 전극(173b)은 드레인 전극(175a)의 선형 끝 부분을 일부 둘러싸고 있고 소스 전극(173a)은 인접한 두 게이트선(121a, 121b) 사이를 가로질러 차인접 드레인 전극(175a)에 접근하여 드레인 전극(175a)의 선형 끝 부분을 일부 둘러싸고 있다.

이때, 드레인 전극(175a, 175b)은 게이트 전극(124a, 124b)과 중첩하는데, 특히 게이트선(121a, 121b)과 실질적으로 평행하고 데이터선(171)과 실질적으로 수직인 게이트 전극(124a, 124b)의 상부 경계선과 중첩한다. 이와 같이 하면 게이트 전극(124a, 124b)의 상부 경계선을 따라, 즉, 게이트선(121a, 121b)이 뻗은 방향을 따라 드레인 전극(175a, 175b)이 이동하더라도 드레인 전극(175a, 175b)과 게이트 전극(124a, 124b)의 중첩 면적은 일정하게 유지된다.

하나의 게이트 전극(124a, 124b), 하나의 소스 전극(173a, 173b) 및 하나의 드레인 전극(175a, 175b)은 섬형 반도체(154a, 154b)와 함께 하나의 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173a, 173b)과 드레인 전극(175a, 175b) 사이의 섬형 반도체(154a, 154b)에 형성된다.

데이터선(171)과 드레인 전극(175a, 175b)은 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속(refractory metal) 또는 이들의 합금으로 만들어지는 것이 바람직하며, 내화성 금속막(도시하지 않음)과 저저항 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수 있다. 다중막 구조의 예로는 크롬 또는 몰리브덴 (합금) 하부막과 알루미늄 (합금) 상부막의 이중막, 몰리브덴 (합금) 하부막과 알루미늄 (합금) 중간막과 몰리브덴 (합금) 상부막의 삼중막을 들 수 있다. 그러나 데이터선(171) 및 드레인 전극(175a, 175b)은 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.

데이터선(171)과 드레인 전극(175a, 175b) 또한 그 측면이 기판(110)의 면에 대하여 30° 내지 80° 정도의 경사각으로 기울어진 것이 바람직하다.

저항성 접촉 부재(162, 166, 163a, 163b, 165a, 165b)는 그 하부의 반도체(152, 153, 154a, 154b)와 그 상부의 데이터선(171) 및 드레인 전극(175a, 175b) 사이에만 존재하며 접촉 저항을 낮추어 주는 역할을 한다.

이미 설명했듯이, 섬형 반도체(152, 153, 154a, 154b)는 데이터선(171) 또는 드레인 전극(175a, 175b)이 게이트선(121) 및 유지 전극선(133a-133d, 135)과 만나는 부분에 게이트선(121) 및 유지 전극선(133a-133d, 135)의 경계를 덮어 데이터선(171)의 단선을 방지한다.

데이터선(171) 및 드레인 전극(175a, 175b)과 노출된 반도체(152, 153, 154a, 154b) 부분의 위에는 보호막(passivation layer)(180)이 형성되어 있다. 보호막(180)은 질화 규소 및 산화 규소와 같은 무기 절연물 따위로 만들어지며 표면이 평탄할 수 있다. 그러나 보호막(180)은 유기막의 우수한 절연 특성을 살리면서도 노출된 반도체(154a, 154b) 부분에 해가 가지 않도록 하부 무기막과 상부 유기막의 이중막 구조를 가질 수 있다. 이때 유기막은 감광성(photosensitivity)을 가질 수 있으며 그 유전 상수(dielectric constant)는 약 4.0 이하인 것이 바람직하다.

보호막(180)에는 데이터선(171)의 끝 부분(179)과 드레인 전극(175a, 175b)을 각각 드러내는 복수의 접촉 구멍(contact hole)(182, 185)이 형성되어 있으며, 보호막(180)과 게이트 절연막(140)에는 게이트선(121)의 끝 부분(129)을 드러내는 복수의 접촉 구멍(181)이 형성되어 있다.

보호막(180) 위에는 복수의 화소 전극(pixel electrode)(191), 복수의 차폐 전극(88) 및 복수의 접촉 보조 부재(contact assistant)(81, 82)가 형성되어 있다. 이들은 ITO 또는 IZO 등의 투명한 도전 물질이나 알루미늄, 은, 크롬 또는 그 합금 등의 반사성 금속으로 만들어질 수 있다.

화소 전극(191)은 접촉 구멍(185)을 통하여 드레인 전극(175a, 175b)과 물리적·전기적으로 연결되어 드레인 전극(175a, 175b)으로부터 데이터 전압을 인가 받는다. 데이터 전압이 인가된 화소 전극(191)은 공통 전압(Vcom)을 인가 받는 다른 표시판(도시하지 않음)의 공통 전극(270)과 함께 전기장을 생성함으로써 두 전극(191, 270) 사이의 액정층(3)의 액정 분자의 방향을 결정한다. 이와 같이 결정된 액정 분자의 방향에 따라 액정층(3)을 통과하는 빛의 편광이 달라진다.

이미 설명한 것처럼, 화소 전극(191)과 공통 전극(270)은 액정 축전기( $C_{LC}$ )를 이루어 박막 트랜지스터가 턴 오프된 후에도 인가된 전압을 유지하는데, 전압 유지 능력을 강화하기 위하여 액정 축전기( $C_{LC}$ )와 병렬로 연결된 유지 축전기( $C_{ST}$ )는 화소 전극(191) 및 이와 이웃하는 유지 전극선(131)의 중첩 등으로 만들어진다.

화소 전극(191)은 드레인 전극(175a, 175b)의 확장된 끝 부분과 유지 전극(133a)을 덮으며 유지 전극(133b, 133c, 133d)과는 일부 중첩되어 화소 전극(191)의 경계선이 유지 전극(133b, 133c, 133d) 위에 위치한다. 이와 같이 게이트선(121a, 121b)과 화소 전극(191)의 경계선 사이에 유지 전극(133b)이 노출되어 있으며 화소 전극(191)과 게이트선(121a) 사이의 기생 용량에 의한 화소 전극(191)의 전압 변동이 줄어든다.

차폐 전극(88)은 공통 전압을 인가 받으며, 데이터선(171)을 따라 뻗어 있는 세로부와 게이트선(121a, 121b)을 따라 뻗은 가로부를 포함하고 있는데, 세로부는 데이터선(171)보다 좁고, 가로부는 인접한 세로부를 연결하며 게이트선(121a,

121b)의 경계선 안쪽에 위치한다. 차폐 전극(88)은 데이터선(171)과 화소 전극(191) 사이 및 데이터선(171)과 공통 전극(270) 사이에서 형성되는 전계를 차단하여 화소 전극(191)의 전압 왜곡 및 데이터선(171)이 전달하는 데이터 전압의 신호 지연을 줄여준다.

화소 전극(191)은 차폐 전극(88)과 일정 거리 이상 떨어져 있으며 이는 둘 사이의 단락을 방지하기 위해서이다. 따라서 화소 전극(191)이 데이터선(171)으로부터 더 멀어지므로 이들 사이의 기생 용량이 줄어든다.

또한, 액정층[(3)]의 유전율(permittivity)이 보호막(180)의 유전율보다 높기 때문에, 데이터선(171)과 차폐 전극(88) 사이의 기생 용량이 차폐 전극(88)이 없을 때 데이터선(171)과 공통 전극(270) 사이의 기생 용량에 비하여 작다.

또 화소 전극(191)과 차폐 전극(88)이 동일한 층으로 만들어지기 때문에 이들 사이의 거리가 일정하게 유지되며 이에 따라 이들 사이의 기생 용량이 일정하다.

접촉 보조 부재(81, 82)는 접촉 구멍(181, 182)을 통하여 게이트선(121a, 121b)의 끝 부분(129) 및 데이터선(171)의 끝 부분(179)과 각각 연결된다. 접촉 보조 부재(81, 82)는 게이트선(121a, 121b) 및 데이터선(171)의 각 끝 부분(129, 179)과 외부 장치와의 접착성을 보완하고 이들을 보호하는 역할을 한다. 게이트선(121a, 121b)에 주사 신호를 인가하는 게이트 구동부(도시하지 않음)가 표시판 위에 집적된 경우 접촉 부재(81)는 게이트선(121a, 121b)의 끝 부분(129)과 게이트 구동부를 연결하는 연결 부재의 역할을 할 수 있으며 때에 따라 생략될 수도 있다.

본 발명의 다른 실시예에 따르면 화소 전극(191)의 재료로 투명한 도전성 폴리머(polymer) 등을 사용하며, 반사형(reflective) 액정 표시 장치의 경우 불투명한 반사성 금속을 사용하여도 무방하다. 이때, 접촉 보조 부재(81, 82)는 화소 전극(191)과 다른 물질, 특히 ITO 또는 IZO로 만들어질 수 있다.

화소 전극(191) 위에는 액정층(3)을 배향할 수 있는 배향막(도시하지 않음)이 도포되어 있다.

다시 도 1을 참고하면, 계조 전압 생성부(800)는 화소의 투과율과 관련된 두 별의 복수 계조 전압을 생성한다. 두 별 중 한 별은 공통 전압( $V_{com}$ )에 대하여 양의 값을 가지고 다른 한 별은 음의 값을 가진다.

게이트 구동부(400)는 액정 표시판 조립체(300)의 게이트선( $G_1-G_{2n}$ )에 연결되어 외부로부터의 게이트 온 전압( $V_{on}$ )과 게이트 오프 전압( $V_{off}$ )의 조합으로 이루어진 게이트 신호를 게이트선( $G_1-G_{2n}$ )에 인가한다.

데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선( $D_1-D_m$ )에 연결되어 계조 전압 생성부(800)로부터의 계조 전압을 선택하여 데이터 전압으로서 화소에 인가한다.

게이트 구동부(400) 또는 데이터 구동부(500)는 복수의 구동 집적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(300)에 부착될 수도 있다. 이와는 달리, 게이트 구동부(400) 또는 데이터 구동부(500)가 표시 신호선( $G_1-G_{2n}$ ,  $D_1-D_m$ )과 박막 트랜지스터 스위칭 소자(Q) 따위와 함께 액정 표시판 조립체(300)에 집적될 수도 있다.

신호 제어부(600)는 게이트 구동부(400) 및 데이터 구동부(500) 등의 동작을 제어한다.

그러면 이러한 액정 표시 장치의 표시 동작에 대하여 상세하게 설명한다.

신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호, 예를 들면 수직 동기 신호( $V_{sync}$ )와 수평 동기 신호( $H_{sync}$ ), 메인 클럭(MCLK), 데이터 인에이블 신호(DE) 등을 제공받는다. 신호 제어부(600)의 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 영상 신호(R, G, B)를 액정 표시판 조립체(300)의 동작 조건에 맞게 적절히 처리하고 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(DAT)를 데이터 구동부(500)로 내보낸다. 여기에서 영상 신호(R, G, B)의 처리는 도 3에 도시한 액정 표시판 조립체(300)의 화소 배열에 따라 영상 신호(R, G, B)를 재배열하는 동작을 포함한다.

게이트 제어 신호(CONT1)는 주사 시작을 지시하는 주사 시작 신호(STV)와 게이트 온 전압(Von)의 출력 시간을 제어하는 적어도 하나의 클록 신호를 포함한다. 게이트 제어 신호(CONT1)는 또한 게이트 온 전압(Von)의 지속 시간을 한정하는 출력 인에이블 신호(OE)를 포함할 수 있다.

데이터 제어 신호(CONT2)는 일군의 화소에 대한 데이터의 전송의 시작을 알리는 수평 동기 시작 신호(STH)와 데이터선(D<sub>1</sub>-D<sub>m</sub>)에 해당 데이터 전압을 인가하라는 로드 신호(LOAD) 및 데이터 클록 신호(HCLK)를 포함한다. 데이터 제어 신호(CONT2)는 또한 공통 전압(Vcom)에 대한 데이터 전압의 극성(이하 공통 전압에 대한 데이터 전압의 극성을 줄여 데이터 전압의 극성이라 함)을 반전시키는 반전 신호(RVS)를 포함할 수 있다.

신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라, 데이터 구동부(500)는 한 행의 화소 중 반에 대한 영상 데이터(DAT) 집합을 차례로 수신하고 계조 전압 생성부(800)로부터의 계조 전압 중 각 영상 데이터(DAT)에 대응하는 계조 전압을 선택함으로써 영상 데이터(DAT)를 해당 아날로그 데이터 전압으로 변환한 후, 이를 해당 데이터선(D<sub>1</sub>-D<sub>m</sub>)에 인가한다.

게이트 구동부(400)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(V<sub>on</sub>)을 게이트선(G<sub>1</sub>-G<sub>2n</sub>)에 차례로 인가하여 이 게이트선(G<sub>1</sub>-G<sub>2n</sub>)에 연결된 스위칭 소자(Q)를 턴온시킨다. 이와 같이 하면, 데이터선(D<sub>1</sub>-D<sub>m</sub>)에 인가된 데이터 전압이 턴온된 스위칭 소자(Q)를 통하여 해당 화소에 인가된다.

화소에 인가된 데이터 전압과 공통 전압(Vcom)의 차이는 액정 축전기(C<sub>LC</sub>)의 충전 전압, 즉 화소 전압으로서 나타난다. 액정 분자들은 화소 전압의 크기에 따라 그 배열을 달리하며 이에 따라 액정층(3)을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 표시판(100, 200)에 부착된 편광자(도시하지 않음)에 의하여 빛의 투과율 변화로 나타난다.

1/2 수평 주기(또는 "1/2H") [수평 동기 신호(Hsync) 및 데이터 인에이블 신호(DE)의 한 주기와 동일함]를 단위로 하여 데이터 구동부(500)와 게이트 구동부(400)는 동일한 동작을 반복한다. 이러한 방식으로, 한 프레임(frame) 동안 모든 게이트선(G<sub>1</sub>-G<sub>2n</sub>)에 대하여 차례로 게이트 온 전압(V<sub>on</sub>)을 인가하여 모든 화소에 데이터 전압을 인가한다. 한 프레임이 끝나면 다음 프레임이 시작되고 각 화소에 인가되는 데이터 전압의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다("프레임 반전").

이러한 프레임 반전 외에도 데이터 구동부(500)는 한 프레임 내에서 이웃하는 데이터선(D<sub>1</sub>-D<sub>m</sub>)을 타고 내려가는 데이터 전압의 극성을 반전시키며 이에 따라 데이터 전압을 인가받은 화소 전압의 극성 역시 변화한다. 그런데 도 3에 도시한 바와 같이 화소와 데이터선(D<sub>1</sub>-D<sub>m</sub>)의 연결이 다양하므로 데이터 구동부(500)에서의 극성 반전 패턴과 액정 표시판 조립체(300)의 화면에 나타나는 화소 전압의 극성 반전 패턴이 다르게 나타난다. 아래에서는 데이터 구동부(500)에서의 반전을 구동부 반전(driver inversion)이라고 하고, 화면에 나타나는 반전을 겉보기 반전(apparent inversion)이라 한다.

다시 도 3을 참고로 하여, 본 발명의 한 실시예에 따른 반전 형태에 대하여 상세하게 설명한다.

도 3에서 구동부 반전은 열 반전으로서 하나의 데이터선에 흐르는 데이터 전압은 항상 동일 극성이고 이웃한 두 데이터선에 흐르는 데이터 전압은 반대 극성이며, 겉보기 반전은 1×2 도트 반전이다.

이처럼, 겉보기 반전이 도트 반전이 되면 화소 전압이 정극성일 때와 부극성일 때에 나타나는 휘도의 차가 분산되어 나타나므로 세로줄 불량이 줄어든다.

다음 도 8 및 도 9를 참고로 하여 본 발명의 비교예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조에 대하여 설명한다.

도 8은 본 발명의 비교예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 9는 도 8의 박막 트랜지스터 표시판을 IX-IX선을 따라 절단한 단면도이다.

도 8을 참고로 하면, 본 발명의 비교예에 따른 박막 트랜지스터 표시판(100)에 대한 층상 구조는 도 4 내지 도 7에 도시한 구조와 유사하다.

기관(110) 위에 복수의 게이트 전극(124)을 포함하는 복수의 게이트선(121a, 121b)과 유지 전극(133a, 133b, 133c, 133d) 및 유지 전극 연결부(135a, 135b)를 포함하는 복수의 유지 전극선(131)이 형성되어 있고, 그 위에 게이트 절연막(140), 복수의 섬형 반도체(152, 153, 154a, 154b) 및 복수의 저항성 접촉 부재(162, 166, 163a, 163b, 165a, 165b)가 차례로 형성되어 있다. 저항성 접촉 부재(162, 166, 163a, 163b, 165a, 165b) 및 게이트 절연막(140) 위에는 복수의 데이터선(171) 및 복수의 드레인 전극(175a, 175b)이 형성되어 있고 그 위에 보호막(180')이 형성되어 있다. 보호막(180') 및 게이트 절연막(140)에는 복수의 접촉 구멍(181, 182)이 형성되어 있으며, 보호막(180') 위에는 복수의 화소 전극(191)과 복수의 접촉 보조 부재(82, 81)가 형성되어 있다.

하지만, 도 8 및 도 9에 도시한 액정 표시 장치용 박막 트랜지스터 표시판에서 보호막(180')은 유기 절연물 따위로 만들어진다. 이때, 유기 절연물은 감광성(photosensitivity)을 가질 수 있으며 그 유전 상수(dielectric constant)는 약 4.0 이하인 것이 바람직하다. 또한, 도 8 및 도 9에 도시한 액정 표시 장치용 박막 트랜지스터 표시판에는 차폐 전극이 형성되어 있지 않다.

따라서 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 일부 단면도인 도 6과 본 발명의 비교예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 일부 단면도인 도 9에 각각 도시한 것처럼, 도 6에 도시한 보호막(180)의 두께에 비하여 도 9에 도시된 보호막(180')의 두께가 현저히 감소하였다. 또한 도 9의 경우, 차폐 전극이 존재하지 않으므로 유지 전극선(131)과 중첩되는 화소 전극(191)의 중첩 면적이 도 6에 도시한 것보다 크게 감소한다.

이로 인해, 비교예와 비교할 때, 실시예에서 발생하는 기생 용량이 현저하게 감소한다.

즉, 이미 설명한 것처럼, 인접한 화소 전극(191) 사이에 일정한 DC 전압이 공통 전압(Vcom)이 인가되는 차폐 전극(88)이 존재하므로, 화소 전극(191)이 데이터선(171)으로부터 떨어져 이들 사이의 기생 용량이 줄어들고, 인접한 화소 전극(191) 사이의 기생 용량이 없어진다. 비록 차폐 전극(88)과 인접한 화소 전극(191) 사이에도 기생 용량이 발생하지만, 차폐 전극(88)에 일정한 DC 전압인 공통 전압(Vcom)이 인가되므로 이때 발생하는 기생 용량은 일정하게 유지되므로, 화소 전극(191)들 간의 전위 편차를 유발하지 않는다.

또한 데이터선(170)과 공통 전극(270) 사이의 기생 용량 대신에 발생 용량이 훨씬 적은 데이터선(170)과 차폐 전극(88) 사이의 기생 용량이 발생하므로 발생하는 총 기생 용량의 크기가 줄어든다. 이에 덧붙여, 유지 전극선(131)과 화소 전극(191)의 중첩 영역이 감소되어, 이들 사이에 발생하는 기생 용량 역시 줄어든다.

더욱이, 두꺼워진 보호막(180)의 두께에 의해, 화소 전극(191)과 그 하부막들(124a, 124b, 131, 175a, 175b)간의 거리가 멀어져, 이들 사이에 발생하는 기생 용량의 발생이 크게 줄어든다.

이로 인해, 액정 표시 장치에서 발생하는 거의 모든 기생 용량의 크기가 크게 감소하여, 이들 기생 용량에 따른 화질 불량 등이 크게 줄어든다.

### 발명의 효과

이상에서 기술한 바와 같이, 이웃한 화소행간에 스위칭 소자가 연결된 데이터선의 위치를 변경하면, 구동부 반전은 열 반전 방식이어도 겹보기 반전은 1×2 도트 반전이 될 수 있다. 따라서 데이터 구동부로부터 열 반전 방식으로 데이터 전압의 극성이 결정되어 인가되므로 데이터선의 재료 선택 폭이 커져, 제조 공정을 단순화하기가 쉽고, 겹보기 반전이 도트 반전 이므로 화질이 향상된다. 더욱이 데이터선의 개수가 줄어들므로, 이에 연결된 고가의 데이터 구동 회로 칩의 수효도 감소하여 표시 장치의 제조 비용이 크게 줄어든다.

또한 기생 용량의 발생 정도를 크게 줄임으로써, 이들 기생 용량에 의한 화소간 전위 편차로 인한 화질 불량이 크게 줄어든다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

### 도면의 간단한 설명

도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이다.

도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.

도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 구조도이다.

도 4는 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 배치도이다.

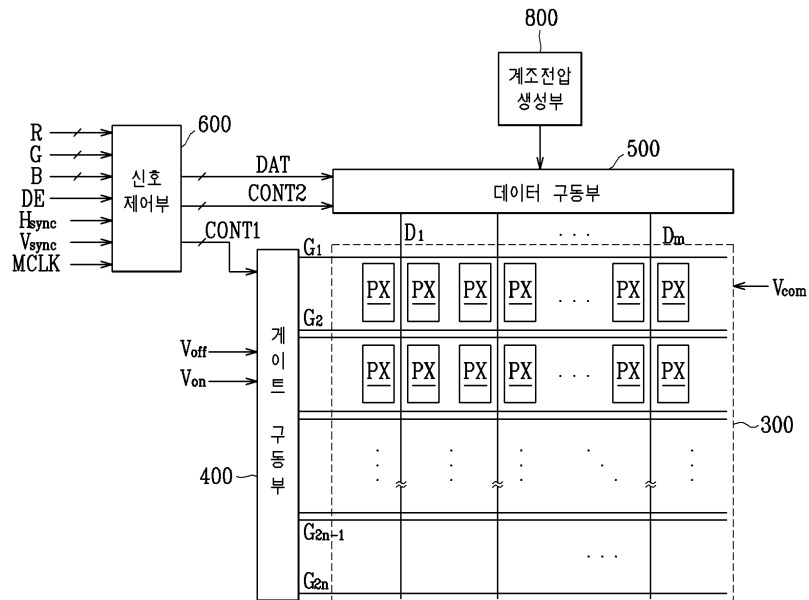
도 5 내지 도 7은 각각 도 4의 박막 트랜지스터 표시판을 V-V선, VI-VI선 및 VII-VII 선을 따라 절단한 단면도이다.

도 8은 본 발명의 비교예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이다.

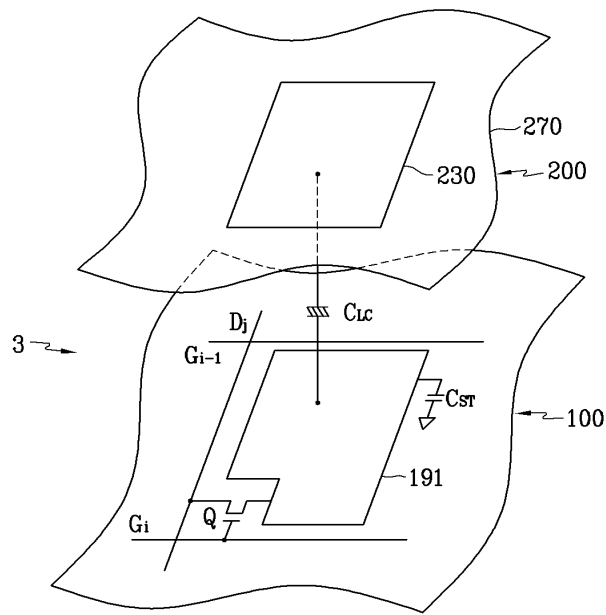
도 9는 도 8의 박막 트랜지스터 표시판을 IX-IX'선을 따라 절단한 단면도이다.

도면

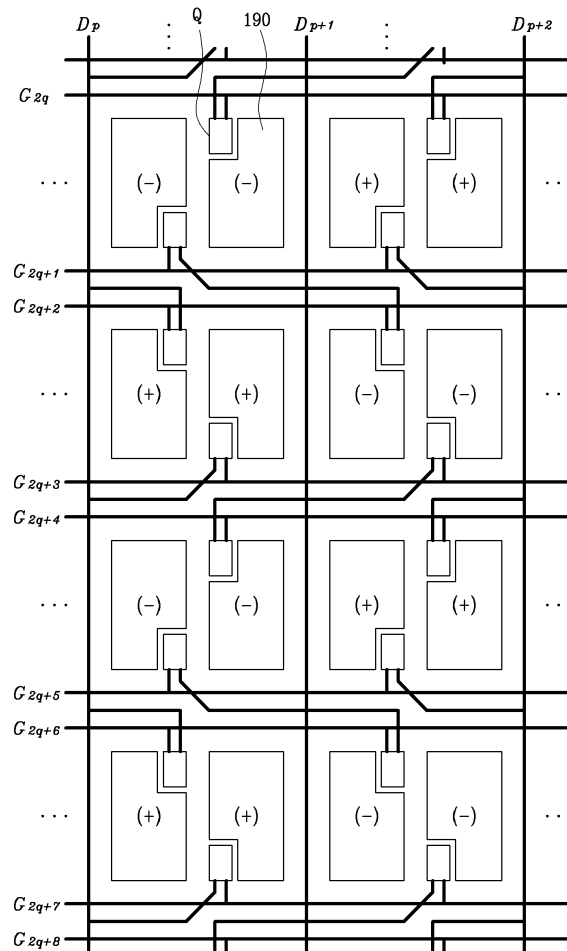
도면1



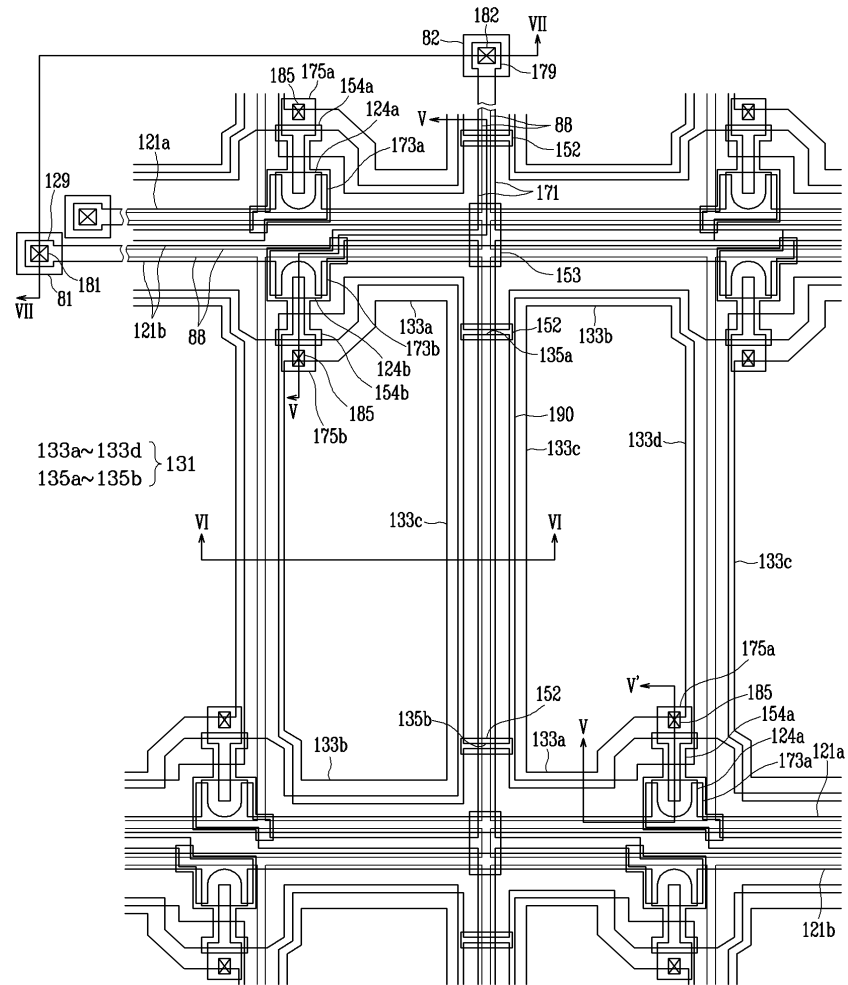
도면2



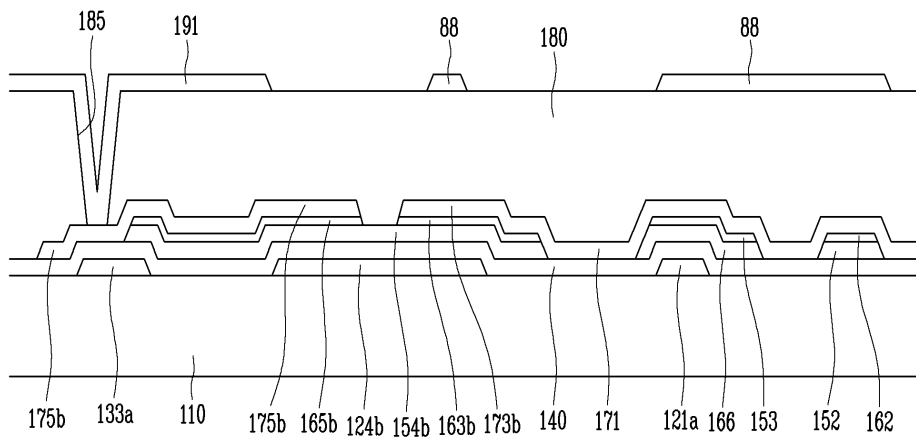
도면3



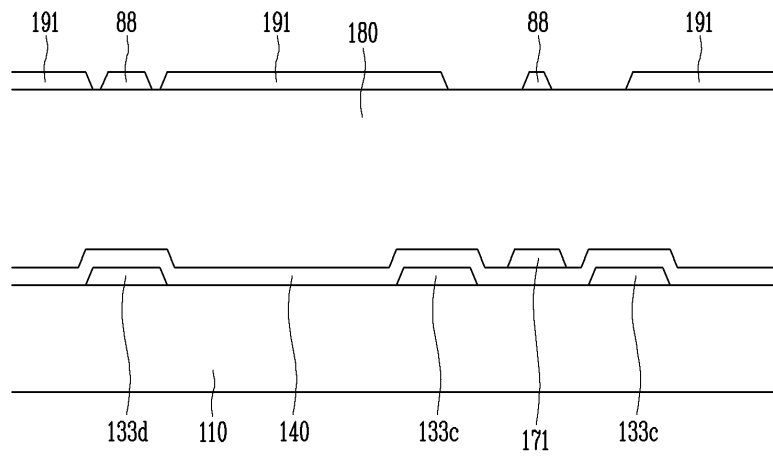
도면4



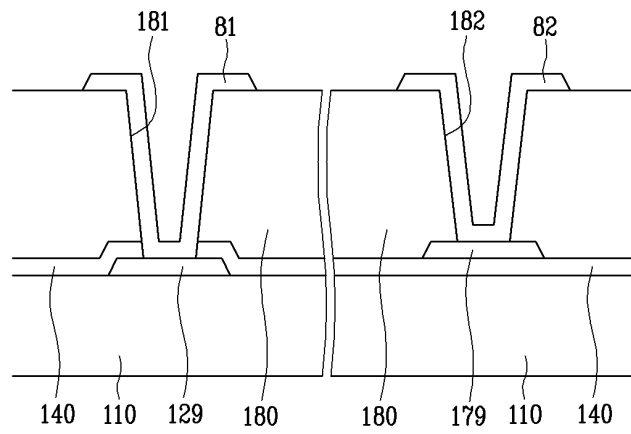
도면5



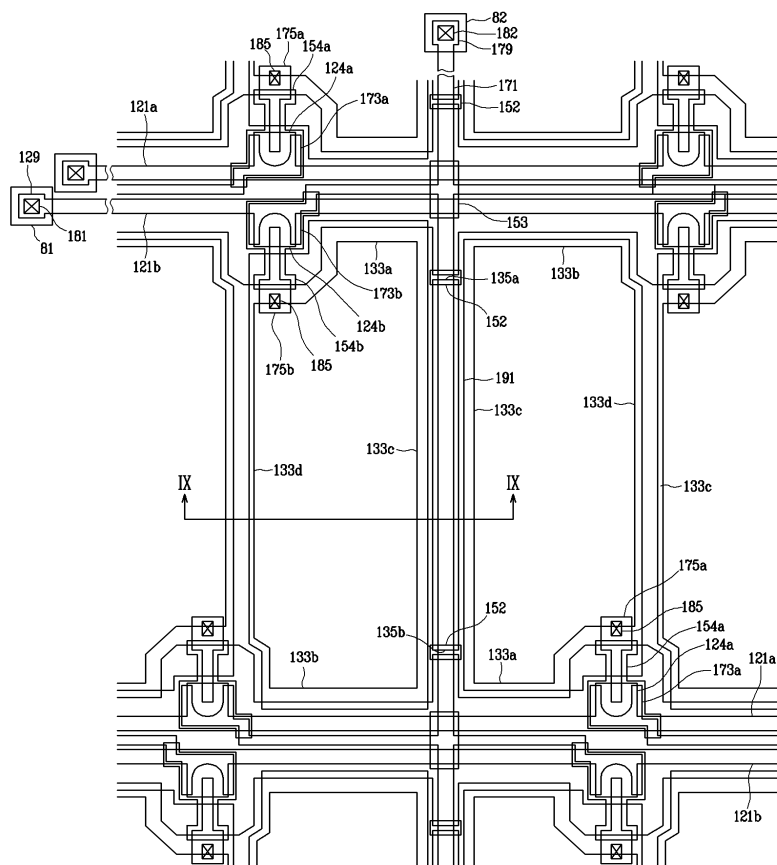
도면6



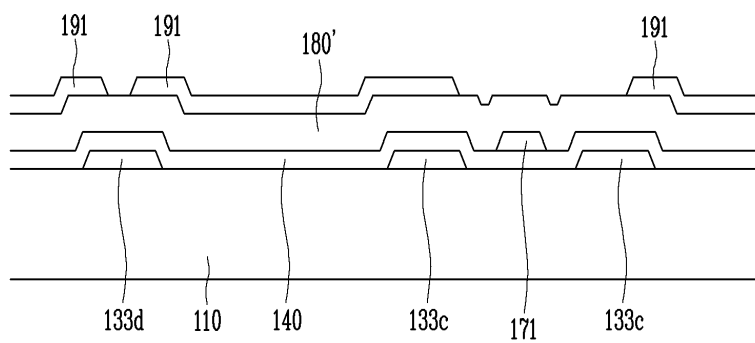
도면7



도면8



도면9



专利名称(译)	薄膜晶体管标志		
公开(公告)号	<a href="#">KR1020060131026A</a>	公开(公告)日	2006-12-20
申请号	KR1020050050860	申请日	2005-06-14
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LEE SEONG YOUNG		
发明人	LEE, SEONG YOUNG		
IPC分类号	G02F1/136		
CPC分类号	G02F1/136286 G02F2001/13606 G02F2001/136218 G09G3/3648		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

薄膜晶体管基板和薄膜晶体管基板技术领域本发明涉及薄膜晶体管基板和薄膜晶体管基板，包括与多个薄膜晶体管连接到像素电极的屏蔽电极，以及以阵列形式排列的多个像素电极，以及薄膜晶体管并且连接到多个栅极线，每个像素电极行成对地布置，同时朝向线写入方向扩展，并且薄膜晶体管与数据线电绝缘，同时用多个数据线一个接一个地说谎，数据线和至少一部分。在向列方向扩散的同时，逐个配置有两个像素电极加热。由此，可以在薄膜晶体管基板中产生的寄生电容的总尺寸减小。由这些寄生电容引起的图像质量劣化降低。液晶显示器，屏蔽电极，寄生电容，保护膜，有机绝缘膜。

