

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2006-0117146
G02F 1/136 (2006.01) (43) 공개일자 2006년11월16일

(21) 출원번호 10-2005-0039950

(22) 출원일자 2005년05월13일

(71) 출원인 엘지.필립스 엘시디 주식회사
 서울 영등포구 여의도동 20번지

(72) 발명자 손충용
 충북 청주시 흥덕구 개신동 104-501

(74) 대리인 허용록

심사청구 : 없음

(54) 액정 패널 및 그 제조 방법

요약

본 발명은 액정 표시 장치에 관한 것으로, 채널폭을 극대화한 박막 트랜지스터를 가지는 액정 패널 및 그 제조 방법(Liquid Crystal Display Panel and the fabrication method thereof)에 관한 것이다.

본 발명에 따르면, 액정 패널 내부의 구동 회로에서 극대화된 채널폭을 가지는 메쉬(mesh) 형태의 박막 트랜지스터를 사용함으로써 화면 비표시 영역인 베젤(bezel) 영역이 줄어들어 콤팩트(compact)해지고, 구동회로부의 거대 채널 박막 트랜지스터의 면적 이용률이 극대화됨으로써 소자의 이동도가 개선되는 효과가 있다.

또한, 본 발명은 채널폭을 극대화시킨 메쉬 형태의 박막 트랜지스터를 사용함으로써 소자의 이동도가 현저히 낮은 비정질 실리콘(a-Si), 마이크로크리스탈(microcrystal), 유기 반도체 박막 트랜지스터 등에도 구동 회로를 액정 패널 내부에 내장시킬 수 있어 제조 수율이 향상되고 제조가 간편해지는 장점이 있다.

대표도

도 3

색인어

소스 전극, 드레인 전극, 채널폭

명세서

도면의 간단한 설명

도 1은 종래 액정 패널을 개략적으로 보여주는 평면도.

도 2는 액정 패널의 구동 회로부를 개략적으로 보여주는 평면도.

도 3은 본 발명의 제 1 실시예로서, 액정 표시 장치의 구동회로부 박막 트랜지스터를 보여주는 평면도.

도 4는 A-A'로 절단하여 보여주는 단면도.

도 5는 도 2의 채널폭 및 채널 형성시 전류의 이동 양상을 형상화시킨 개략적인 도면.

도 6은 본 발명의 제 2 실시예로서, 액정 표시 장치의 구동회로부 박막 트랜지스터를 보여주는 평면도.

도 7은 B-B'로 절단하여 보여주는 단면도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로, 채널폭을 극대화한 박막 트랜지스터를 가지는 액정 패널 및 그 제조 방법(Liquid Crystal Display Panel and the fabrication method thereof)에 관한 것이다.

최근에 액정 표시 장치(Liquid Crystal Display device ; LCD)는 소비전력이 낮고, 휴대성이 양호한 기술 집약적이며 부가가치가 높은 차세대 첨단 디스플레이(display) 소자로 각광받고 있다.

상기 액정 표시 장치는 박막 트랜지스터(Thin Film Transistor ; TFT)를 포함하는 어레이 기판과 컬러 필터(color filter) 기판 사이에 액정을 주입하여, 이 액정의 이방성에 따른 빛의 굴절률 차이를 이용해 영상 효과를 얻는 비발광 소자에 의한 화상표시장치를 뜻한다.

현재에는, 상기 박막 트랜지스터와 화소 전극이 행렬방식으로 배열된 능동행렬 액정 표시 장치(AM-LCD ; Active Matrix Liquid Crystal Display device)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.

상기 박막 트랜지스터 소자로는 수소화된 비정질 실리콘(amorphous-Silicon:H ; 이하 비정질 실리콘(a-Si)이라 약칭함)이 주로 이용되는데, 이는 저온 공정이 가능하여 저가의 절연기판을 사용할 수 있기 때문이다.

그러나, 수소화된 비정질 실리콘은 원자 배열이 무질서하기 때문에 약한 결합(weak Si-Si bond) 및 땀글링 본드(dangling bond)가 존재하여 빛 조사나 전기장 인가시 준 안정상태로 변화되어 박막 트랜지스터 소자로 활용시 안정성이 문제로 대두되고 있다. 특히 비정질 실리콘은 빛조사에 의해 특성이 저하되는 문제점이 있고, 표시화소 구동 소자의 전기적 특성(낮은 전계효과 이동도 : $0.1 \sim 1.0 \text{ cm}^2/\text{V}\cdot\text{s}$)과 신뢰성 저하로 인해 구동 회로에 쓰기 어렵다.

그러나, 다결정 실리콘은 비정질 실리콘에 비하여 전계효과 이동도가 크기 때문에 기판 위에 구동 회로를 만들 수 있어, 이 다결정 실리콘으로 기판에 직접 구동 회로를 만들면 구동 IC(integrated circuit) 비용도 줄일 수 있고 실장도 간단해진다.

이와 같은 액정 표시 장치는 데이터 배선들과 게이트 배선들에 접속되어 각각 데이터 신호와 스캔 신호를 데이터 배선들과 게이트 배선들에 공급하기 위한 다수의 구동 IC가 필요하게 된다.

이와 같은 구동 IC들은 인쇄 회로 기판(printed circuit board:PCB)와 액정 패널 사이에 설치되어 상기 인쇄 회로 기판으로부터 공급되는 신호를 액정 패널의 데이터 배선들과 게이트 배선들에 공급하게 된다.

도 1은 종래 액정 패널을 개략적으로 보여주는 평면도이다.

여기서, 상기 구동 IC(108, 112)들은 TAB(tape automated bonding) 방식으로 실장되어 있다.

상기 TAB 방식은 도 1에 도시된 바와 같이, 게이트 드라이버 IC(112) 및 데이터 드라이버 IC(108)를 각각 게이트 TCP (tape carrier package)(114) 및 데이터 TCP(110) 상에 실장하여 형성한다.

상기 게이트 TCP(114)는 게이트 PCB(104)와 액정 패널(102)의 유리 기판 사이에 데이터 TCP(110)는 데이터 PCB(106)와 액정 패널(102)의 유리 기판의 사이에 접속된다.

상기 데이터 PCB(106)는 데이터 드라이버 IC(108)들이 필요로 하는 비디오 데이터 및 각종 제어 신호들은 데이터 PCB (106)의 신호 패드(118)를 통해 외부로부터 입력되는 비디오 데이터 및 동기신호들에 의해 생선된다.

이러한 데이터 PCB(106)는 FPC(116)에 의하여 게이트 PCB(104)와 전기적으로 접속되게 된다.

상기 게이트 PCB(104)는 게이트 드라이버 IC(112)들이 필요로 하는 각종 제어신호들을 공급하는 게이트 회로부(도시되지 않음)와 게이트 회로부의 동작을 제어하기 위한 게이트 제어부(도시되지 않음)를 포함하고 있다.

상기 게이트 PCB(104)에는 데이터 PCB(106) 및 FPC(116)를 경유하여 외부로부터 동기 신호들이 입력된다.

이와 같이, 종래 액정 표시 장치는 상기 게이트 드라이버 IC 및 데이터 드라이버 IC에 대해 각각 게이트 PCB, 데이터 PCB를 구비하였으나, 점차 미세 실장 기술이 발전함에 따라 소형화 제품에 대한 연구가 활발해지고 있다.

그러나, 종래의 액정 표시 장치는 비정질 실리콘을 반도체층으로 사용하여 소자의 이동도가 낮아 구동 IC들을 유리 기판 상에 내장할 수 없는 문제점이 있었다.

따라서, 상기 게이트 드라이버 IC와 데이터 드라이버 IC를 따로 구입하여 부착하여야 하고, 이를 제어하기 위한 각각의 게이트 PCB, 데이터 PCB가 반드시 사용되어야 하므로 부품수가 증가하고, 원가가 상승하는 문제가 있다.

이와 같이, 상기 TCP는 다수의 회로부가 PCB(Printed Circuit Board) 기판과 액정패널 사이에 부착되어, 상기 PCB 기판으로부터 입력되는 신호를 받아 상기 액정패널에 전달하게 된다. 그런데 이러한 구성은 구동 IC의 실장비용이 원가의 많은 부분을 차지하고 있으며, 액정패널의 해상도가 높아지면서 박막 트랜지스터 기판의 게이트 배선 및 데이터 배선을 상기 TCP와 연결하는 기판 외부의 패드 피치(Pitch)가 짧아져 TCP 본딩 자체가 어려워지고 있다.

따라서, 구동 소자를 포함하는 구동 회로부를 액정 패널 내부에 실장시키는 기술이 점차 개발되고 있다.

그런데, 상기 구동회로부는 다수의 박막 트랜지스터를 포함하고 있으며, 상기 박막 트랜지스터는 소자의 전하 이동도가 좋아야 하고, 전류 구동 능력이 좋아야 하며, 이를 위하여 박막 트랜지스터의 채널폭을 매우 넓게 설계해야 한다.

그런데, 이와 같이 상기 구동회로부의 박막 트랜지스터의 채널 폭을 극대화시킬 경우 화면 외곽의 베젤 영역(bezel area) 사이즈가 커지므로 동일한 화면 크기에 대해 액정 패널의 크기가 커지는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 액정 표시 장치에서 화면 외곽의 베젤 영역에 내장되는 구동 회로부의 박막 트랜지스터를 메쉬(mesh) 구조로 형성하여 채널폭을 극대화시키는 액정 패널 및 그 제조 방법을 제공하는 데 목적이 있다.

발명의 구성 및 작용

상기한 목적을 달성하기 위하여 본 발명에 따른 액정 패널은, 기판 상에 복수개의 신호선과 복수개의 주사선이 교차하여 복수개의 화소부 박막 트랜지스터가 매트릭스 형상으로 형성된 화면 표시부와, 상기 복수개의 신호선과 복수개의 주사선에 신호를 입력하는 회로부 박막 트랜지스터가 포함된 구동회로가 형성된 화면 비표시부로 이루어진 액정 표시 장치에 있어서, 상기 회로부 박막 트랜지스터는, 기판 상에 형성된 게이트 전극과; 상기 게이트 전극 상에 형성된 게이트 절연막과; 상기 게이트 절연막 상에 형성된 액티브층과; 상기 액티브층 상에 서로 교번하여 형성된 섬(island) 형태의 복수의 소스 전극 및 드레인 전극과; 상기 소스 전극 및 드레인 전극 상에서 소정 노출시키는 소스 및 드레인 콘택홀을 포함하는 층간 절

연막과; 상기 소스 콘택홀을 통해 상기 소스 전극과 접촉하며 연결된 제 1 ~ 제 M 소스 라인과; 상기 제 1 ~ 제 M 소스 라인과 교차하고, 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하며 연결된 제 1 ~ 제 N 드레인 라인;을 포함하여 이루어지는 것을 특징으로 한다.

상기 제 1 ~ M 소스 라인과 상기 제 1 ~ N 드레인 라인은 투명한 도전성 전극으로 이루어지는 것을 특징으로 한다.

상기 소스 전극 및 드레인 전극은 수평 방향 또는 수직 방향으로 교번하여 형성된 것을 특징으로 한다.

상기 소스 라인과 드레인 라인은 소스 전극 및 드레인 전극의 배열 방향에 대해서 대각선 방향으로 형성된 것을 특징으로 한다.

상기 섬 형태의 소스 전극 및 드레인 전극은 이웃하는 드레인 전극 및 소스 전극과 채널을 형성하는 것을 특징으로 한다.

상기 게이트 전극은 복수 개의 게이트 홀을 포함하는 것을 특징으로 한다.

상기 게이트 홀은 상기 소스 전극 및 드레인 전극과 대응되는 위치에 형성된 것을 특징으로 한다.

또한, 상기한 목적을 달성하기 위하여 본 발명에 따른 액정 패널의 제조 방법은, 기판 상에 복수개의 신호선과 복수개의 주사선이 교차하여 복수개의 화소부 박막 트랜지스터가 매트릭스 형상으로 형성된 화면 표시부와, 상기 복수개의 신호선과 복수개의 주사선에 신호를 입력하는 회로부 박막 트랜지스터가 포함된 구동회로가 형성된 화면 비표시부로 이루어지는 액정 표시 장치를 제조하는 방법에 있어서, 상기 회로부 박막 트랜지스터는 상기 기판 상에 게이트 전극을 형성하는 단계와; 상기 게이트 전극 상에 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 상에 액티브층을 형성하는 단계와; 상기 액티브층 상에 서로 교번하는 섬(island) 형태의 복수의 소스 전극 및 드레인 전극을 형성하는 단계와; 상기 소스 전극 및 드레인 전극 상에서 소정 노출시키는 소스 및 드레인 콘택홀을 포함하는 중간 절연막을 형성하는 단계와; 상기 소스 콘택홀을 통해 상기 소스 전극과 접촉하며 연결된 제 1 ~ 제 M 소스 라인과, 상기 제 1 ~ 제 M 소스 라인과 교차하고 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하며 연결된 제 1 ~ 제 N 드레인 라인을 형성하는 단계;를 포함하여 이루어지는 것을 특징으로 한다.

상기 제 1 ~ M 소스 라인과 상기 제 1 ~ N 드레인 라인은 투명한 도전성 전극으로 이루어지는 것을 특징으로 한다.

상기 소스 라인과 드레인 라인은 소스 전극 및 드레인 전극의 배열 방향에 대해서 대각선 방향으로 형성되는 것을 특징으로 한다.

상기 기판 상에 게이트 전극을 형성하는 단계에 있어서, 상기 게이트 전극에 복수의 게이트 홀을 형성하는 것을 특징으로 한다.

상기 게이트 홀은 상기 소스 전극 및 드레인 전극과 대응되는 위치에 형성되는 것을 특징으로 한다.

이하, 첨부한 도면을 참조로 하여 본 발명에 따른 액정 패널 및 그 제조 방법을 제공하는 데 목적이 있다.

도 2는 본 발명에 따른 액정 표시 장치의 구동 회로부 일부를 보여주는 개략적인 평면도이다.

도 2의 (a)는 일반적인 구동 회로부의 박막 트랜지스터를 개략적으로 보여주는 부분 평면도이며, 소스 전극(210)과 드레인 전극(220)이 지그재그(zigzag) 형태로 이루어져 있으며, 박막 트랜지스터의 채널폭이 $24,000\mu\text{m}$ 로서 가로 $1750\mu\text{m}$, 세로 $180\mu\text{m}$, 면적 $315,000\mu\text{m}^2$ 이다.

한편, 도 2의 (b)에 도시된 바와 같이, 본 발명에 따른 액정 패널 내부에 형성된 구동 회로부는 게이트 전극(301)과, 상기 게이트 전극(201) 상에 형성된 게이트 절연막과, 상기 게이트 절연막 상에 형성된 액티브층(205)과, 상기 게이트 전극(201) 상부에 서로 교번하며 섬(island) 형태로 형성된 복수의 드레인 전극(220) 및 소스 전극(210)과, 상기 대각선 방향으로 형성된 드레인 전극(220)들을 전기적으로 연결시키는 제 N 드레인 라인(221)과, 상기 대각선 방향으로 형성된 소스 전극들을 전기적으로 연결시키며 상기 제 N 드레인 라인들과 엇갈린 제 M 소스 라인(211)들을 포함하여 이루어진다.

이때, 상기 소스 및 드레인 전극(210, 220) 상에는 상기 소스 및 드레인 전극(210, 220)을 소정 노출시키는 소스 콘택홀 및 드레인 콘택홀을 형성한 층간 절연막이 형성되어 있다.

그리고, 상기 제 M 소스 라인(211)은 제 1 ~ M 소스 라인들로 이루어지며, 상기 제 M 소스 라인(211)들은 하나로 연결되어 소스 신호가 입력되며, 상기 소스 신호는 상기 제 M 소스 라인(211)들과 접촉된 섬 형태의 소스 전극으로 전달된다.

또한, 상기 제 N 드레인 라인(221)은 제 1 ~ N 드레인 라인들로 이루어지며, 상기 제 N 드레인 라인(221)들은 하나로 연결되어 드레인 신호가 입력되며, 상기 드레인 신호는 상기 제 N 드레인 라인(221)들과 접촉된 섬 형태의 드레인 전극(220)으로 전달된다.

이때, 앞서 언급한 바와 같이, 상기 소스 전극(210)과 드레인 전극(220)은 섬 형태로 이루어지며 서로 엇갈려 구성된다.

따라서, 상기 제 M 소스 라인(211)들과 제 N 드레인 라인(221)들은 각각 소스 전극(210) 및 드레인 전극(220)에 접촉하기 위하여 대각선 방향으로 형성된다.

이때, 도 2의 (a)에 도시된 구동 회로부와 비교하여 동일 면적에 레이아웃(layout)설계를 하여 실행한 결과, 채널폭이 약 30,700 μm 확보할 수 있어 28%의 채널폭 향상을 기대할 수 있다.

도 2의 (c)에 도시된 본 발명에 따른 구동 회로부는 도 2의 (b)에 도시된 구동회로부와 동일한 메쉬(mesh) 형태의 박막 트랜지스터로 구성되는데, 도 2의 (a)에 도시된 구동 회로부의 박막 트랜지스터 채널폭인 24,000 μm 을 얻기 위해 요구되는 면적은 세로폭 180 μm , 가로폭 1,360 μm 으로 구성이 가능하므로 390 μm 의 가로폭 감소 효과가 있어 면적이 244,880 μm^2 으로 감소되어 약 29%의 면적 감소를 이룰 수 있다.

도 3은 본 발명의 제 1 실시예로서, 액정 표시 장치의 구동회로부 박막 트랜지스터를 보여주는 평면도이고, 도 4는 A-A'로 절단하여 보여주는 단면도이다. 또한 도 5는 도 3의 채널폭 및 채널 형성시 전류의 이동 양상을 형상화시킨 개략적인 도면이다.

도 3 및 도 4에 도시된 바와 같이, 본 발명에 따른 액정 표시 장치의 구동 회로부의 박막 트랜지스터는 기판(300) 상에 형성된 게이트 라인(도시되지 않음)에 접속된 게이트 전극(301)과, 상기 게이트 전극(301) 상에 형성된 게이트 절연막(303)과, 상기 게이트 절연막(303) 상에서 상기 게이트 전극(301) 위치에 형성된 반도체 액티브층(305)과, 상기 액티브층(305) 상에 형성된 섬(island) 형태로 엇갈려 형성된 복수의 소스 전극(310) 및 드레인 전극(320)과, 상기 복수의 소스 전극(310)과 드레인 전극(320)을 소정 노출시키는 복수의 소스 콘택홀(312) 및 드레인 콘택홀(322)을 포함한 층간 절연막(308)과, 상기 층간 절연막(308) 상에서 상기 소스 콘택홀(312)을 통해 복수의 소스 전극(310)과 접촉하는 제 1 ~ M 소스 라인(311)과, 상기 층간 절연막(308) 상에서 상기 드레인 콘택홀(322)을 통해 복수의 드레인 전극(320)과 접촉하는 제 1 ~ N 드레인 라인(321)을 포함하여 이루어진다.

이때, 상기 제 1 ~ M 소스 라인(311)들은 서로 연결되어 소스 신호가 입력되며, 상기 제 1 ~ N 드레인 라인(321)들은 서로 연결되어 드레인 신호가 입력된다.

이때, 상기 소스 전극(310) 및 드레인 전극(320)은 섬(island) 형태로서 게이트 전극(301) 상에 복수 개가 형성되며, 상기 소스 전극(310) 및 드레인 전극(320)은 수직 방향과 수평 방향에서 서로 교번하여 형성된다.

따라서, 상기 소스 전극(310) 및 드레인 전극(320)은 각각 대각선 방향으로 동일한 전극이 형성되게 된다.

그러므로, 상기 소스 전극(310)들을 전기적으로 연결시키는 제 1 ~ M 소스 라인(311)들은 대각선으로 형성되어 상기 소스 콘택홀(312)을 통해 상기 소스 전극(310)들과 접촉하며 연결된다.

그리고, 상기 드레인 전극(320)들을 전기적으로 연결시키는 제 1 ~ N 드레인 라인(321)들은 상기 제 1 ~ M 소스 라인(311)들과 엇갈려 교차하며 상기 드레인 콘택홀(322)을 통해 상기 드레인 전극(320)들과 접촉하여 연결된다.

도 5에 도시된 바와 같이, 섬(island) 형태의 복수의 소스 전극(310) 및 드레인 전극(320)은 서로 소정 간격 이격하여 수직 방향과 수평 방향으로 교번하며 형성되어 있다.

상기와 같이, 게이트 전극(301), 액티브층(305), 소스 및 드레인 전극(310, 320)만 나타난 경우에, 소스 전극(310)과 드레인 전극(320) 사이의 채널 형성시 채널 폭은 W1, W2, W3, W4....와 같다.

즉, 상기 채널 폭은 섬 형태의 소스 전극(310) 또는 드레인 전극(320)의 사방으로 형성되므로 채널폭은 극대화되게 된다.

따라서, 본 발명은 소자의 이동도가 현저히 낮은 비정질 실리콘(a-Si), 마이크로크리스탈(microcrystal), 유기 반도체 박막 트랜지스터 등을 이용하여 회로를 구성할 경우 본 발명에 따른 극대화된 채널폭을 가지는 메쉬(mesh) 형태의 박막 트랜지스터를 구동 회로부에 사용함으로써 화면 비표시 영역인 베젤(bezel) 영역이 줄어들어 콤팩트(compact)해지는 장점이 있다.

이와 같이, 구동 회로가 내장되는 액정 패널 제작시에 패널 내의 회로 점유 면적이 최소화된다.

도 6은 본 발명의 제 2 실시예로서, 액정 표시 장치의 구동회로부 박막 트랜지스터를 보여주는 평면도이고, 도 7은 B-B'로 절단하여 보여주는 단면도이고, 도 8은 도 6 및 도 7에서의 게이트 전극만을 보여주는 평면도이다.

도 6, 도 7 및 도 8에 도시된 바와 같이, 본 발명에 따른 액정 표시 장치의 구동 회로부의 박막 트랜지스터는 기판(400) 상에 형성된 게이트 라인(도시되지 않음)에 접속되며 복수의 게이트 홀(gate hole)을 포함하는 게이트 전극(401)과, 상기 게이트 전극(401) 상에 형성된 게이트 절연막(403)과, 상기 게이트 절연막(403) 상에서 상기 게이트 전극(401) 위치에 형성된 반도체 액티브층(405)과, 상기 액티브층(405) 상에 형성된 섬(island) 형태로 엇갈려 형성된 복수의 소스 전극(410) 및 드레인 전극(420)과, 상기 복수의 소스 전극(410)과 드레인 전극(420)을 소정 노출시키는 복수의 소스 콘택홀(412) 및 드레인 콘택홀(422)을 포함한 층간 절연막(408)과, 상기 층간 절연막(408) 상에서 상기 소스 콘택홀(412)을 통해 복수의 소스 전극(410)과 접촉하는 제 1 ~ M 소스 라인(411)과, 상기 층간 절연막(408) 상에서 상기 드레인 콘택홀(422)을 통해 복수의 드레인 전극(420)과 접촉하는 제 1 ~ N 드레인 라인(421)을 포함하여 이루어진다.

이때, 상기 게이트 홀(444)은 상기 소스 전극(410) 및 드레인 전극(420)과 오버랩되어 대응되는 위치에 형성한다. 이는 상기 소스 전극(410)과 게이트 전극(401) 사이의 캐패시턴스(Cgs)와 상기 드레인 전극(420)과 게이트 전극(401) 사이의 캐패시턴스(Cds)를 감소시켜 기생 용량을 저감시키기 위한 것이다.

그리고, 상기 제 1 ~ M 소스 라인(411)들은 서로 연결되어 소스 신호가 입력되며, 상기 제 1 ~ N 드레인 라인(421)들은 서로 연결되어 드레인 신호가 입력된다.

이때, 상기 소스 전극(410) 및 드레인 전극(420)은 섬(island) 형태로서 게이트 전극 상에 복수 개가 형성되며, 상기 소스 전극 및 드레인 전극은 수직 방향과 수평 방향에서 서로 교번하여 형성된다.

따라서, 상기 소스 전극(410) 및 드레인 전극(420)은 각각 대각선 방향으로 동일한 전극이 형성되게 된다.

그러므로, 상기 소스 전극(410)들을 전기적으로 연결시키는 제 1 ~ M 소스 라인(411)들은 대각선으로 형성되어 상기 소스 콘택홀(412)을 통해 상기 소스 전극(410)들과 접촉하며 연결된다.

그리고, 상기 드레인 전극(420)들을 전기적으로 연결시키는 제 1 ~ N 드레인 라인(421)들은 상기 제 1 ~ M 소스 라인(411)들과 엇갈려 교차하며 상기 드레인 콘택홀(422)을 통해 상기 드레인 전극(420)들과 접촉하여 연결된다.

상기와 같이, 섬(island) 형태의 복수의 소스 전극 및 드레인 전극은 서로 소정 간격 이격하여 수직 방향과 수평 방향으로 교번하며 형성될 경우 채널 폭은 섬 형태의 소스 전극 또는 드레인 전극의 사방으로 형성되므로 극대화되게 된다.

따라서, 본 발명은 소자의 이동도가 현저히 낮은 비정질 실리콘(a-Si), 마이크로크리스탈(microcrystal), 유기 반도체 박막 트랜지스터 등을 이용하여 회로를 구성할 경우 본 발명에 따른 극대화된 채널폭을 가지는 메쉬(mesh) 형태의 박막 트랜지스터를 구동 회로부에 사용함으로써 화면 비표시 영역인 베젤(bezel) 영역이 줄어들어 콤팩트(compact)해지는 장점이 있다.

이와 같이, 구동 회로가 내장되는 액정 패널 제작시에 패널 내의 회로 점유 면적이 최소화된다,

이상 전술한 바와 같이, 본 발명에 따른 액정 패널 및 그 제조 방법은 상기 실시예에 한정되지 않고 다양한 구조에 적용될 수 있으며, 본 발명의 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함이 명백하다.

발명의 효과

본 발명은 액정 패널 내부의 구동 회로에서 극대화된 채널폭을 가지는 메쉬(mesh) 형태의 박막 트랜지스터를 사용함으로써 화면 비표시 영역인 베젤(bezel) 영역이 줄어들어 콤팩트(compact)해지는 효과가 있다.

또한, 본 발명은 구동회로부의 거대 채널 박막 트랜지스터의 면적 이용률이 극대화됨으로써 소자의 이동도가 개선되는 효과가 있다.

또한, 본 발명은 채널폭을 극대화시킨 메쉬 형태의 박막 트랜지스터를 사용함으로써 소자의 이동도가 현저히 낮은 비정질 실리콘(a-Si), 마이크로크리스탈(microcrystal), 유기 반도체 박막 트랜지스터 등에도 구동 회로를 액정 패널 내부에 내장시킬 수 있어 제조 수율이 향상되고 제조가 간편해지는 효과가 있다.

(57) 청구의 범위

청구항 1.

기판 상에 복수개의 신호선과 복수개의 주사선이 교차하여 복수개의 화소부 박막 트랜지스터가 매트릭스 형상으로 형성된 화면 표시부와, 상기 복수개의 신호선과 복수개의 주사선에 신호를 입력하는 회로부 박막 트랜지스터가 포함된 구동회로가 형성된 화면 비표시부로 이루어진 액정 표시 장치에 있어서,

상기 회로부 박막 트랜지스터는, 기판 상에 형성된 게이트 전극과;

상기 게이트 전극 상에 형성된 게이트 절연막과;

상기 게이트 절연막 상에 형성된 액티브층과;

상기 액티브층 상에 서로 교번하여 형성된 섬(island) 형태의 복수의 소스 전극 및 드레인 전극과;

상기 소스 전극 및 드레인 전극 상에서 소정 노출시키는 소스 및 드레인 콘택홀을 포함하는 층간 절연막과;

상기 소스 콘택홀을 통해 상기 소스 전극과 접촉하며 연결된 제 1 ~ 제 M 소스 라인과;

상기 제 1 ~ 제 M 소스 라인과 교차하고, 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하며 연결된 제 1 ~ 제 N 드레인 라인;을 포함하여 이루어지는 것을 특징으로 하는 액정 패널.

청구항 2.

제 1항에 있어서,

상기 제 1 ~ M 소스 라인과 상기 제 1 ~ N 드레인 라인은 투명한 도전성 전극으로 이루어지는 것을 특징으로 하는 액정 패널.

청구항 3.

제 1항에 있어서,

상기 소스 전극 및 드레인 전극은 수평 방향 또는 수직 방향으로 교번하여 형성된 것을 특징으로 하는 액정 패널.

청구항 4.

제 1항에 있어서,

상기 소스 라인과 드레인 라인은 소스 전극 및 드레인 전극의 배열 방향에 대해서 대각선 방향으로 형성된 것을 특징으로 하는 액정 패널.

청구항 5.

제 1항에 있어서,

상기 섬 형태의 소스 전극 및 드레인 전극은 이웃하는 드레인 전극 및 소스 전극과 채널을 형성하는 것을 특징으로 하는 액정 패널.

청구항 6.

제 1항에 있어서,

상기 게이트 전극은 복수 개의 게이트 홀을 포함하는 것을 특징으로 하는 액정 패널.

청구항 7.

제 6항에 있어서,

상기 게이트 홀은 상기 소스 전극 및 드레인 전극과 대응되는 위치에 형성된 것을 특징으로 하는 액정 패널.

청구항 8.

기관 상에 복수개의 신호선과 복수개의 주사선이 교차하여 복수개의 화소부 박막 트랜지스터가 매트릭스 형상으로 형성된 화면 표시부와, 상기 복수개의 신호선과 복수개의 주사선에 신호를 입력하는 회로부 박막 트랜지스터가 포함된 구동회로가 형성된 화면 비표시부로 이루어지는 액정 표시 장치를 제조하는 방법에 있어서,

상기 회로부 박막 트랜지스터는 상기 기관 상에 게이트 전극을 형성하는 단계와;

상기 게이트 전극 상에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 상에 액티브층을 형성하는 단계와;

상기 액티브층 상에 서로 교번하는 섬(island) 형태의 복수의 소스 전극 및 드레인 전극을 형성하는 단계와;

상기 소스 전극 및 드레인 전극 상에서 소정 노출시키는 소스 및 드레인 콘택홀을 포함하는 층간 절연막을 형성하는 단계와;

상기 소스 콘택홀을 통해 상기 소스 전극과 접촉하며 연결된 제 1 ~ 제 M 소스 라인과, 상기 제 1 ~ 제 M 소스 라인과 교차하고 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하며 연결된 제 1 ~ 제 N 드레인 라인을 형성하는 단계;를 포함하여 이루어지는 것을 특징으로 하는 액정 패널의 제조 방법.

청구항 9.

제 8항에 있어서,

상기 제 1 ~ M 소스 라인과 상기 제 1 ~ N 드레인 라인은 투명한 도전성 전극으로 이루어지는 것을 특징으로 하는 액정 패널의 제조 방법.

청구항 10.

제 8항에 있어서,

상기 소스 라인과 드레인 라인은 소스 전극 및 드레인 전극의 배열 방향에 대해서 대각선 방향으로 형성되는 것을 특징으로 하는 액정 패널의 제조 방법.

청구항 11.

제 8항에 있어서,

상기 기판 상에 게이트 전극을 형성하는 단계에 있어서,

상기 게이트 전극에 복수의 게이트 홀을 형성하는 것을 특징으로 하는 액정 패널의 제조 방법.

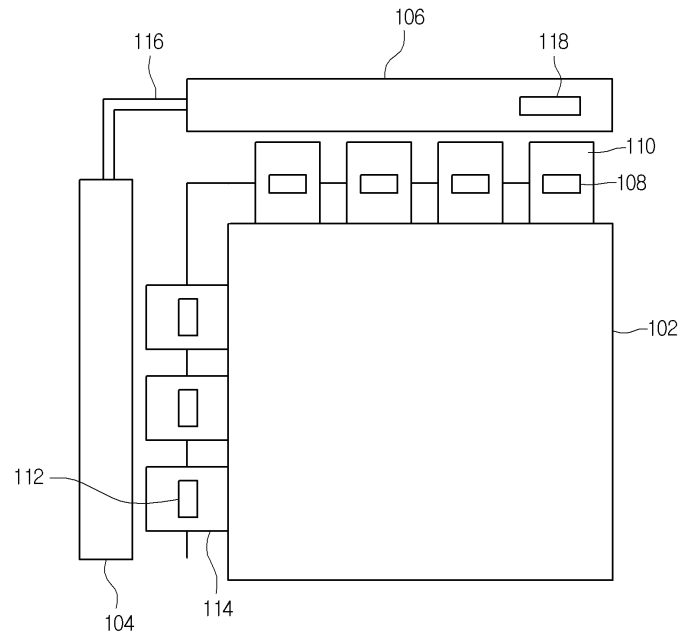
청구항 12.

제 11항에 있어서,

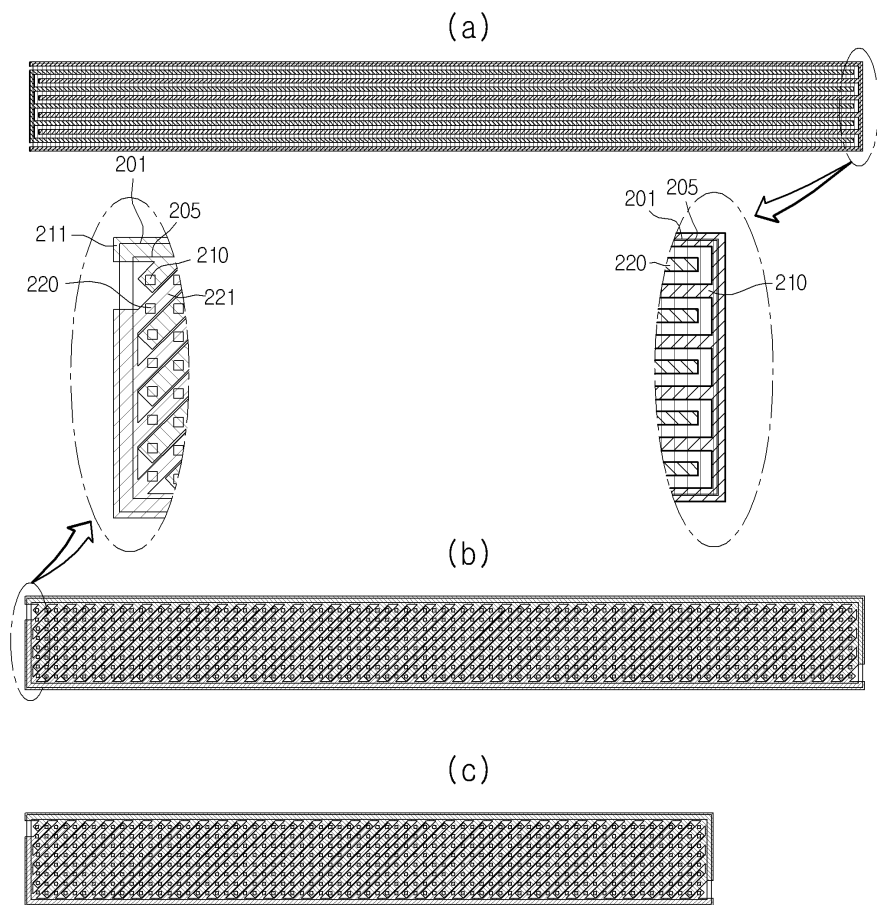
상기 게이트 홀은 상기 소스 전극 및 드레인 전극과 대응되는 위치에 형성되는 것을 특징으로 하는 액정 패널의 제조 방법.

도면

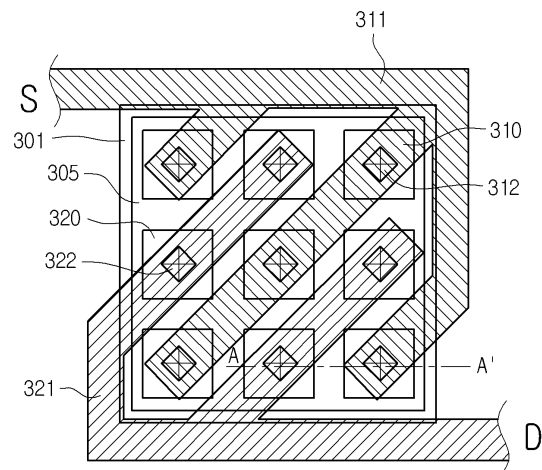
도면1



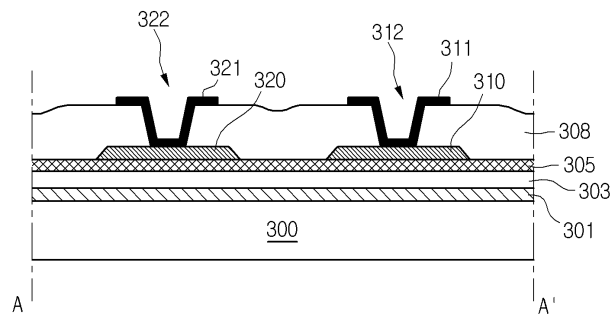
도면2



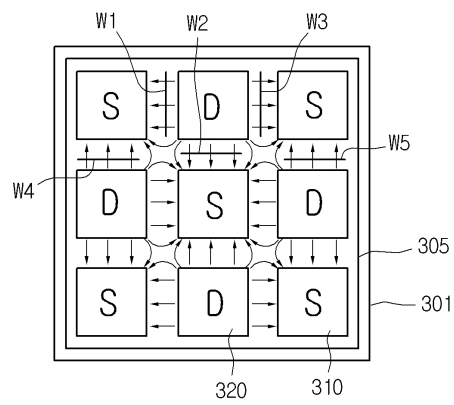
도면3



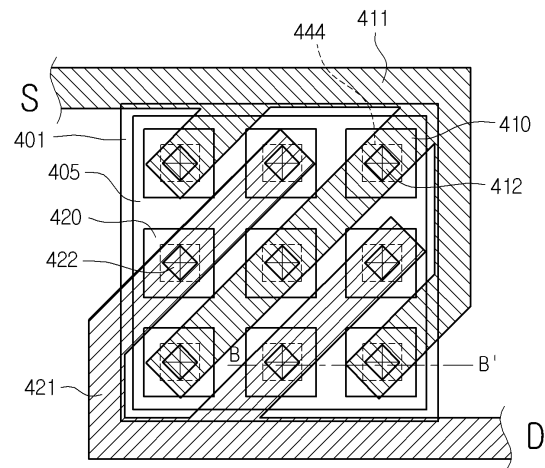
도면4



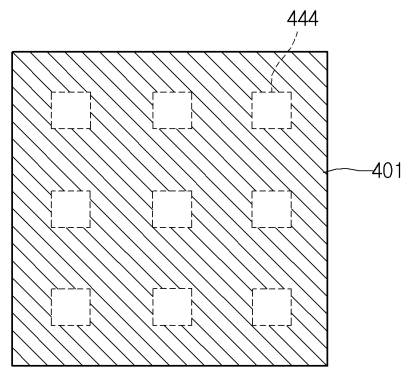
도면5



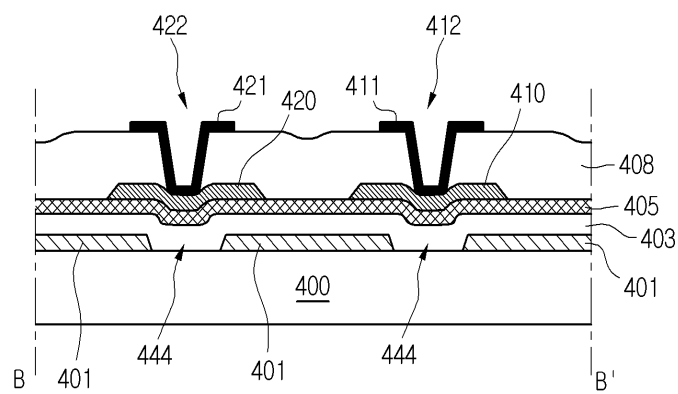
도면6



도면7



도면8



专利名称(译)	液晶面板及其制造方法		
公开(公告)号	KR1020060117146A	公开(公告)日	2006-11-16
申请号	KR1020050039950	申请日	2005-05-13
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SOHN CHOONG YONG		
发明人	SOHN, CHOONG YONG		
IPC分类号	G02F1/136		
CPC分类号	H01L27/1214 H01L29/42384 H01L27/12 H01L29/41733 H01L27/124		
其他公开文献	KR101136298B1		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器及其制造方法（液晶显示器及其制造方法），其具有最大化沟道宽度的薄膜晶体管作为液晶显示器。根据本发明，它具有这样的效果：它所使用的称为场景非浸渍区域的边框区域减小，并且是在液晶的驱动电路中具有最大化的沟道宽度的网格形式的薄膜晶体管。面板内部与紧凑型（紧凑型）一起磨损。由于驱动电路部分的巨通道薄膜晶体管的面积可用率变得最大，所以改善了器件的迁移率。此外，本发明的优点在于驱动电路可以内置在非晶硅（a-Si）中，其中器件的迁移率非常低，微晶（微晶），有机半导体薄膜晶体管等内部采用最大化沟道宽度的网状薄膜晶体管的液晶面板，提高了制造成品率，制造方便。源电极，漏电极和沟道宽度。

