

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.

G02F 1/1343 (2006.01)*G02F 1/136* (2006.01)

(11) 공개번호

10-2006-0102814

(43) 공개일자

2006년09월28일

(21) 출원번호 10-2005-0024780

(22) 출원일자 2005년03월25일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지(72) 발명자 양준영
경기도 부천시 원미구 상동 행복한마을 서해아파트 2407-1303
이정일
서울 금천구 독산4동 186-2번지 중앙맨션 205호

(74) 대리인 특허법인네이트

심사청구 : 없음

(54) 횡전계형 액정표시장치용 기관 및 그의 제조방법

요약

본 발명에 따른 횡전계형 액정표시장치용 기관은 상기 기관 상에 상기 게이트 배선과 평행하게 형성된 공통배선 및 제 1 스토리지 전극을 포함하는 스토리지 배선과; 상기 게이트 배선과 교차하여 화소영역을 정의하는 데이터 배선과; 상기 게이트 배선 및 데이터 배선의 교차지점에 형성된 박막 트랜지스터와; 상기 박막 트랜지스터의 드레인 전극과 동일한 층에 동일 물질로 서로 연결되어 형성되며, 상기 제 1 스토리지 전극과 대응하여 스토리지 커패시터를 형성하는 제 2 스토리지 전극과; 상기 박막 트랜지스터 및 제 2 스토리지 전극 위로 전면에 형성되며, 각 화소영역에 다수의 제 1 전극홈 및 제 2 전극홈을 가지며 구성된 보호층과; 상기 각 제 1 전극홈 내에 구성되며, 상기 제 1 전극홈 내에서 상기 공통배선과 일일이 접촉하며 구성된 공통전극과; 상기 각 제 2 전극홈 내에 구성되며, 상기 제 2 전극홈 내에서 상기 제 2 스토리지 전극과 일일이 접촉하며 구성된 화소전극을 포함하여 구성된다.

대표도

도 15d

색인어

횡전계, 개구율, 휘도, 마스크, PR, 평탄화층

명세서

도면의 간단한 설명

도 1은 일반적인 횡전계형 액정표시장치의 일부분의 단면을 도시한 단면도.

도 2a, 2b는 일반적인 횡전계형 액정표시장치의 오프(off), 온(on)상태의 동작을 도시한 단면도.

도 3은 일반적인 횡전계형 액정표시장치의 화소부 일부를 도시한 평면도.

도 4는 도 3을 IV-IV를 따라 절단한 단면도.

도 5는 본 발명의 제 1 실시예에 따른 횡전계형 액정표시장치용 기관의 하나의 화소영역에 대한 평면도.

도 6은 도 5를 VI-VI를 따라 절단한 단면도.

도 7은 도 5를 VII-VII를 따라 절단한 단면도.

도 8은 도 5를 VIII-VIII를 따라 절단한 단면도.

도 9는 도 5를 IX-IX를 따라 절단한 단면도.

도 10a 내지 도 10h는 도 5를 VI-VI를 따라 절단한 영역에서의 본 발명의 제 1 실시예에 의한 제조 공정에 따른 공정 단면도.

도 11a 내지 도 11h는 도 5를 VII-VII를 따라 절단한 영역에서의 본 발명의 제 1 실시예에 의한 제조 공정에 따른 공정 단면도.

도 12a 내지 도 12h는 도 5를 VIII-VIII를 따라 절단한 영역에서의 본 발명의 제 1 실시예에 의한 제조 공정에 따른 공정 단면도.

도 13a 내지 도 13h는 도 5를 IX-IX를 따라 절단한 영역에서의 본 발명의 제 1 실시예에 의한 제조 공정에 따른 공정 단면도.

도 14a 내지 도 14f는 도 5를 VI-VI를 따라 절단한 영역에서의 본 발명의 제 2 실시예에 의한 제조 공정에 따른 공정 단면도.

도 15a 내지 도 15f는 도 5를 VII-VII를 따라 절단한 영역에서의 본 발명의 제 2 실시예에 의한 제조 공정에 따른 공정 단면도.

도 16a 내지 도 16f는 도 5를 VIII-VIII를 따라 절단한 영역에서의 본 발명의 제 2 실시예에 의한 제조 공정에 따른 공정 단면도.

도 17a 내지 도 17f는 도 5를 IX-IX를 따라 절단한 영역에서의 본 발명의 제 2 실시예에 의한 제조 공정에 따른 공정 단면도.

도 18은 본 발명에 따른 게이트 및 데이터 패드부 일부를 포함하는 평면도를 도시한 도면.

도 19는 도 18을 X IX-X IX를 따라 절단한 단면도.

도 20은 도 18을 X X-X X를 따라 절단한 단면도.

<도면의 주요부분에 대한 부호의 설명>

201 : 기관 216 : 게이트 절연막

230 : 데이터 배선 250 : 보호층

255 : 제 1 전극홈 258 : 제 2 전극홈

261 : 투명 도전성 물질층 283 : 포토레지스트 패턴

286 : 평탄화 패턴

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치(Thin Film Transistor Liquid Crystal Display)에 관한 것으로, 좀더 상세하게는 공통전극 및 화소전극이 동일한 층에 투명도전성 물질로써 이루어진 횡전계형 액정표시장치용 기판에 관한 것이다.

최근 정보화 사회로 시대가 급진전함에 따라, 대량의 정보를 처리하고 이를 표시하는 디스플레이(display)분야가 발전하고 있다.

특히 최근 들어 박형화, 경량화, 저 소비전력화 등의 시대상에 부응하기 위해 평판 표시 장치(plate panel display)의 필요성이 대두되었고, 이에 따라 색 재현성이 우수하고 박형인 박막 트랜지스터형 액정표시장치(Thin film transistor liquid crystal display)가 개발되었다.

이러한 액정표시장치의 디스플레이 방법은 액정분자의 광학적 이방성과 분극성질을 이용하는데, 이는 상기 액정분자의 구조가 가늘고 길며, 그 배열에 있어서 방향성을 갖는 선 경사각(pre-tilt angle)을 갖고 있기 때문에, 인위적으로 액정에 전압을 인가하면 액정분자가 갖는 선 경사각을 변화시켜 상기 액정 분자의 배열 방향을 제어할 수 있으므로, 적절한 전압을 액정층에 인가함으로써 상기 액정분자의 배열 방향을 임의로 조절하여 액정의 분자배열을 변화시키고, 이러한 액정이 가지고 있는 광학적 이방성에 의하여 편광된 빛을 임의로 변조함으로써 원하는 화상정보를 표현한다.

현재에는 박막 트랜지스터와 상기 박막 트랜지스터에 연결된 화소전극이 행렬 방식으로 배열된 능동형 액정표시장치(Active Matrix LCD)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.

일반적인 액정표시장치를 이루는 기본적인 소자인 액정 패널은 상부의 컬러필터기판과 하부의 어레이 기판이 서로 대향하여 소정의 간격을 두고 이격되어 있고, 이러한 두 개의 기판 사이에 액정분자를 포함하는 액정이 충전되어 있는 구조이다.

이때, 이러한 액정에 전압을 인가하는 전극은 컬러필터 기판에 위치하는 공통전극과 어레이 기판에 위치하는 화소전극이 되고, 이러한 두개의 전극에 전압이 인가되면, 인가되는 전압의 차이에 의하여 형성되는 상하의 수직적 전기장이 그 사이에 위치하는 액정 분자의 방향을 제어하는 방식을 사용한다.

그러나, 상술한 바와 같이 공통전극과 화소전극이 수직적으로 형성되고, 여기에 발생하는 상하의 수직적 전기장에 의해 액정을 구동하는 방식을 사용할 경우 투과율과 개구율 등의 특성이 우수한 장점은 있으나, 시야각 특성이 우수하지 못한 단점을 가지고 있기 때문에, 이러한 단점을 극복하기 위해 수평적 전기장을 이용하는 횡전계(IPS ; In-Plane Switching)에 의한 액정 구동방법이 제안되었다.

이하 상술한 횡전계형 액정표시장치를 도 1을 참조하여 상세히 설명한다.

일반적인 횡전계형 액정표시장치의 액정패널은 컬러필터를 가지고 있는 컬러필터 기판(10)과 박막 트랜지스터 어레이 기판(20)이 서로 대향하고 있으며, 이러한 컬러필터 기판(10)과 박막 트랜지스터 어레이 기판(20) 사이에는 액정층(30)이 충전되어 있다.

이때, 박막 트랜지스터 어레이 기판(20) 상에는 공통전극(22)과 화소전극(28)이 동일 평면상에 수평적으로 형성되어 있고, 여기에 인가되는 전압에 따라 수평적 전기장(26)을 형성하게 되고, 이때 이러한 수평적 전기장(26) 사이에 있는 액정 분자(32)들은 이에 영향을 받아 구동하게 된다.

즉, 일반적인 횡전계형 액정표시장치의 오프(off), 온(on)상태의 동작을 도시한 단면도인 도 2a와 도 2b를 통하여 설명하면, 오프(off) 상태의 횡전계형 액정표시장치는 도 2a와 같이, 인가되는 전압이 없으므로 공통전극(22)과 화소전극(28) 사이에 수평적 전기장이 형성되지 않고, 따라서 액정 분자(32)의 상변이가 일어나지 않는다.

이때, 특히 원내의 도면은 횡전계형 액정표시장치의 간략한 평면도를 나타낸 것으로, 도시한 바와 같이 공통전극(22)과 화소전극(28) 사이에 위치하는 액정분자(32)들은 러빙 방향(R)에 따라 공통전극(22)과 화소전극(28)에 대해서 일정 각도로 경사지게 위치하고 있고, 여기에 전압이 인가되어 공통전극(22)과 화소전극(28)사이에 수평적 전기장이 형성되면, 그 사이에 위치한 액정 분자(35)가 회전력을 받아 공통전극(22)과 화소전극(28)에 대칭이 되도록 회전하게 된다. 이때, 상기 러빙 방향(R)은 공통전극(22) 및 화소전극(28)의 장축방향과 10~20°정도의 각을 이루고 있다.

도 2b는 상술한 두 개의 전극에 각각 전압이 인가된, 온(on) 상태인 횡전계형 액정표시장치의 액정의 상변이를 도시한 도면으로, 공통전극(22) 및 화소전극(28)과 대응하는 위치의 액정분자(32a)의 상변이는 없지만, 공통전극(22)과 화소전극(28)의 사이 구간에 위치한 액정분자(32b)는 공통전극(22)과 화소전극(28)사이에 전압이 인가됨으로써 형성되는 수평적 자기장(26)에 의해, 이러한 수평적 자기장(26)과 같은 방향으로 상변이가 이루어진다.

이러한 횡전계형 액정표시장치는 상술한 바와 같이, 액정이 수평적 전기장에 의해 구동하므로 횡전계형 액정표시장치를 통하여 표시된 화면을 사용자가 정면에서 보았을 때, 상하좌우 방향으로 각각 약 80~85°방향까지 가시할 수 있는 시야각 특성을 가지고 있다.

이러한 횡전계형 액정표시장치용 어레이 기판에 대하여 도 3을 참조하여 설명한다.

도 3은 종래의 횡전계형 액정표시장치용 어레이 기판의 화소영역 일부를 도시한 평면도이다.

도시한 바와 같이, 가로 방향의 게이트 배선(60)과 세로 방향의 데이터 배선(70)이 교차하여 화소영역(P)을 정의하고, 게이트 배선(60)과 데이터 배선(70)의 교차 부분에는 게이트 배선(60) 및 데이터 배선(70)과 연결된 스위칭 소자인 박막 트랜지스터(Tr)가 형성되어 있다.

또한, 상기 화소영역(P)에는 상기 게이트 배선에서 일정간격 이격하여 가로방향으로 연장된 공통배선(80)이 형성되어 있으며, 상기 공통배선(80)과 연결된 다수의 공통전극(85)이 세로 방향으로 연장되어 있다.

또한, 상기 화소영역(P)에는 세로방향을 가지며 공통전극(85)과 일정간격을 가지고 서로 엇갈리게 배치된 다수의 화소전극(95)이 형성되어 있는데, 상기 화소전극(95)은 박막 트랜지스터(Tr)의 일전극과 연결되어 있다.

다음, 전술한 횡전계형 액정표시장치용 기판의 단면구조에 대해 설명한다.

도 4는 도 3을 절단선 IV-IV를 따라 절단한 단면도이다.

도시한 바와 같이, 기판(57) 상에 저저항 금속물질로써 게이트 전극(61)을 포함한 게이트 배선(미도시)과 공통배선(미도시) 및 공통전극(85)이 형성되어 있다. 이때, 상기 공통전극(85) 각각은 일정한 간격을 유지하며 형성되어 있는 것이 특징이다.

다음, 상기 게이트 전극(61)을 포함하는 게이트 배선(미도시)과 공통배선(미도시) 및 공통전극(85) 상부에 무기절연물질로 이루어진 게이트 절연막(62)이 형성되어 있으며, 상기 게이트 절연막(62) 상부의 박막 트랜지스터 형성 부분(TrA)에는 순수 비정질 실리콘 및 불순물 비정질 실리콘이 순차적으로 증착되고 패터닝되어 액티브층(64a)과 오믹콘택층(64b)으로 이루어진 반도체층(64)이 형성되어 있으며, 상기 반도체층(64) 위로 상기 오믹콘택층(64b)과 각각 접촉하며 금속물질로 이루어진 소스 및 드레인 전극(66, 68)이 형성되어 있으며, 상기 드레인 전극(68)과 전기적으로 연결되며 게이트 배선(미도시)과 교차하는 데이터 배선(70)이 형성되어 있다.

다음, 상기 소스 및 드레인 전극(66, 68)과 데이터 배선(70) 위로 무기절연물질이 기판 전면에 증착되어 보호층(76)이 형성되어 있으며, 상기 보호층(76) 위로 화소영역(P)에는 투명 도전성 물질로써 상기 드레인 전극(68)과 접촉하며, 상기 공통전극(85)과 서로 엇갈려 배치되는 다수의 화소전극(95)이 형성되어 있다.

따라서, 전술한 구조를 갖는 종래의 횡전계형 액정표시장치용 어레이 기판은 총 5개의 마스크 공정을 통해 제조되고 있다.

하지만, 마스크 공정은 포토레지스트의 도포(photo resist coating)와 상기 도포된 포토레지스트를 노광(exposure), 현상(develop)하고, 식각하고자 하는 물질층을 식각하는 등의 복잡한 공정이므로, 마스크 공정을 많이 진행할수록 어레이 기판의 제조비용 및 공정시간이 증가되고, 이로 인하여 생산수율이 떨어지게 되며, 더욱이 마스크 공정을 많이 진행할수록 박막 트랜지스터 소자에 결함을 발생시킬 확률이 높아지는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기 기술한 종래의 문제점을 해결하기 위해 안출된 것으로서, 횡전계형 액정표시장치용 기판의 제조에 있어 공정 마스크 수를 줄임으로써 공정수 및 공정시간을 단축하여 생산수율을 향상시키고, 나아가 제조비용을 줄이는 것을 그 목적으로 한다.

또한, 횡전계형 액정표시장치에 있어서, 개구율을 향상시키는 것을 또 다른 목적으로 한다.

또한, 패드부에 있어서 전식(부식)을 방지하는 구조를 갖는 횡전계형 액정표시장치용 기판을 제공하는 것을 또 다른 목적으로 한다.

발명의 구성 및 작용

상기의 목적을 이루기 위한 본 발명의 실시예에 따른 횡전계형 액정표시장치용 기판은 기판 상에 일방향으로 연장 형성된 게이트 배선과; 상기 기판 상에 상기 게이트 배선과 평행하게 형성된 공통배선 및 제 1 스토리지 전극을 포함하는 스토리지 배선과; 상기 게이트 배선과 교차하여 화소영역을 정의하는 데이터 배선과; 상기 게이트 배선 및 데이터 배선의 교차지점에 형성된 박막 트랜지스터와; 상기 박막 트랜지스터의 드레인 전극과 동일한 층에 동일 물질로 서로 연결되어 형성되며, 상기 제 1 스토리지 전극과 대응하여 스토리지 커패시터를 형성하는 제 2 스토리지 전극과; 상기 박막 트랜지스터 및 제 2 스토리지 전극 위로 전면에 형성되며, 각 화소영역에 다수의 제 1 전극홈 및 제 2 전극홈을 가지며 구성된 보호층과; 상기 각 제 1 전극홈 내에 구성되며, 상기 공통배선과 일끝이 접촉하며 구성된 공통전극과; 상기 각 제 2 전극홈 내에 구성되며, 상기 제 2 스토리지 전극과 일끝이 접촉하며 구성된 화소전극을 포함한다.

이때, 상기 게이트 배선과 공통배선 및 제 1 스토리지 전극을 포함하는 스토리지 배선 위로 게이트 절연막이 더욱 구성된다.

또한, 상기 제 1 및 제 2 전극홈은 상기 게이트 절연막이 제거되어 기판을 드러내며 형성되며, 이때, 상기 공통전극은 상기 제 1 전극홈 내의 밑면 및 측면에 형성되며, 더욱 상세히는 상기 공통전극은 제 1 전극홈 내에서 드러난 기판 및 공통배선 상면을 포함하여 상기 기판 및 공통배선의 상면에서 절곡하여 상기 제 1 전극홈 내부의 게이트 절연막과 보호층의 측면부까지 연장하여 상기 제 1 전극홈을 위에서 아래로 수직 절단했을 경우 그 단면이 "┐"형태로 형성되는 것이 특징이다.

또한, 상기 화소전극은 상기 제 2 전극홈 내의 밑면 및 측면에 형성되며, 더욱 상세히는 상기 화소전극은 제 2 전극홈 내에서 드러난 기판 및 제 2 스토리지 전극상면을 포함하여 상기 기판 및 공통배선의 상면에서 절곡하여 상기 제 2 전극홈 내부의 게이트 절연막과 보호층의 측면부까지 연장하여 상기 제 2 전극홈을 위에서 아래로 수직 절단했을 경우 그 단면이 "┐"형태로 형성되는 것이 특징이다.

또한, 상기 제 1 전극홈과 상기 제 2 전극홈은 서로 엇갈려 구성된다.

또한, 상기 게이트 배선의 일끝단에는 보호층이 게이트 패드홈을 더욱 포함하고, 상기 게이트 패드홈에 의해 그 일끝이 노출된 상기 게이트 배선과 접촉하며, 투명도전성 물질로 이루어진 게이트 패드전극을 더욱 포함한다.

또한, 상기 데이터 배선의 일끝단에는 보호층이 데이터 패드홈을 더욱 포함하고, 상기 데이터 패드홈에 의해 그 일끝이 노출된 상기 데이터 배선과 접촉하며, 투명도전성 물질로 이루어진 데이터 패드전극을 더욱 포함한다.

본 발명의 실시예에 따른 횡전계형 액정표시장치용 기판의 제조 방법은 화상을 표시하는 액티브 영역과, 상기 액티브 영역 외부로 게이트 및 데이터 패드부가 정의된 기판 상의 상기 액티브 영역에 일방향의 게이트 배선을 형성하는 단계와; 상기 게이트 배선과 교차하여 상기 액티브 영역 내에 화소영역을 정의하는 데이터 배선을 형성하는 단계와; 상기 게이트 및 데이터 배선의 교차지점에 박막트랜지스터를 형성하는 단계와; 상기 박막트랜지스터를 포함하는 기판 전면에 보호층을 형성

하는 단계와; 상기 보호층 위로 상기 제 1 및 제 2 전극홈이 형성될 영역을 노출시키는 포토레지스트층을 형성하는 단계와; 상기 포토레지스트층 외부로 노출된 보호층을 제거하여 각 화소영역 내에 제 1 및 제 2 전극홈을 형성하는 단계와; 상기 포토레지스트층을 제거하는 단계와; 상기 포토레지스트층이 제거된 보호층 위로 상기 제 1 및 제 2 전극홈을 포함하여 전면 에 투명도전성 물질층을 형성하는 단계와; 상기 투명도전성 물질층 위로 전면에 평탄화막을 형성하는 단계와; 상기 평탄화막을 애싱(ashing)함으로써 상기 제 1 및 제 2 전극홈 내부로 형성된 투명도전성 물질층 상부에 평탄화 패턴을 형성하고, 상기 제 1 및 제 2 전극홈 내부를 제외한 상기 보호층 상의 평탄화막을 제거하여 투명도전성 물질층을 노출시키는 단계와; 상기 노출된 투명도전성 물질층을 제거함으로써 상기 제 1 및 제 2 전극홈 내에 각각 공통전극과 화소전극을 형성하는 단계를 포함한다.

본 발명의 또 다른 실시예에 따른 횡전계형 액정표시장치용 기관의 제조 방법은 화상을 표시하는 액티브 영역과, 상기 액티브 영역 외부로 게이트 및 데이터 패드부가 정의된 기관 상의 상기 액티브 영역에 일방향의 게이트 배선을 형성하는 단계와; 상기 게이트 배선과 교차하여 상기 액티브 영역 내에 화소영역을 정의하는 데이터 배선을 형성하는 단계와; 상기 게이트 및 데이터 배선의 교차지점에 박막트랜지스터를 형성하는 단계와; 상기 박막트랜지스터를 포함하는 기관 전면에 보호층을 형성하는 단계와; 상기 보호층 위로 상기 제 1 및 제 2 전극홈이 형성될 영역을 노출시키는 포토레지스트층을 형성하는 단계와; 상기 포토레지스트층 외부로 노출된 보호층을 제거하여 각 화소영역 내에 제 1 및 제 2 전극홈을 형성하는 단계와; 상기 제 1 및 제 2 전극홈을 포함하여 상기 포토레지스트층 위로 전면 에 투명도전성 물질층을 형성하는 단계와; 상기 투명도전성 물질층 위로 전면에 평탄화막을 형성하는 단계와; 상기 평탄화막을 애싱(ashing)함으로써 상기 제 1 및 제 2 전극홈 내부로 형성된 투명도전성 물질층 상부에 평탄화 패턴을 형성하고, 상기 제 1 및 제 2 전극홈 내부를 제외한 상기 보호층 상의 평탄화막을 제거하여 투명도전성 물질층을 노출시키는 단계와; 상기 노출된 투명도전성 물질층을 제거함으로써 상기 제 1 및 제 2 전극홈 내에 각각 공통전극과 화소전극을 형성하는 단계를 포함하며, 이때, 상기 공통전극과 화소전극을 형성하는 단계 이후에는 상기 투명도전성 물질층이 제거됨으로써 노출된 포토레지스트층을 제거하는 단계를 더욱 포함한다.

상기 각 실시예에 따른 횡전계형 액정표시장치용 기관의 제조 방법에 있어서 상기 게이트 전극을 형성하는 단계는 상기 게이트 배선과 동일한 물질로써 동일한 층에 상기 게이트 배선과 평행하게 배치되는 공통배선과 스토리지 배선을 형성하는 단계를 더욱 포함한다.

이때, 상기 제 1 전극홈은 상기 공통배선 일부 및 기관을 노출시키며 형성되는 것이 특징이다.

또한, 상기 데이터 배선을 형성하는 단계는 상기 데이터 배선과 동일한 물질로써 동일한 층에 각 화소영역별로 상기 스토리지 배선과 대응하는 제 2 스토리지 전극을 형성하는 단계를 더욱 포함하며, 이때, 상기 제 2 전극홈은 상기 제 2 스토리지 전극 일부 및 기관을 노출시키며 형성되는 것이 특징이다.

또한, 상기 제 1 및 제 2 전극홈을 형성하는 단계는 상기 게이트 및 데이터 패드부에 각각 상기 게이트 배선 일끝 및 데이터 배선 일끝을 노출시키는 게이트 패드홈 및 데이터 패드홈을 형성하는 단계를 더욱 포함하며, 상기 투명도전성 물질의 공통전극 및 화소전극을 형성하는 단계는 상기 게이트 및 데이터 패드홈 내에 각각 상기 게이트 배선 일끝과 접촉하는 게이트 패드전극과, 상기 데이터 배선 일끝과 접촉하는 데이터 패드 전극을 형성하는 단계를 더욱 포함한다.

또한, 상기 제 1 전극홈과 제 2 전극홈은 서로 엇갈려 배치되는 것이 특징이다.

이하 본 발명의 바람직한 실시예를 통해 상세히 설명한다.

도 5는 본 발명의 제 1 실시예에 따른 횡전계형 액정표시장치용 기관의 평면도로서 하나의 화소영역을 도시한 것이다.

도시한 바와 같이, 가로방향으로 게이트 배선(105)이 형성되어 있으며, 상기 게이트 배선(105)과 평행하게 소정간격 이격하여 스토리지 배선(113) 및 공통배선(110)이 형성되어 있다. 이때, 도면에서 표시되지 않았으나, 기관 상의 비표시영역에 들면 패드부에서 서로 접촉 연결됨으로써 상기 스토리지 배선(113)은 상기 공통배선(110)과 전기적으로 연결되어 있는 것이 특징이다.

또한, 상기 스토리지 배선(113)은 상기 게이트 배선(105)과 데이터 배선(130)이 교차하여 정의되는 각 화소영역(P) 내에서 스토리지 커패시터(StgC)를 구성하는 하나의 요소가 되므로 상기 화소영역(P) 내의 일부가 스토리지 배선(113)의 폭보다 넓게 형성되고 있으며, 이러한 부분은 제 1 스토리지 전극(114)을 형성하게 된다.

또한, 상기 게이트 배선(105)과 교차하며 데이터 배선(130)이 세로방향으로 형성되어 있으며, 상기 게이트 배선(105)과 데이터 배선(130)이 교차하는 지점에는 반도체층(120)이 구비되어 있으며, 이러한 반도체층(120)을 포함하여 게이트 전극(107)과 소스 및 드레인 전극(133, 136)으로 형성된 박막 트랜지스터(Tr)가 형성되어 있다.

또한, 상기 게이트 배선(105)과 데이터 배선(130)이 교차하여 정의되는 화소영역(P)에는 상기 공통배선(110)과 제 1 전극홈(155) 내에서 접촉하며 연결되며, 투명도전성 물질로 이루어지고, 상기 데이터 배선(130)과 평행하게 다수의 공통전극(165)이 형성되어 있으며, 상기 공통전극(165) 사이에는 상기 드레인 전극(136)과 연결되며 상기 스토리지 배선(113)과 중첩하며 형성된 제 2 스토리지 전극(139)과 제 2 전극홈(158) 내에서 접촉하여 전기적으로 연결된 다수의 화소전극(170)이 형성되어 있다. 이때, 상기 화소전극(170) 또한 투명 도전성 물질로서 상기 공통전극(165)이 형성된 동일한 층에 형성되어 있는 것이 특징이다.

또한, 상기 스토리지 배선(113) 중 상기 드레인 전극(136)과 연결된 제 2 스토리지 전극(139)과 중첩되는 부분은 제 1 스토리지 전극(114)을 형성하고 있다.

이후에는 전술한 본원발명에 따른 횡전계형 액정표시장치용 기관의 단면구조에 대해 설명한다.

도 6 내지 도 9는 도 5를 각각 절단선 VI-VI, VII-VII, VIII-VIII, IX-IX를 따라 절단한 단면도이다. 이때, 설명의 편의상 화소영역(P) 내에서 스위칭 소자인 박막트랜지스터(Tr)가 형성될 부분을 스위칭 영역(TA), 스토리지 커패시터(StgC)가 형성될 영역을 스토리지 영역(SA)이라 정의한다.

도시한 바와 같이, 기관(101) 상에 다수의 게이트 배선(미도시)이 일방향으로 형성되어 있으며, 상기 게이트 배선(미도시)에서 분기한 게이트 전극(107)이 각 화소영역(P)별로 형성되어 있다. 또한, 상기 게이트 배선(미도시)과 평행하게 소정간격 이격하여 공통배선(110)과, 제 1 스토리지 전극(114)을 포함하는 스토리지 배선(미도시)이 형성되어 있다.

다음, 상기 게이트 배선(미도시) 및 게이트 전극(107)과, 스토리지 배선(미도시) 및 제 1 스토리지 전극(114) 위로 게이트 절연막(116)이 형성되어 있으며, 상기 게이트 절연막(116) 위로 스위칭 영역(TA)에 있어서는 액티브층(120a)과 오믹콘택층(120b)으로 이루어진 반도체층(120)이 형성되어 있으며, 상기 반도체층(120) 더욱 정확히는 오믹콘택층(120b) 위로 소정간격 이격하는 소스 및 드레인 전극(133, 136)이 형성되어 있다. 또한, 상기 스위칭 영역(TA)을 제외한 화소영역(P)에 있어서는 상기 게이트 절연막(116) 위로 상기 제 1 스토리지 전극(114)에 대응해서는 상기 드레인 전극(136)과 연결되며 제 2 스토리지 전극(139)이 형성되어 있다.

다음, 상기 데이터 배선(130)과 소스 및 드레인 전극(133, 136)과 제 2 스토리지 전극(139) 위로 전면에 보호층(150)이 형성되어 있다. 이때, 스위칭 영역(TA)과 상기 스토리지 커패시터(StgC)를 형성하는 스토리지 영역(SA) 이외의 화소영역(P)에 있어서는, 상기 보호층(150) 및 그 하부의 게이트 절연막(116)이 제거되어 상기 공통배선(110) 일부 및 기관(101)을 노출시키며, 상기 데이터 배선(130)과 평행하게 제 1 전극홈(155)이 형성되어 있으며, 또한 상기 제 1 전극홈(155) 사이로 상기 제 1 전극홈(155)과 나란하도록 제 2 스토리지 전극(139) 일부 및 기관(101)을 노출시키며 제 2 전극홈(158)이 형성되어 있다.

또한, 상기 제 1 전극홈(155)에는 상기 노출된 공통배선(110) 일끝과 접촉하며 투명 도전성 물질로 이루어진 공통전극(165)이 형성되어 있으며, 상기 제 1 전극홈(155) 사이마다 형성된 제 2 전극홈(158)에는 상기 노출된 제 2 스토리지 전극(139)과 접촉하며 투명 도전성 물질로 이루어진 화소전극(170)이 형성되어 있다.

전술한 구조를 갖는 기관을 구비한 횡전계형 액정표시장치는 화소전극 및 공통전극이 모두 투명 도전성 물질로써 형성되기 때문에 휘도가 향상되며, 상기 공통전극 및 화소전극을 보호층 및 게이트 절연막 내에 홈을 형성하여 상기 홈 내부에 채워지듯이 형성됨으로 패터닝시 CD(critical dimension)편차가 큰 투명도전성 물질을 이용하면서도 CD편차에 의한 불량 발생되는 것을 방지함으로써 개구율을 향상시킬 수 있는 것이 특징이다.

이후에는 전술한 구조를 갖는 본 발명에 따른 횡전계형 액정표시장치용 기관의 제조 방법에 대해 설명한다.

본 발명에서 제시하는 횡전계형 액정표시장치용 어레이 기관의 제조 방법은 크게 두 가지이므로 우선 제 1 실시예에 따른 제조 방법에 대해 설명한다.

<제 1 실시예>

도 10a 내지 도 10g는 도 5를 VI-VI를 따라 절단한 영역에 있어서의 제조 진행에 따른 공정 단면도이며, 도 11a 내지 도 11g와 도 12a 내지 도 12g와 도 13a 내지 도 13g는 각각 도 5를 VII-VII, VIII-VIII, IX-IX를 따라 절단한 영역에 있어서의 제조 진행에 따른 공정 단면도이다.

우선, 도 10a, 11a, 12a 및 13a에 도시한 바와 같이, 기판(101) 전면에 금속물질을 전면 증착하고, 포토레지스트의 도포, 마스크를 이용한 노광, 노광된 포토레지스트의 현상, 금속층의 식각, 남아있는 포토레지스트 패턴의 스트립 등을 포함하는 제 1 마스크 공정을 진행하여 일방향으로 연장하는 게이트 배선(미도시)과 상기 게이트 배선(미도시)과 평행한 연장하는 공통배선(110) 및 스토리지 배선(미도시)을 형성하고, 스위칭 영역(TA)에 있어서는 상기 게이트 배선(미도시)에서 분기한 게이트 전극(107)을 형성한다. 이때, 스토리지 영역(SA)에서는 상기 스토리지 배선(미도시) 자체로써 제 1 스토리지 전극(114)을 형성하게 된다.

다음, 상기 게이트 배선(미도시)과 스토리지 배선(미도시)과 공통배선(110) 및 게이트 전극(107) 위로 전면 무기절연물질인 산화실리콘(SiO_2) 또는 질화실리콘(SiN_x)을 증착하여 게이트 절연막(116)을 형성한다.

다음, 도 10b, 11b, 12b 및 13b에 도시한 바와 같이, 상기 게이트 절연막(116) 위로 순수 비정질 실리콘과, 불순물 비정질 실리콘과 금속물질을 연속 증착하고 회절노광을 포함하는 제 2 마스크 공정을 진행하여 스위칭 영역(TA)의 게이트 전극(107)에 대응하는 부분에는 얇은 제 1 두께를 갖는 제 1 포토레지스트 패턴(181a)을 형성하고, 소스 및 드레인 전극이 형성될 부분과 데이터 배선이 형성될 부분 및 제 2 스토리지 전극이 형성될 부분에 대응해서는 상기 제 1 두께보다 두꺼운 두께를 갖는 제 2 포토레지스트 패턴(181b)을 형성한다.

다음, 상기 제 1 및 제 2 포토레지스트 패턴(181a, 181b)을 식각 마스크로 하여 연속 식각함으로써 상기 제 1 및 제 2 포토레지스트 패턴(181a, 181b) 외부로 노출된 금속층과 그 하부의 불순물 비정질 실리콘층과 순수 비정질 실리콘층을 제거한다. 따라서, 상기 게이트 절연막(116) 위로는 데이터 배선(130)이 형성되며, 스위칭 영역(TA)에 있어서 소스 드레인 패턴(125)이 형성되며, 스토리지 영역(SA)에는 상기 소스 드레인 패턴(125)과 연결되며 제 2 스토리지 전극(139)이 형성된다. 이때, 스토리지 영역(SA)에 있어서 상기 게이트 절연막(116)을 사이로 위치한 제 2 스토리지 전극(139)과 제 1 스토리지 전극(114)은 상기 게이트 절연막(116)과 더불어 스토리지 커패시터(StgC)를 형성하게 된다.

다음, 도 10c, 11c, 12c 및 13c에 도시한 바와 같이, 기판(101) 전면에 애싱(ashing)을 실시함으로써 얇은 제 1 두께를 갖는 제 1 포토레지스트 패턴(도 10b, 11b, 12b, 13b의 181a)을 제거한다. 이때, 애싱(ashing)의 특성상 제 2 두께의 제 2 포토레지스트 패턴(181b)의 두께도 줄어들게 되지만, 제 1 포토레지스트 패턴(도 10b, 11b, 12b, 13b의 181a)의 두께만큼 줄어들게 되므로 여전히 기판(101) 상에 남아있게 된다.

다음, 제 1 포토레지스트 패턴(도 10b, 11b, 12b, 13b의 181a)이 제거됨으로써 노출된 소스 드레인 패턴(도 10b, 11b, 12b, 13b의 125)과 그 하부의 불순물 비정질 실리콘층(도 10b, 11b, 12b, 13b의 119)을 연속적으로 식각함으로써 순수 비정질 실리콘층(120a)을 노출시킨다. 이때, 상기 노출된 순수 비정질 실리콘층(120a)은 채널을 이루는 액티브층(120a)이 되고, 그 상부의 불순물 비정질 실리콘층(120b)은 각각 오믹콘택층(120b)을 형성하게 되며, 상기 오믹콘택층(120b) 상부의 서로 이격한 소스 드레인 패턴은 각각 소스 및 드레인 전극(133, 136)을 형성하게 된다. 이때, 상기 드레인 전극(136)은 제 2 스토리지 전극(139)과 연결된 상태로 형성되어 진다.

또한, 스위칭 영역(TA)에 있어서, 상기 게이트 전극(107)과 그 상부의 게이트 절연막(116)과, 상기 게이트 절연막(116) 상부의 상기 액티브층(120a) 및 오믹콘택층(120b)으로 이루어진 반도체층(120)과, 상기 오믹콘택층(120b)과 각각 접촉하는 소스 및 드레인 전극(136, 139)은 스위칭 소자인 박막트랜지스터(Tr)를 이루게 된다.

전술한 제 1 실시예에서는 액티브층 및 오믹콘택층과 소스 및 드레인 전극을 하나의 마스크 공정에 의해 형성되고 있는 것을 보이고 있으나, 변형예로서 액티브층 및 오믹콘택층의 반도체층을 먼저 제 2 마스크 공정을 진행하여 형성하고, 이후 상기 반도체층 상부로 금속물질층을 전면 형성 후, 제 3 마스크 공정을 실시하여 소스 및 드레인 전극을 형성할 수도 있다. 이러한 변형예의 경우, 데이터 배선 및 제 2 스토리지 전극 하부에 순수 및 불순물 비정질 실리콘층이 형성되지 않는 것이 특징이다.

다음, 도 10d, 11d, 12d 및 13d에 도시한 바와 같이, 상기 박막트랜지스터(Tr) 및 제 2 스토리지 전극(139)과 데이터 배선(130) 상부에 남아있는 제 2 포토레지스트 패턴(도 10c, 11c, 12c, 13c의 181b)을 스트립(strip)하여 제거한 후, 상기 박막트랜지스터(Tr) 및 데이터 배선(130) 위로 전면 무기절연물질인 산화실리콘(SiO_2) 또는 질화실리콘(SiN_x)을 증착하

여 보호층(150)을 형성한다. 이후, 상기 보호층(150) 위로 포토레지스트를 전면 도포하고 제 3 마스크 공정을 통해 상기 보호층(150)을 패터닝함으로써 화소영역(P)내에 상기 공통배선(110)의 상면 일부를 노출시키며, 상기 데이터 배선(130)과 평행하게 공통전극(미도시)이 형성되어야 할 영역에 제 1 전극홈(155)을, 상기 드레인 전극(136)과 연결된 제 2 스토리지 전극(139)의 상면 일부를 노출시키며, 화소전극(미도시)이 형성되어야 할 영역에는 제 2 전극홈(158)을 형성한다. 즉, 제 1 전극홈(155)은 하부의 게이트 절연막(116)까지 식각함으로써 상기 공통배선(110) 일부 및 기판(101)을 노출시키며 형성되며, 제 2 전극홈(158)은 제 2 스토리지 전극(139) 일부를 노출시키며, 상기 제 2 스토리지 전극(139) 일부를 노출시키는 영역 이외에는 하부의 게이트 절연막(116)까지 식각하여 기판(101)을 노출시키며 형성되는 것이 특징이다.

다음, 도 10e, 11e, 12e 및 13e에 도시한 바와 같이, 상기 제 1 및 제 2 전극홈(155, 158)이 형성된 보호층(150) 위로 전면 투명 도전성 물질인 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)를 증착하여 투명 도전성 물질층(161)을 형성한다.

다음, 도 10f, 11f, 12f 및 13f에 도시한 바와 같이, 상기 투명 도전성 물질층(161) 위로 평탄화 특성이 우수한 유기물질 또는 포토레지스트를 전면 도포하여 평탄화층(185)을 형성한다.

다음, 도 10g, 11g, 12g 및 13g에 도시한 바와 같이, 상기 투명 도전성 물질층 상부에 형성된 평탄화층(도 10f, 11f, 12f 및 13f의 185)에 애싱(ashing) 공정을 진행하면, 애싱(ashing) 공정 특성상 상기 평탄화층(도 10f, 11f, 12f 및 13f의 185) 전면 겹쳐 서서히 제거됨으로써 그 두께가 서서히 감소하게 되는데, 애싱(ashing) 시간을 적절히 조절하면 상기 평탄화층(도 10f, 11f, 12f 및 13f의 185) 표면에 대하여 제 1 및 제 2 전극홈(155, 158)이 비교적 거리가 멀게 즉 두껍게 형성되어 있으므로 상기 평탄화층(도 10f, 11f, 12f 및 13f의 185)이 표면으로부터 제거되어 두께가 점점 줄어들게 됨에 따라, 상기 제 1, 2 전극홈(155, 158) 내부에 평탄화층(186)만을 남겨둔 채, 그 외의 영역에서는 모두 제거되어 투명 도전성 물질층(161)을 노출시키게 된다.

도 11g에 있어서, 도면상에서는 제 2 전극홈(158) 중 상기 제 2 스토리지 전극(139)을 노출시키는 부분에 있어서, 상기 제 2 스토리지 전극(139) 및 그 하부의 불순물 및 순수 비정질 실리콘층에 의해 기판(101)으로부터 비교적 높게 형성되어 기판을 노출시키는 제 1 또는 제 2 전극홈(155, 158) 부분보다 상대적으로 높은 곳에 위치하므로 애싱(ashing) 처리하게 평탄화층(도 10f, 11f, 12f 및 13f의 185)이 모두 제거되어 상기 제 2 스토리지 전극(139) 상부에 형성된 투명 도전성 물질층(161)을 노출시킬 것 같지만 실제적으로, 상기 불순물 및 순수 비정질 실리콘층과 제 2 스토리지 전극(139)의 두께가 상기 보호층(150)에 비해 매우 얇은 수준이 되므로 비록 기판(101)을 노출시키는 전극홈 대비 그 두께는 얇지만 평탄화층(186)이 남아있게 된다.

더욱이, 제 1 실시예에 의한 변형예에서는 상기 제 2 스토리지 전극 하부에 불순물 및 비정질 실리콘층이 형성되지 않으므로 기판으로부터의 높이단차가 적어짐으로 더욱더 두꺼운 두께의 평탄화층이 남게된다.

다음, 도 10h, 11h, 12h 및 13h에 도시한 바와 같이, 상기 제 1 및 제 2 전극홈(155, 158) 내부에 남아있는 평탄화층(도 10g, 11g, 12g 및 13g의 186)을 식각 마스크로 하여 상기 투명 도전성 물질층(도 10g, 11g, 12g 및 13g의 161)을 식각하여 상기 제 1, 2 전극홈(155, 158) 내부를 제외하고 모두 제거함으로써 상기 제 1 전극홈(155) 내부에는 각각 공통배선(110)과 일끝이 접촉하는 공통전극(165)이 형성되고, 상기 제 2 전극홈(158) 내부에는 상기 제 2 스토리지 전극(139)과 일끝이 접촉하는 화소전극(170)이 형성된다. 이때, 상기 공통전극(165)과 화소전극(170)은 상기 제 1 및 제 2 전극홈(155, 158) 내의 밑면 즉, 드러난 기판면 및 공통배선(110)과 제 2 스토리지 전극(139)의 상면 및 상기 밑면에서 상기 보호층(150) 또는 보호층(150)과 게이트 절연막(116)의 측면까지 절곡 연장되어 마치 "┐"모양으로 형성되는 것이 특징이다.

이후, 상기 제 1, 2 전극홈(155, 158) 내부에 남아있는 평탄화층(도 10g, 11g, 12g 및 13g의 186)을 제거함으로써 횡전계형 액정표시장치용 기판을 완성할 수 있다.

전술한 제 1 실시예 또는 상기 제 1 실시예의 변형예에 따른 횡전계형 액정표시장치를 총 3회 또는 4회의 마스크 공정을 진행하여 어레이 기판을 제조하게 됨으로 마스크 수를 절감하여 최종적으로는 제조 비용을 절감하는 효과가 있다.

<제 2 실시예>

전술한 제 1 실시예에 따른 횡전계형 액정표시장치용 어레이 기판의 제조 방법은 제 1 및 제 2 전극홈 내의 공통배선 또는 제 2 스토리지 배선이 노출되는 부분이 기판면 대비 높게 형성되므로, 보호층의 두께가 얇아지게 되면, 상기 제 1 및 제 2 전

극홈 내부에서 노출되는 공통배선 또는 제 2 스토리지 배선의 표면이 게이트 절연막과 보호층만으로 이루어진 영역의 상기 보호층 표면보다도 높은 곳에 위치함으로써 마스크 공정없이 선택적으로 투명 도전성 물질층을 식각하는 것이 불가능한 문제가 발생하게 된다.

따라서, 본 발명의 제 2 실시예에서는 제 1 실시예의 전술한 문제를 해결하며 보다 안정적으로 투명 도전성 물질층을 선택 식각하여 제 1 전극홈 내에 공통전극 및 공통전극을 형성할 수 있는 방법을 제공한다.

이후 설명할 제 2 실시예에 있어 기판상에 박막트랜지스터를 형성을 포함하여 보호층에 제 1 및 제 2 전극홈을 형성하는 공정까지는 전술한 제 1 실시예와 동일하므로 설명은 생략하고, 그 이후의 공정에 대해서만 서술한다.

또한, 제 2 실시예를 설명하기 위해 제시하는 도 14a 내지 14f, 15a 내지 15f, 16a 내지 16f 및 도 17a 내지 17f는 제 1 실시예와 동일하게 도 5를 각각 VI-VI, VII-VII, VIII-VIII 및 IX-IX를 따라 절단한 부분에 대한 공정 단면도를 나타내고 있으며, 설명의 편의를 위해 제 2 실시예를 도시한 도면에 있어서, 제 1 실시예와 동일한 부분에 대해서는 상기 제 1 실시예에 도시한 도면부호에 100을 더하여 표시하였다.

우선, 도 14a, 15a, 16a 및 17a에 도시한 바와 같이, 기판(201) 상의 박막트랜지스터(Tr)와 스토리지 커패시터(StgC) 및 데이터 배선(230) 위로 전면에 무기절연물질인 질화실리콘(SiNx) 또는 산화실리콘(SiO₂)을 증착하여 보호층(250)을 형성하고, 상기 보호층(250) 위로 전면에 포토레지스트를 도포하고, 제 3 마스크 공정(액티브층 및 오믹콘택층과 소스 및 드레인 전극을 하나의 마스크 공정을 통해 형성한 경우) 또는 제 4 마스크 공정(액티브층 및 오믹콘택층과 소스 및 드레인 전극을 각각의 마스크 공정을 이용하여 형성한 경우)을 진행하여 상기 보호층(250)을 패터닝함으로써 각 화소영역(P) 내에 상기 데이터 배선(230)과 평행하며 상기 공통배선(210) 일부를 노출시키는 제 1 전극홈(255)과, 상기 제 2 스토리지 전극(239) 일부를 노출시키는 제 2 전극홈(258)을 형성한다. 이때, 상기 보호층(250) 위로는 여전히 포토레지스트 패턴(283)이 남아 있는 상태가 된다.

다음, 도 14b, 15b, 16b 및 17b에 도시한 바와 같이, 상기 제 1 및 제 2 전극홈(255, 258)이 형성된 보호층(250) 위로 남아있는 포토레지스트 패턴(283) 위로 전면에 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO) 등의 투명 도전성 물질을 증착하여 투명 도전성 물질층(261)을 형성한다.

다음, 도 14c, 15c, 16c 및 17c에 도시한 바와 같이, 상기 투명 도전성 물질층(261) 위로 포토레지스트 또는 평탄화 특성이 우수한 유기물질을 도포하여 평탄화층(285)을 형성한다.

상기 포토레지스트 또는 유기물질은 평탄화 특성이 우수하므로 상기 제 1 및 제 2 전극홈(255, 258)을 채우며 그 표면이 평탄한 평탄화층(285)을 형성하게 된다.

다음, 도 14d, 15d, 16d 및 17d에 도시한 바와 같이, 상기 표면이 평탄하게 형성된 평탄화층(도 14c, 15c, 16c 및 17c의 285)에 애싱(ashing) 공정을 진행시킨다. 따라서, 애싱(ashing)공정에 의해 상기 평탄화층(도 14c, 15c, 16c 및 17c의 285)이 전면적으로 일정 비율로써 그 두께가 줄어들게 되며(애싱의 이방성 특성), 애싱(ashing) 시간을 적절히 조절함으로써 포토레지스트 패턴(283) 상부에 형성된 투명 도전성 물질층(261)을 노출시키게 된다. 이때, 상기 투명 도전성 물질층(261)은 애싱(ashing)에 의해 영향을 거의 받지 않으며, 상기 제 1 및 제 2 전극홈(255, 258)에 있어서는 상기 평탄화층(도 14c, 15c, 16c 및 17c의 285)의 두께가 매우 두껍게 형성되었으므로 애싱(ashing) 공정 진행 후에도 여전히 평탄화층 일부가 소정의 두께를 가지고 남아 평탄화 패턴(286)을 형성하게 된다. 이때, 상기 제 1 및 제 2 전극홈(255, 258) 내에 남겨지는 평탄화 패턴(286)의 두께는 이웃하는 보호층(250)의 두께와 같거나 또는 상기 보호층(250)보다 조금 더 두꺼운 두께를 갖도록 애싱(ashing) 시간을 조절하는 것이 바람직하다. 이 경우, 상기 보호층(250)의 두께가 얇게 형성되어도 상기 보호층(250) 상부에 형성되는 포토레지스트 패턴(283)이 상기 보호층(250) 대비 매우 두껍게 형성되는 바, 상기 제 1 및 제 2 전극홈(255, 258) 내부에 형성된 투명 도전성 물질층(261)과 상기 포토레지스트 패턴(283) 상부에 형성된 투명 도전성 물질층(261)은 애싱(ashing) 공정 편차를 충분히 수용하고, 또한 하부의 또 다른 구성요소로 인한 상기 제 1 및 제 2 전극홈(255, 258) 내에서도 제 2 스토리지 전극(239) 등에 의해 단차가 발생한다 하더라도 이를 충분히 수용할 수 있을 정도가 되므로 전술한 제 1 실시예에서와 같은 문제를 발생하지 않는다.

다음, 도 14e, 15e, 16e 및 17e에 도시한 바와 같이, 평탄화 패턴(286) 외부로 노출된 투명 도전성 물질층(도 14d, 15d, 16d 및 17d의 261)을 상기 평탄화 패턴(286)을 식각 마스크로 하여 식각하여 제거하면, 상기 제 1 및 제 2 전극홈(255, 258)에만 상기 평탄화 패턴(286)에 의해 식각액에 노출되지 않아 상기 투명 도전성 물질층(265, 270)이 남겨지며, 이렇게 상기 제 1 및 제 2 전극홈(255, 258)에 남겨진 상기 투명 도전성 물질층(265, 270)은 제 1 전극홈(255)에 있어서는 상기

그 일부가 노출된 공통배선(210)과 그 일끝이 접촉하며 공통전극(265)을 형성하고, 제 2 전극홈(258)에 있어서는 상기 드레인 전극(236)과 연결되며 형성되며, 그 일부가 노출된 제 2 스토리지 전극(239)과 그 일끝이 접촉하는 화소전극(270)을 형성하게 된다. 이때, 상기 제 1 및 제 2 전극홈(255, 258) 내의 밀면 즉, 드러난 기판면 및 공통배선(210)과 제 2 스토리지 전극(239)의 상면 및 상기 밀면에서 상기 보호층(250) 또는 보호층(250)과 게이트 절연막(216)의 측면까지 절곡 연장되어 마치 "┐"모양으로 형성되는 것이 특징이다.

다음, 도 14f, 15f, 16f 및 17f에 도시한 바와 같이, 상기 제 1 및 제 2 전극홈(255, 258)에 남아있는 평탄화 패턴(도 14e, 15e, 16e 및 17e의 286)과 상기 제 1 및 제 2 전극홈(255, 258) 외부의 보호층(250) 상부에 남아있는 포토레지스트 패턴(283)을 스트립(strip)하여 제거함으로써 횡전계형 액정표시장치용 기판을 완성한다.

이후에는 본 발명에 따른 횡전계형 액정표시장치용 기판의 게이트 및 데이터 패드부 구조에 대해 설명한다.

액정표시장치를 구동시키기 위해서는 외부로부터 각 화소영역에 신호전압을 인가하여야 하는데, 외부로부터 신호전압을 인가받기 위한 부분이 게이트 및 데이터 패드부이다.

즉, 각각의 게이트 및 데이터 패드부에는 게이트 배선 및 데이터 배선과 연결된 게이트 패드전극 및 데이터 패드전극이 구성되고 있으며, 상기 게이트 및 데이터 패드전극은 보호층 및 게이트 절연막에 의해 대기중에 노출되지 않는 게이트 및 데이터 배선과는 달리 외부구동회로로부터 신호전압을 받아들이기 위해 즉, 상기 외부 구동회로부의 단자와 접촉하여 전기적으로 연결시키기 위해 외부로 노출된 상태가 되고 있으며, 이렇게 대기중에 노출된 패드전극은 부식에 강한 금속이 아닌 이상 어느 정도의 시간이 지나면 부식이 발생하게 되며, 이렇게 부식이 발생함으로써 전기적 결함 등의 불량을 발생시키는 요인이 되고 있다.

본 발명에서는 이러한 부식문제를 해결하고자 게이트 및 데이터 배선과 연결되는 게이트 및 데이터 패드전극 자체를 부식에 강한 투명 도전성 물질인 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)로써 구성하는 것을 특징으로 한다.

도 18은 본 발명에 따른 게이트 및 데이터 패드부 일부를 포함하는 평면도를 도시한 것이며, 도 19와 도 20은 도 18을 각각 XIX-XIX, XX-XX를 따라 절단한 단면을 도시한 것이다. 이때, 전술한 제 1 및 제 2 실시예에 모두 적용되는 구성이므로 설명의 편의상 도면부호에 있어서는 300번대로 새롭게 부여하였다.

도시한 바와 같이, 기판(301) 및 상기 기판(301)상의 게이트 절연막(316) 위로 서로 교차하는 게이트 배선(305) 및 데이터 배선(330)이 화상을 표시하는 액티브 영역(AA) 내에서 게이트 및 데이터 패드부(GPA, DPA)와의 경계부분 더욱 정확하게는 두장의 상하 기판이 합착되어 액정패널을 형성 시, 상기 게이트 및 데이터 패드부(GPA, DPA)의 쉘패턴이 형성되는 영역(SLA)까지 각각 형성되어 있다. 이때, 상기 게이트 패드부(GPA)에 있어서는 게이트 패드전극(373)이 기판(301)과 접촉하며 상기 쉘패턴 영역(SLA)까지 연장 형성된 게이트 배선(305)의 일끝단과 일부 중첩하여 접촉하며 형성되어 있으며, 상기 데이터 패드부(DPA)에 있어서는 데이터 패드전극(376)이 상기 기판(301) 상의 게이트 절연막(316) 위로 형성되며 상기 쉘패턴 영역(SLA)까지 연장 형성된 데이터 배선(330)의 일끝단과 중첩하여 접촉하며 형성되어 있다.

이때, 게이트 및 데이터 패드부(GPA, DPA)에 있어, 상기 게이트 및 데이터 패드전극(373, 376)은 부식에 강한 투명 도전성 물질인 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)로 상기 보호층(350) 및 그 하부의 게이트 절연막(316)이 패터닝되어 기판(301)을 노출시키며 형성된 게이트 및 데이터 패드홈(359, 360) 내측을 덮으며 형성되어 있는 것이 특징이다.

이때, 상기 게이트 및 데이터 패드전극(373, 376)은 마치 슬릿이 연결된 구조로 형성됨을 보이고 있으나, 반드시 슬릿구조로 형성되지 않고 일반적인 구조인 평면적으로 직사각형 형태로 구성되어도 무방하지만, 중요한 요소로써 상기 부식에 강한 투명 도전성 물질로 이루어진 게이트 및 데이터 패드전극(373, 376)과 게이트 및 데이터 배선(305, 330)이 접촉하는 부분은 액티브 영역(AA)을 둘러싸며 상하의 두 기판이 합착된 상태를 유지시키도록 하는 쉘패턴이 형성되어야 하는 부분(SLA)에 위치하도록 구성하는 것에 있다.

도 18을 참조하면 점선으로써 쉘패턴이 형성되는 부분(SLA)을 표시하였으며, 이렇게 쉘패턴이 형성된 부분(SLA)에 게이트 및 데이터 배선(305, 330)과 게이트 및 데이터 패드전극(373, 376)과의 접촉영역을 구성함으로써 통상적으로 저저항 금속물질로 이루어지는 게이트 및 데이터 배선(305, 330)이 상기 게이트 및 데이터 패드전극(373, 376)과 접촉하는 부분에서 대기중에 노출되더라도 쉘패턴에 의해 덮여짐으로 부식을 방지할 수 있는 것이다. 이때, 상기 게이트 및 데이터 패드전극(373, 376) 자체는 부식에 강한 투명 도전성 물질로써 이루어지므로 문제되지 않는다.

간단히 게이트 및 데이터 패드전극을 형성하는 방법에 대해 도 18 내지 도 20을 참조하여 설명한다.

우선, 기판(301) 상에 게이트 배선(305) 및 게이트 전극(미도시)을 형성하고, 상기 게이트 배선(305) 및 게이트 전극(미도시) 위로 게이트 절연막(316)을 형성한다. 상기 게이트 배선(305) 및 게이트 전극(미도시)을 형성하는 단계에 있어서는 게이트 및 데이터 패드부(GPA, DPA)에는 아무것도 형성되지 않고 단순히 게이트 절연막(316)만이 형성된다.

또한, 상기 게이트 절연막(316) 위로 액티브 영역(AA)에 있어서는 데이터 배선 등이 형성되지만 이 경우에도 게이트 및 데이터 패드부(GPA, DPA)의 대부분의 영역에서는 변화없이 게이트 절연막(316)만이 존재하게 된다. 더욱 정확히는 상기 게이트 및 데이터 패드부(GAp, DPA) 중 쉘패턴이 형성된 부분(SLA) 일부에는 게이트 및 데이터 배선(305, 330)이 형성된다.

다음, 액티브 영역(AA)에 있어 상기 데이터 배선(330) 위로 전면 보호층(350)을 형성 시 상기 게이트 및 데이터 패드부(GPA, DPA)에 있어서는 보호층(350)을 형성하고, 상기 액티브 영역(AA)에 있어 상기 보호층(350) 내에 제 1 및 제 2 전극층(355, 358)을 형성 시, 동일 공정에 의해 상기 패드부(GPA, DPA)에 있어, 액티브 영역(AA)과 상기 쉘패턴 형성 영역까지 연장 형성된 게이트 및 데이터 배선(305, 330)의 일끝단 및 기판(301)을 노출시키는 게이트 패드홈(359) 및 데이터 패드홈(360)을 형성한다.

다음, 전술한 제 1 및 제 2 실시예에 의한 각각의 방법에 의해 상기 패드홈을 형성 후 남아있는 포토레지스트 패턴 위로 전면 투명 도전성 물질층을 형성(제 2 실시예에 따른 방법)하든지 또는 상기 포토레지스트 패턴을 스트립을 통해 제거한 상태에서 투명 도전성 물질층을 형성(제 1 실시예에 따른 방법)하고, 그 위로 평탄화층(미도시)을 형성한 후, 상기 평탄화층(미도시)을 애싱하여 서서히 그 두께를 줄여가며 투명 도전성 물질층(미도시)을 노출시킨다. 이때, 상기 게이트 및 데이터 패드홈(359, 360) 내부에 형성된 투명 도전성 물질층은 보호층(350)이 형성된 부분보다 낮은 부분에 위치함으로 상기 게이트 및 데이터 패드홈(359, 360)에 형성된 투명 도전성 물질층은 그 상부로 여전히 평탄화층(미도시)이 남아있게 되며, 이때 평탄화층(미도시)이 제거되어 투명 도전성 물질층이 노출된 부분에 있어 상기 투명 도전성 물질층을 식각하여 제거함으로써 상기 게이트 및 데이터 패드홈(359, 360) 내부에 그 일끝단이 각각 게이트 배선(305) 및 데이터 배선(330)과 각각 접촉하는 게이트 패드전극(373) 및 데이터 패드전극(376)을 형성하게 된다.

이후, 상기 게이트 및 데이터 패드홈(359, 360) 내부에 남아있는 평탄화층(미도시) 및 제 2 실시예에 따라 공정진행을 한 경우, 상기 보호층(350) 상부의 포토레지스트층(미도시) 스트립하여 제거함으로써 완성하게 된다.

본 발명은 상기한 실시예에 한정되지 아니하며, 본 발명의 정신을 벗어나지 않는 이상 다양한 변화와 변형이 가능하다.

발명의 효과

본 발명에 따른 횡전계형 액정표시장치용 어레이 기판은 총 3회 또는 4회의 마스크 공정을 진행하여 제조함으로써 제조 공정 마스크 수를 줄여 공정 단순화 및 제조 비용 절감의 효과가 있다.

또한, 투명 도전성 물질로서 화소 또는 공통전극을 형성 시, 투명 도전성 물질의 특성상 CD편차에 의한 상기 각 전극간 거리 차이가 발생하게 되며 이러한 전극간 거리차에 의해 얼룩이 발생하게 되는데, 이러한 문제를 평탄화층을 이용하여 패터닝된 홈에 상기 투명 도전성 물질 채워 형성함으로써 투명 도전성 물질의 식각시 발생하는 CD편차를 줄이고 그에 따라 전극간 간격차이에 의해 발생하는 불량을 방지하는 효과가 있다.

(57) 청구의 범위

청구항 1.

기판 상에 일방향으로 연장 형성된 게이트 배선과;

상기 기판 상에 상기 게이트 배선과 평행하게 형성된 공통배선 및 제 1 스토리지 전극을 포함하는 스토리지 배선과;

상기 게이트 배선과 교차하여 화소영역을 정의하는 데이터 배선과;

상기 게이트 배선 및 데이터 배선의 교차지점에 형성된 박막 트랜지스터와;

상기 박막 트랜지스터의 드레인 전극과 동일한 층에 동일 물질로 서로 연결되어 형성되며, 상기 제 1 스토리지 전극과 대응하여 스토리지 커패시터를 형성하는 제 2 스토리지 전극과;

상기 박막 트랜지스터 및 제 2 스토리지 전극 위로 전면에 형성되며, 각 화소영역에 다수의 제 1 전극홈 및 제 2 전극홈을 가지며 구성된 보호층과;

상기 각 제 1 전극홈 내에 구성되며, 상기 공통배선과 일끝이 접촉하며 구성된 공통전극과;

상기 각 제 2 전극홈 내에 구성되며, 상기 제 2 스토리지 전극과 일끝이 접촉하며 구성된 화소전극

을 포함하는 횡전계형 액정표시장치용 기판.

청구항 2.

제 1 항에 있어서,

상기 게이트 배선과 공통배선 및 제 1 스토리지 전극을 포함하는 스토리지 배선 위로 게이트 절연막이 더욱 구성된 횡전계형 액정표시장치용 기판.

청구항 3.

제 2 항에 있어서,

상기 제 1 및 제 2 전극홈은 상기 게이트 절연막이 제거되어 기판을 드러내며 형성된 횡전계형 액정표시장치용 기판.

청구항 4.

제 3 항에 있어서,

상기 공통전극은 상기 제 1 전극홈 내의 밑면 및 측면에 형성된 횡전계형 액정표시장치용 기판.

청구항 5.

제 4 항에 있어서,

상기 공통전극은 제 1 전극홈 내에서 드러난 기판 및 공통배선 상면을 포함하여 상기 기판 및 공통배선의 상면에서 절곡하여 상기 제 1 전극홈 내부의 게이트 절연막과 보호층의 측면부까지 연장하여 상기 제 1 전극홈을 위에서 아래로 수직 절단했을 경우 그 단면이 "┐"형태로 형성된 횡전계형 액정표시장치용 기판.

청구항 6.

제 3 항에 있어서,

상기 화소전극은 상기 제 2 전극홈 내의 밑면 및 측면에 형성된 횡전계형 액정표시장치용 기판.

청구항 7.

제 6 항에 있어서,

상기 화소전극은 제 2 전극홈 내에서 드러난 기관 및 제 2 스토리지 전극상면을 포함하여 상기 기관 및 공통배선의 상면에서 절곡하여 상기 제 2 전극홈 내부의 게이트 절연막과 보호층의 측면부까지 연장하여 상기 제 2 전극홈을 위에서 아래로 수직 절단했을 경우 그 단면이 "┐"형태로 형성된 횡전계형 액정표시장치용 기관.

청구항 8.

제 1 항에 있어서,

상기 제 1 전극홈과 상기 제 2 전극홈은 서로 엇갈려 구성된 횡전계형 액정표시장치용 기관.

청구항 9.

제 1 항에 있어서,

상기 게이트 배선의 일끝단에는 보호층이 게이트 패드홈을 더욱 포함하고, 상기 게이트 패드홈에 의해 그 일끝이 노출된 상기 게이트 배선과 접촉하며, 투명도전성 물질로 이루어진 게이트 패드전극을 더욱 포함하는 횡전계형 액정표시장치용 기관.

청구항 10.

제 1 항에 있어서,

상기 데이터 배선의 일끝단에는 보호층이 데이터 패드홈을 더욱 포함하고, 상기 데이터 패드홈에 의해 그 일끝이 노출된 상기 데이터 배선과 접촉하며, 투명도전성 물질로 이루어진 데이터 패드전극을 더욱 포함하는 횡전계형 액정표시장치용 기관.

청구항 11.

화상을 표시하는 액티브 영역과, 상기 액티브 영역 외부로 게이트 및 데이터 패드부가 정의된 기관 상의 상기 액티브 영역에 일방향의 게이트 배선을 형성하는 단계와;

상기 게이트 배선과 교차하여 상기 액티브 영역 내에 화소영역을 정의하는 데이터 배선을 형성하는 단계와;

상기 게이트 및 데이터 배선의 교차지점에 박막트랜지스터를 형성하는 단계와;

상기 박막트랜지스터를 포함하는 기관 전면에 보호층을 형성하는 단계와;

상기 보호층 위로 상기 제 1 및 제 2 전극홈이 형성될 영역을 노출시키는 포토레지스트층을 형성하는 단계와;

상기 포토레지스트층 외부로 노출된 보호층을 제거하여 각 화소영역 내에 제 1 및 제 2 전극홈을 형성하는 단계와;

상기 포토레지스트층을 제거하는 단계와;

상기 포토레지스트층이 제거된 보호층 위로 상기 제 1 및 제 2 전극홈을 포함하여 전면 투명도전성 물질층을 형성하는 단계와;

상기 투명도전성 물질층 위로 전면 평탄화막을 형성하는 단계와;

상기 평탄화막을 애싱(ashing)함으로써 상기 제 1 및 제 2 전극홈 내부로 형성된 투명도전성 물질층 상부에 평탄화 패턴을 형성하고, 상기 제 1 및 제 2 전극홈 내부를 제외한 상기 보호층 상의 평탄화막을 제거하여 투명도전성 물질층을 노출시키는 단계와;

상기 노출된 투명도전성 물질층을 제거함으로써 상기 제 1 및 제 2 전극홈 내에 각각 공통전극과 화소전극을 형성하는 단계

를 포함하는 횡전계형 액정표시장치용 기판의 제조 방법.

청구항 12.

화상을 표시하는 액티브 영역과, 상기 액티브 영역 외부로 게이트 및 데이터 패드부가 정의된 기판 상의 상기 액티브 영역에 일방향의 게이트 배선을 형성하는 단계와;

상기 게이트 배선과 교차하여 상기 액티브 영역 내에 화소영역을 정의하는 데이터 배선을 형성하는 단계와;

상기 게이트 및 데이터 배선의 교차지점에 박막트랜지스터를 형성하는 단계와;

상기 박막트랜지스터를 포함하는 기판 전면 보호층을 형성하는 단계와;

상기 보호층 위로 상기 제 1 및 제 2 전극홈이 형성될 영역을 노출시키는 포토레지스트층을 형성하는 단계와;

상기 포토레지스트층 외부로 노출된 보호층을 제거하여 각 화소영역 내에 제 1 및 제 2 전극홈을 형성하는 단계와;

상기 제 1 및 제 2 전극홈을 포함하여 상기 포토레지스트층 위로 전면 투명도전성 물질층을 형성하는 단계와;

상기 투명도전성 물질층 위로 전면 평탄화막을 형성하는 단계와;

상기 평탄화막을 애싱(ashing)함으로써 상기 제 1 및 제 2 전극홈 내부로 형성된 투명도전성 물질층 상부에 평탄화 패턴을 형성하고, 상기 제 1 및 제 2 전극홈 내부를 제외한 상기 보호층 상의 평탄화막을 제거하여 투명도전성 물질층을 노출시키는 단계와;

상기 노출된 투명도전성 물질층을 제거함으로써 상기 제 1 및 제 2 전극홈 내에 각각 공통전극과 화소전극을 형성하는 단계

를 포함하는 횡전계형 액정표시장치용 기판의 제조 방법.

청구항 13.

제 12 항에 있어서,

상기 공통전극과 화소전극을 형성하는 단계 이후에는 상기 투명도전성 물질층이 제거됨으로써 노출된 포토레지스트층을 제거하는 단계를 더욱 포함하는 횡전계형 액정표시장치용 기판의 제조 방법.

청구항 14.

제 11 항 또는 제 12 항에 있어서,

상기 게이트 전극을 형성하는 단계는 상기 게이트 배선과 동일한 물질로써 동일한 층에 상기 게이트 배선과 평행하기 배치되는 공통배선과 스토리지 배선을 형성하는 단계를 더욱 포함하는 횡전계형 액정표시장치용 기관의 제조 방법.

청구항 15.

제 14 항에 있어서,

상기 제 1 전극홀은 상기 공통배선 일부 및 기관을 노출시키며 형성되는 횡전계형 액정표시장치용 기관의 제조 방법.

청구항 16.

제 14 항에 있어서,

상기 데이터 배선을 형성하는 단계는

상기 데이터 배선과 동일한 물질로써 동일한 층에 각 화소영역별로 상기 스토리지 배선과 대응하는 제 2 스토리지 전극을 형성하는 단계를 더욱 포함하는 횡전계형 액정표시장치용 기관의 제조 방법.

청구항 17.

제 16 항에 있어서,

상기 제 2 전극홀은 상기 제 2 스토리지 전극 일부 및 기관을 노출시키며 형성되는 횡전계형 액정표시장치용 기관의 제조 방법.

청구항 18.

제 11 항 또는 제 12 항에 있어서,

상기 제 1 및 제 2 전극홀을 형성하는 단계는 상기 게이트 및 데이터 패드부에 각각 상기 게이트 배선 일끝 및 데이터 배선 일끝을 노출시키는 게이트 패드홀 및 데이터 패드홀을 형성하는 단계를 더욱 포함하는 횡전계형 액정표시장치용 기관의 제조 방법.

청구항 19.

제 18 항에 있어서,

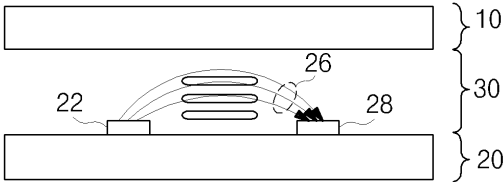
상기 투명도전성 물질의 공통전극 및 화소전극을 형성하는 단계는 상기 게이트 및 데이터 패드홀 내에 각각 상기 게이트 배선 일끝과 접촉하는 게이트 패드전극과, 상기 데이터 배선 일끝과 접촉하는 데이터 패드 전극을 형성하는 단계를 더욱 포함하는 횡전계형 액정표시장치용 기관의 제조 방법.

청구항 20.

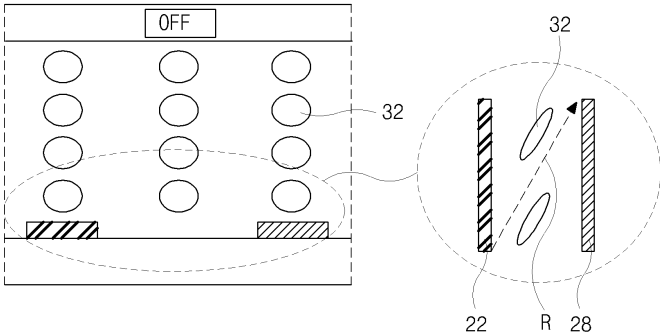
제 11 항 또는 제 12 항에 있어서,
상기 제 1 전극홀과 제 2 전극홀은 서로 엇갈려 배치되는 횡전계형 액정표시장치용 기판의 제조 방법.

도면

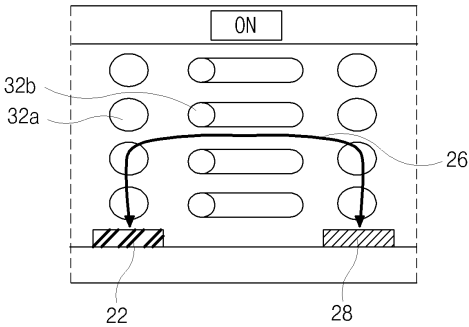
도면1



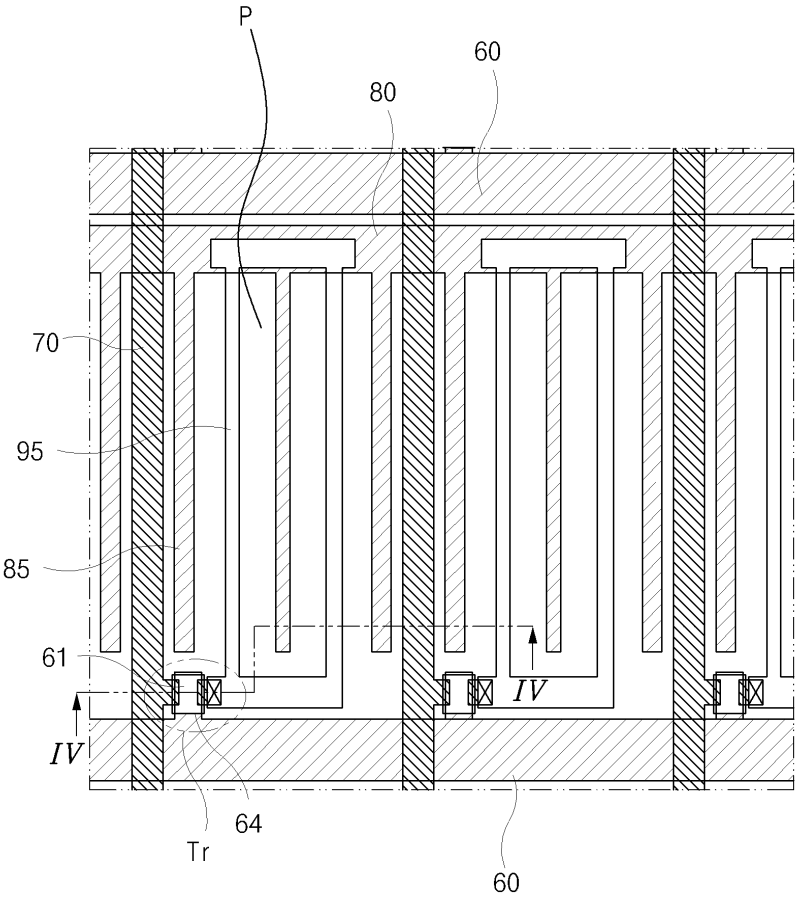
도면2a



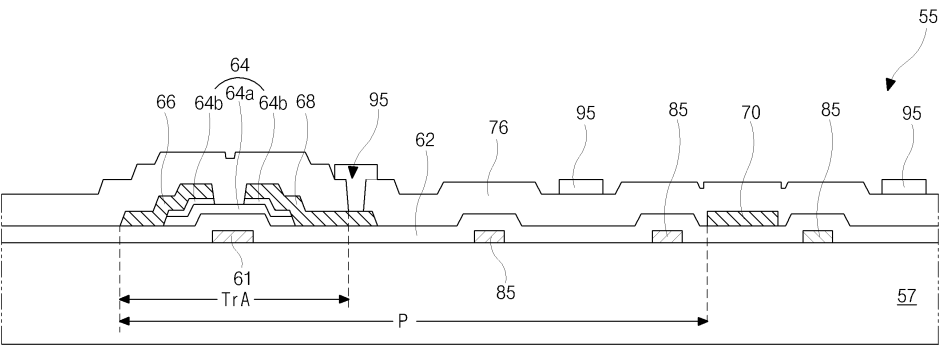
도면2b



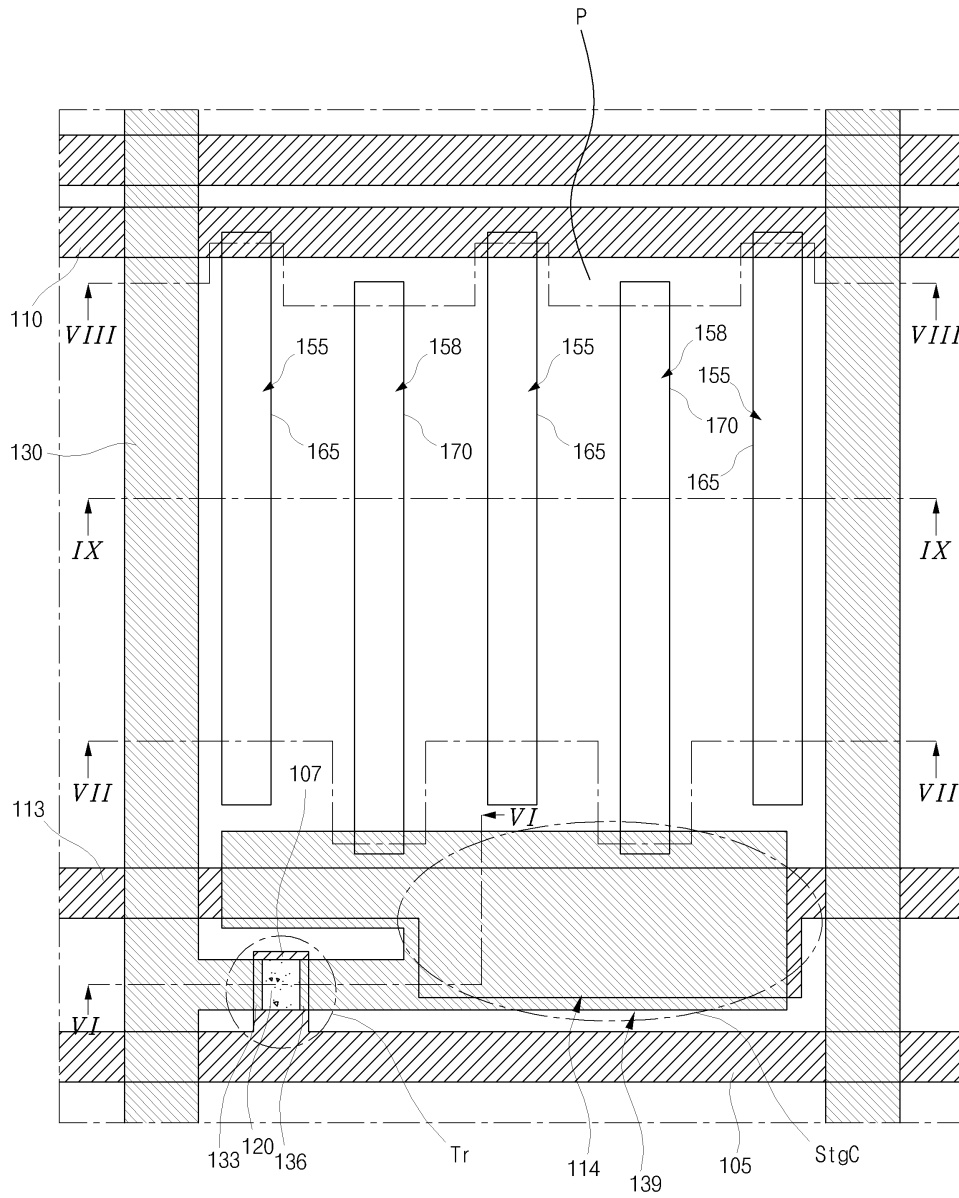
도면3



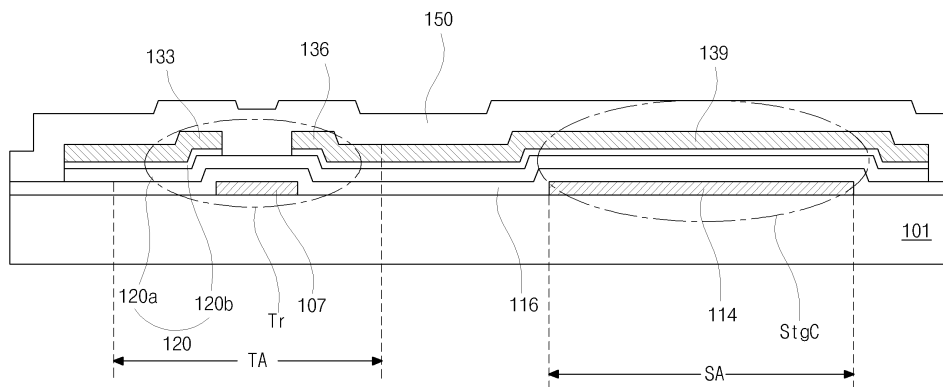
도면4



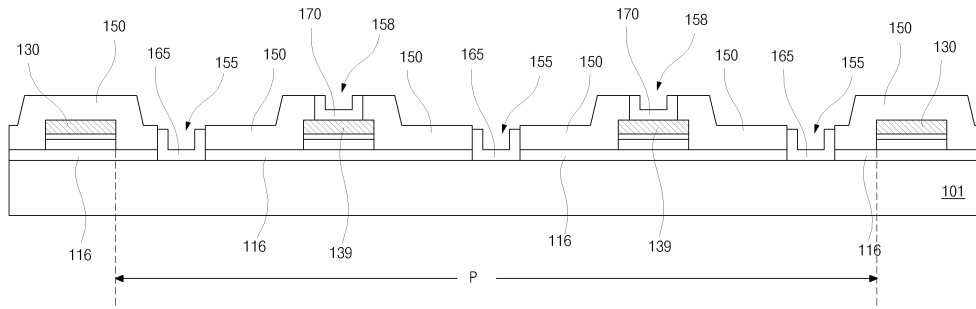
도면5



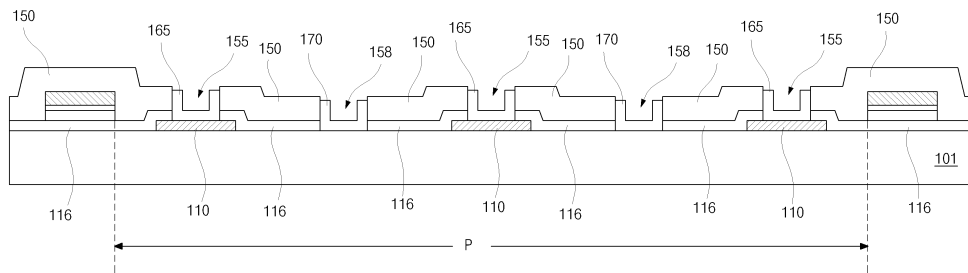
도면6



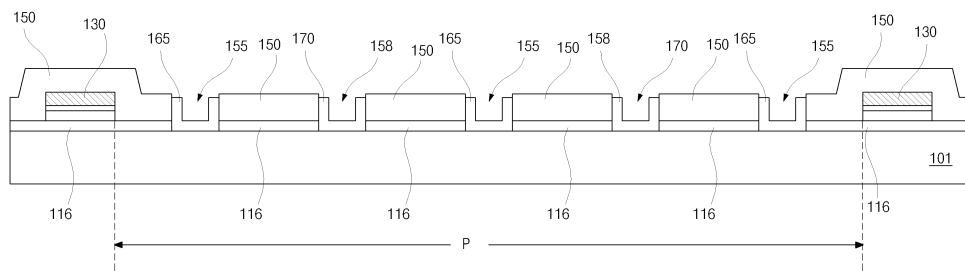
도면7



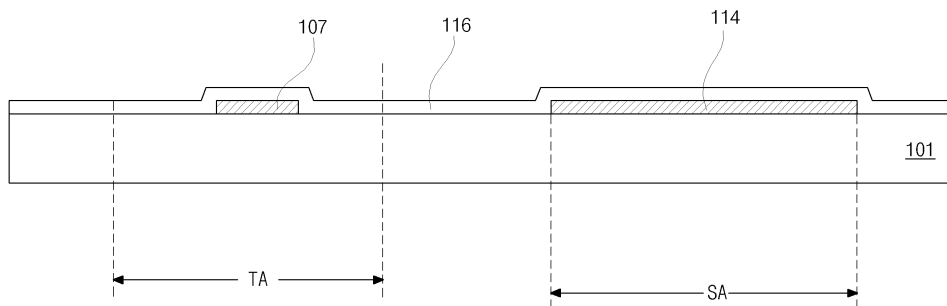
도면8



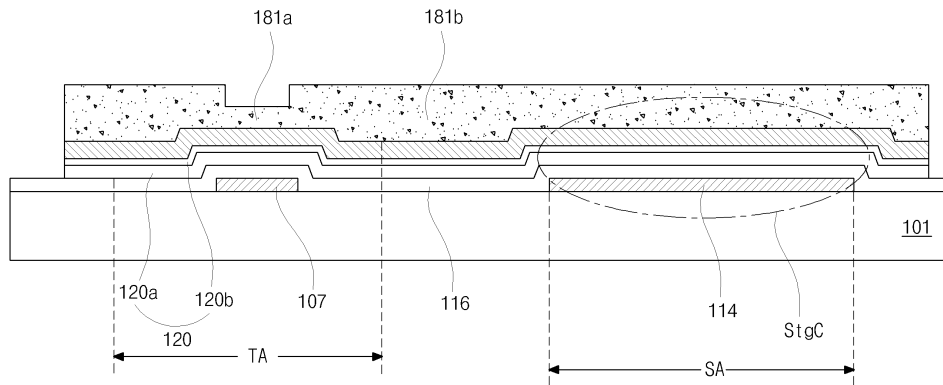
도면9



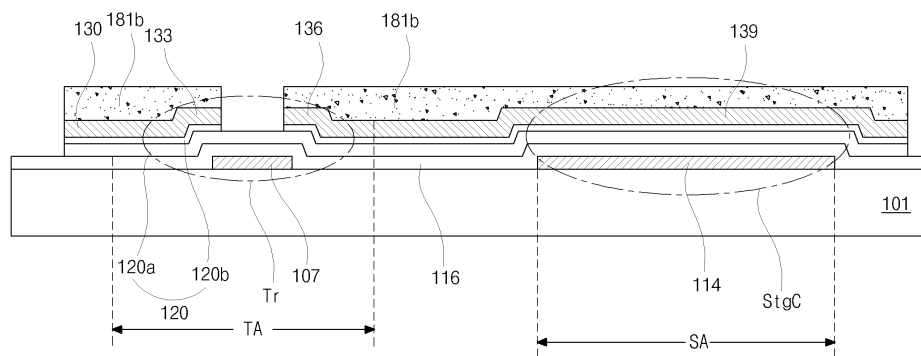
도면10a



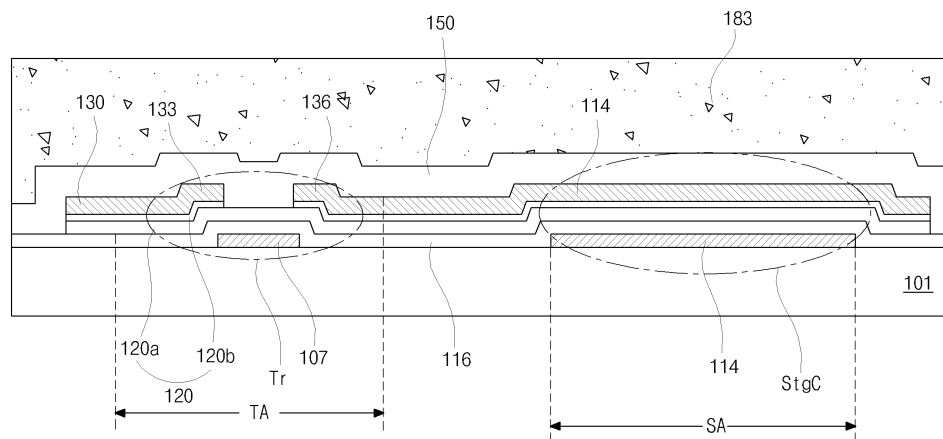
도면 10b



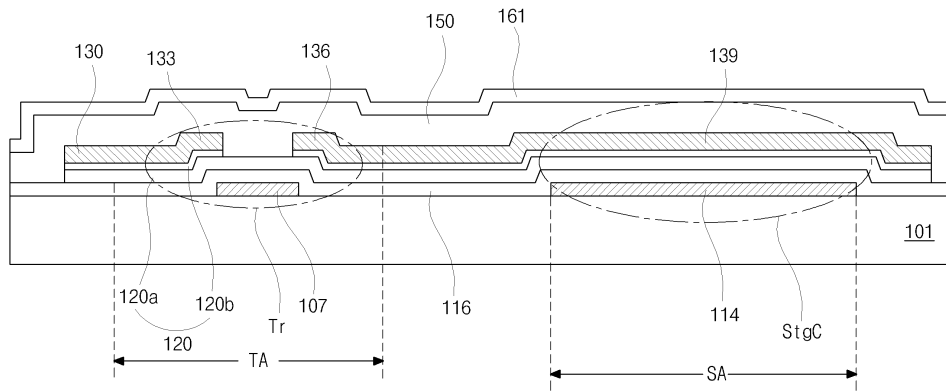
도면 10c



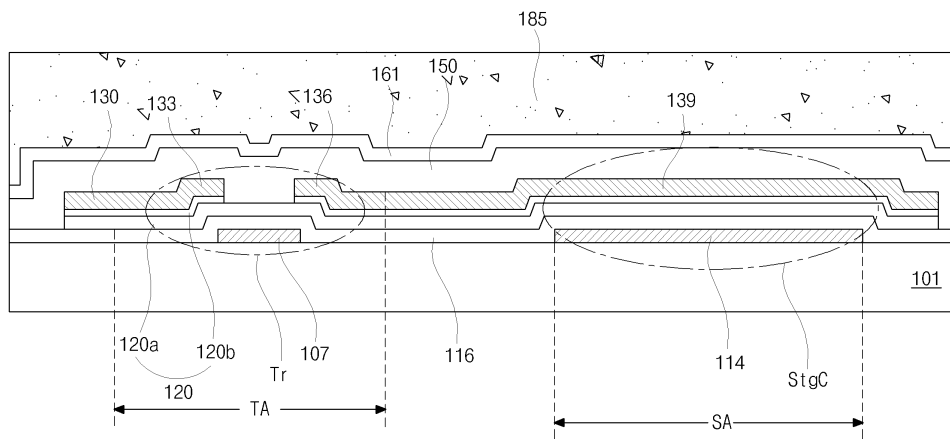
도면 10d



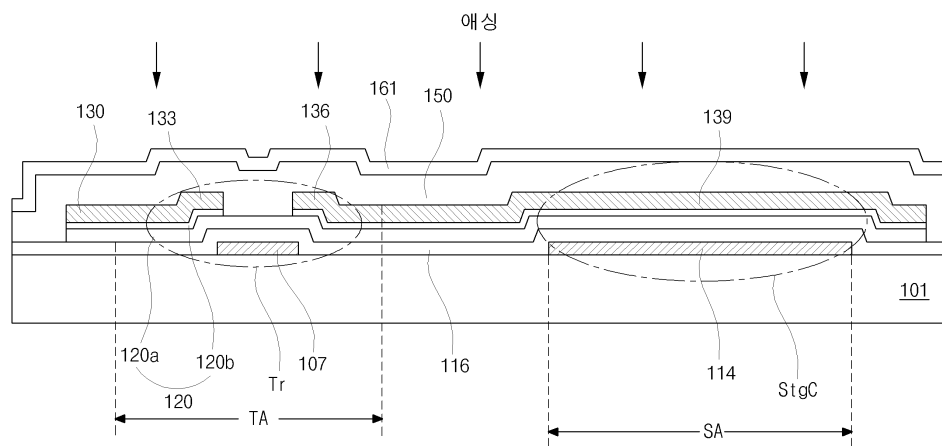
도면10e



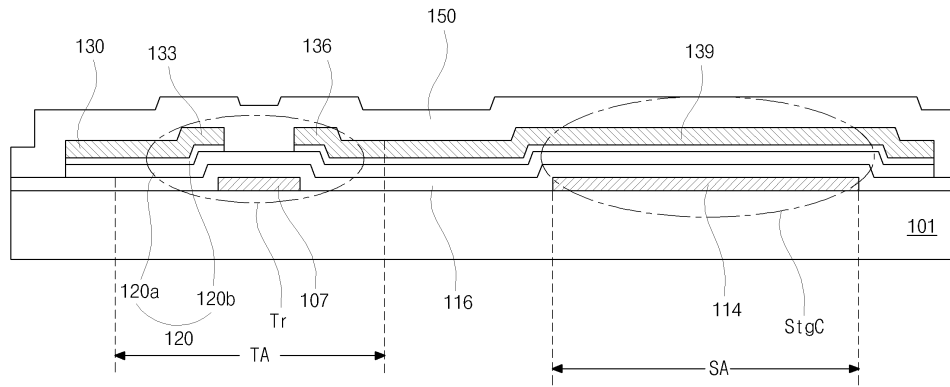
도면10f



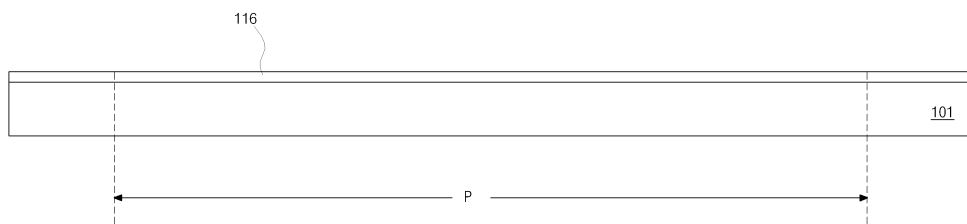
도면10g



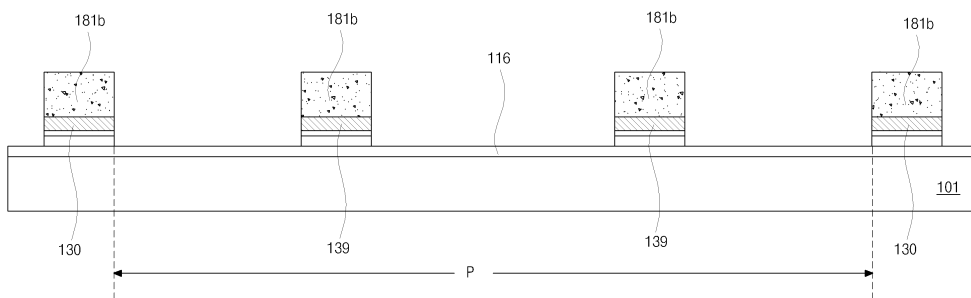
도면10h



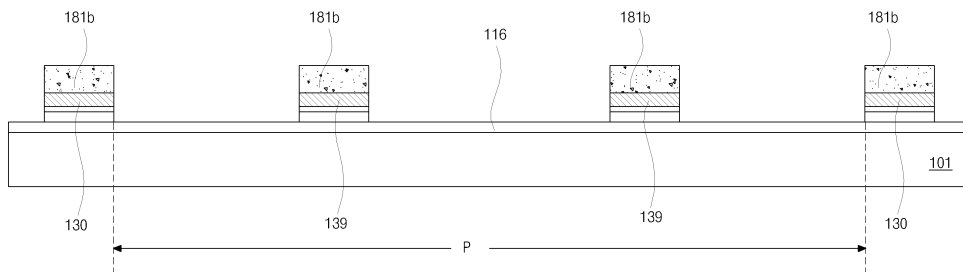
도면11a



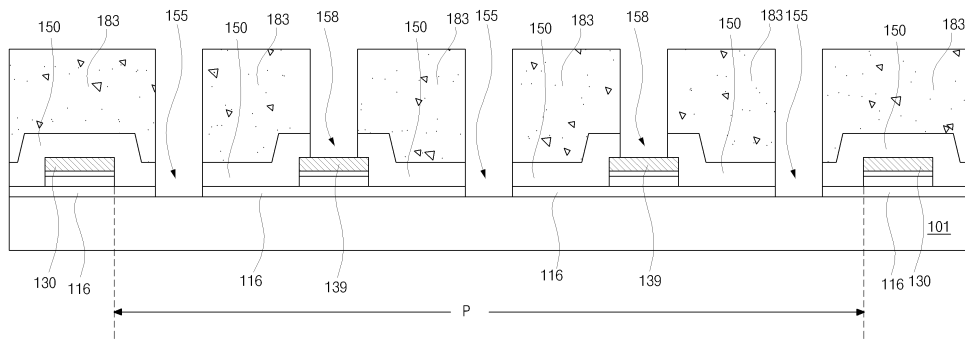
도면11b



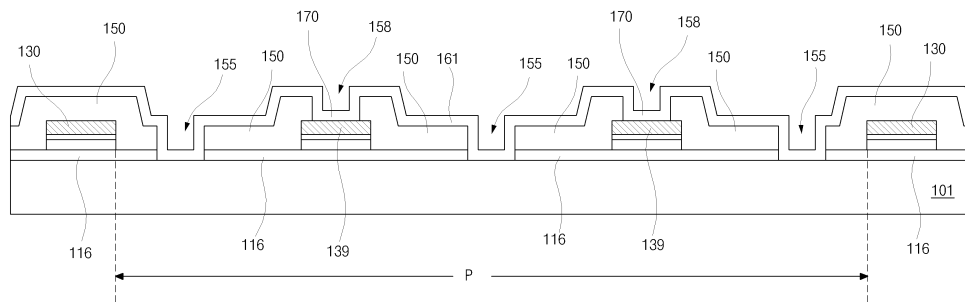
도면11c



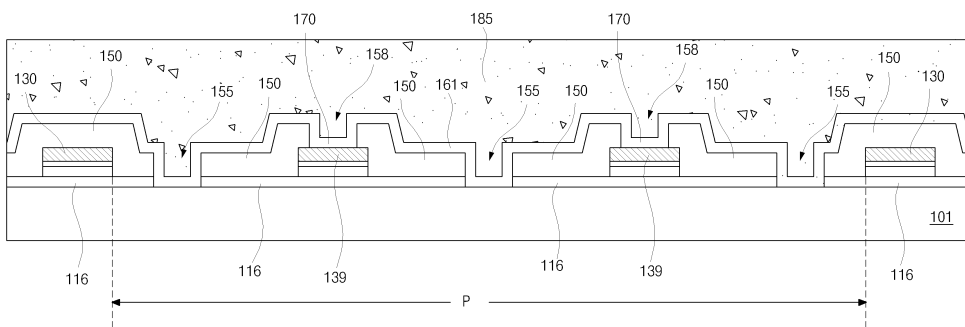
도면11d



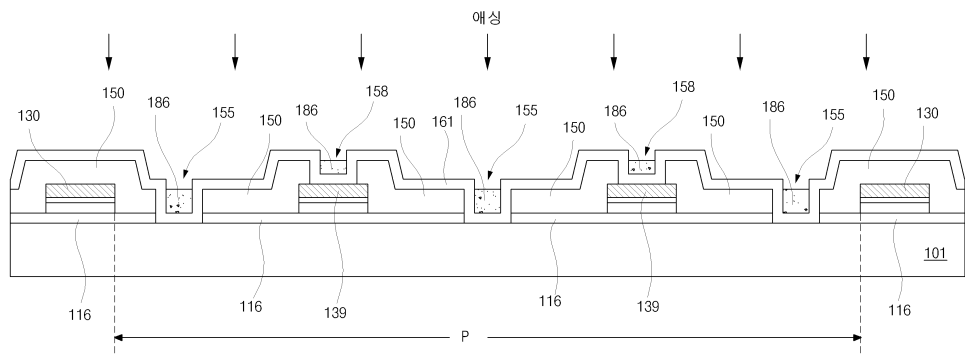
도면11e



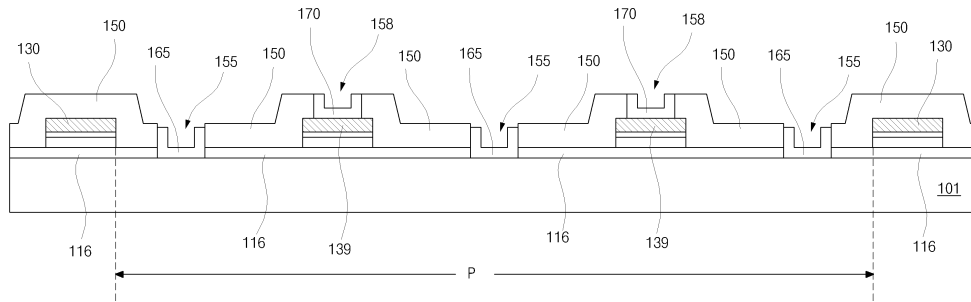
도면11f



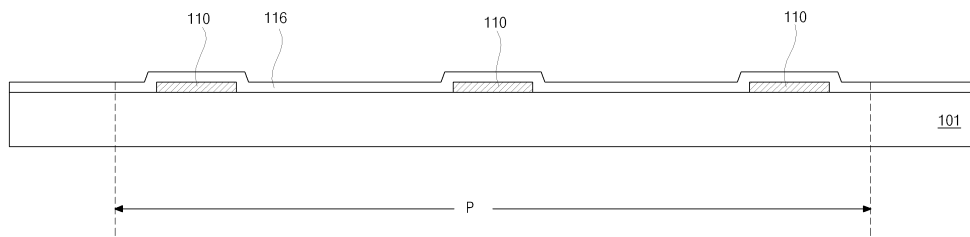
도면11g



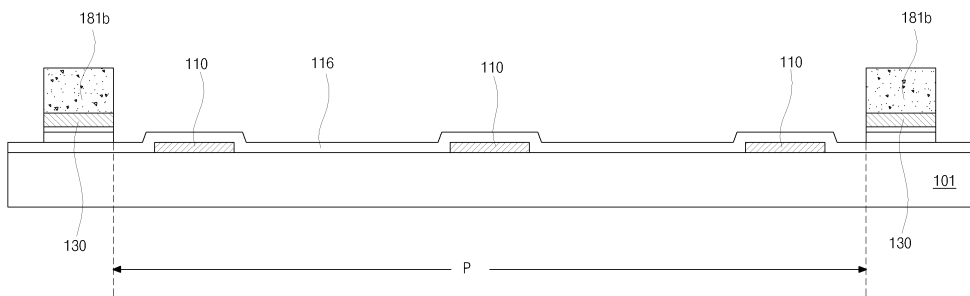
도면11h



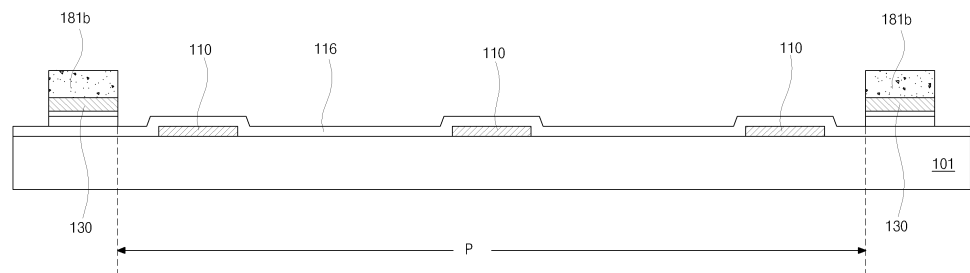
도면12a



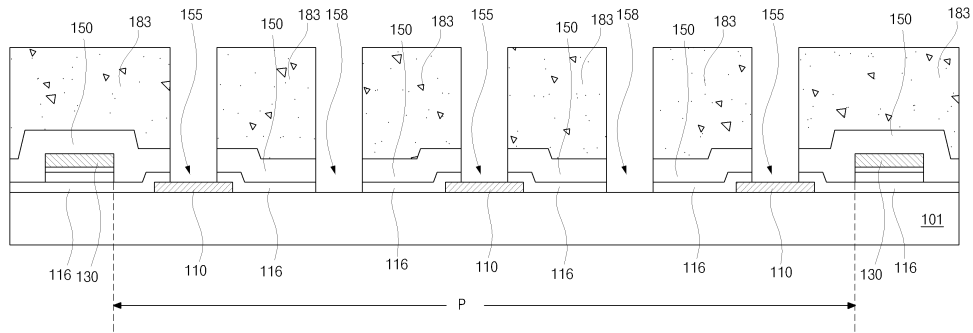
도면12b



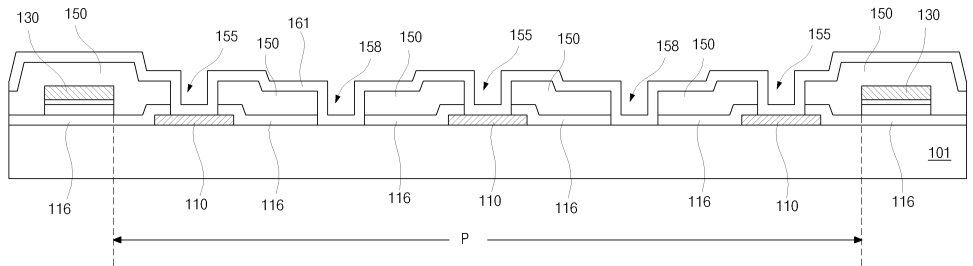
도면12c



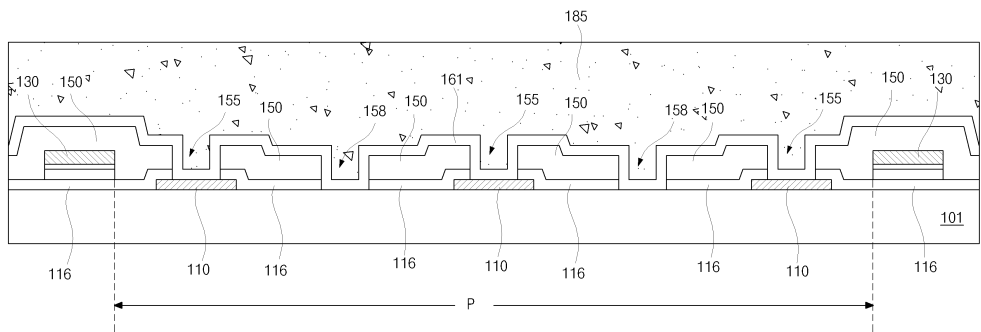
도면12d



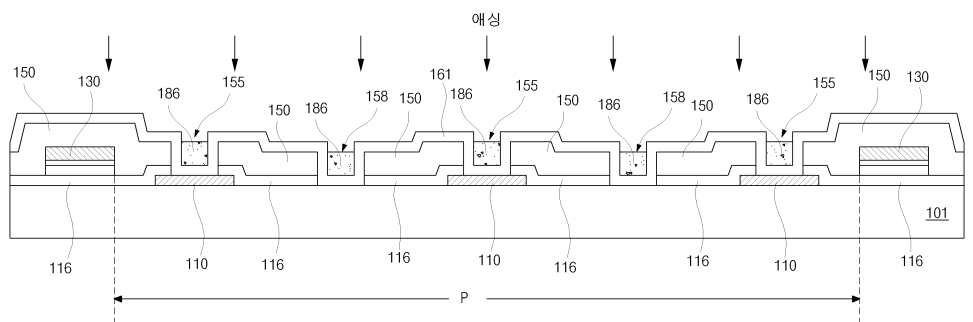
도면12e



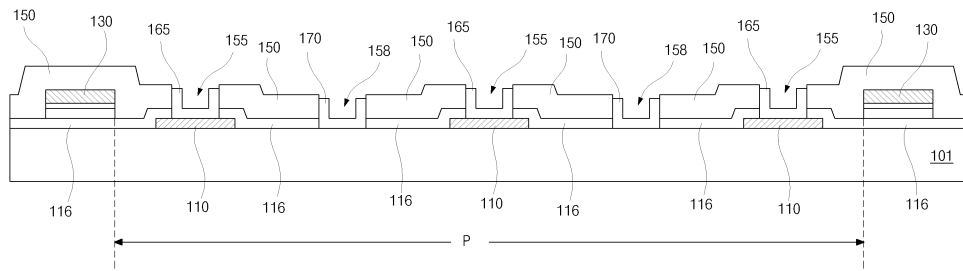
도면12f



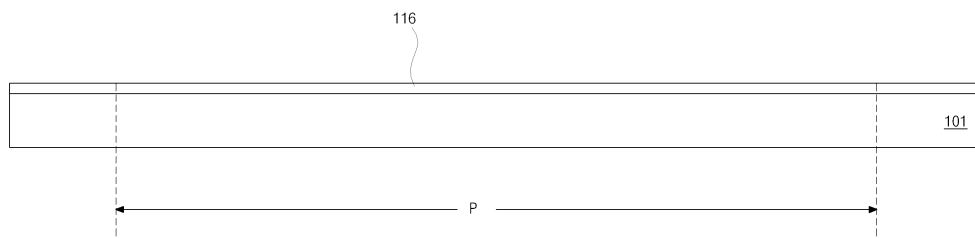
도면12g



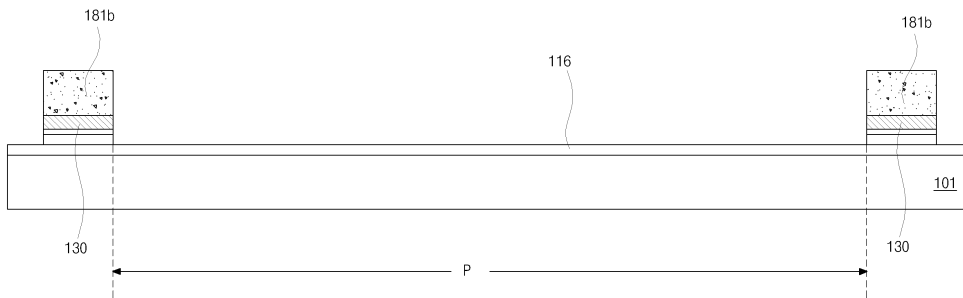
도면12h



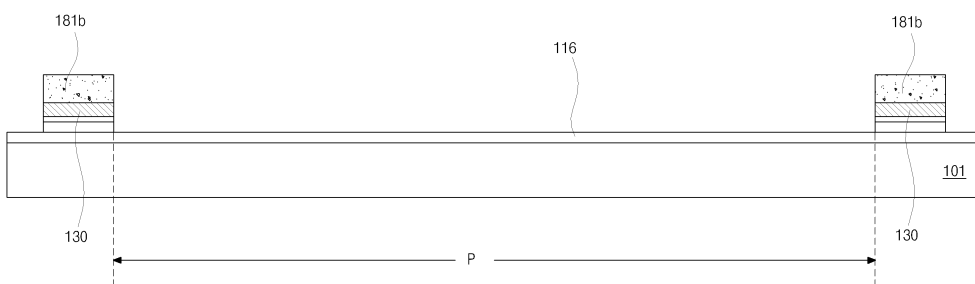
도면13a



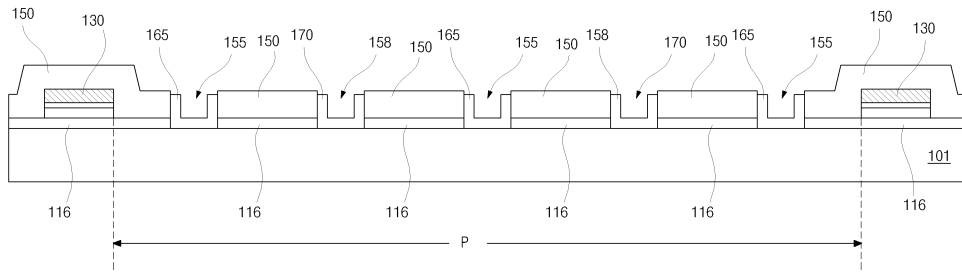
도면13b



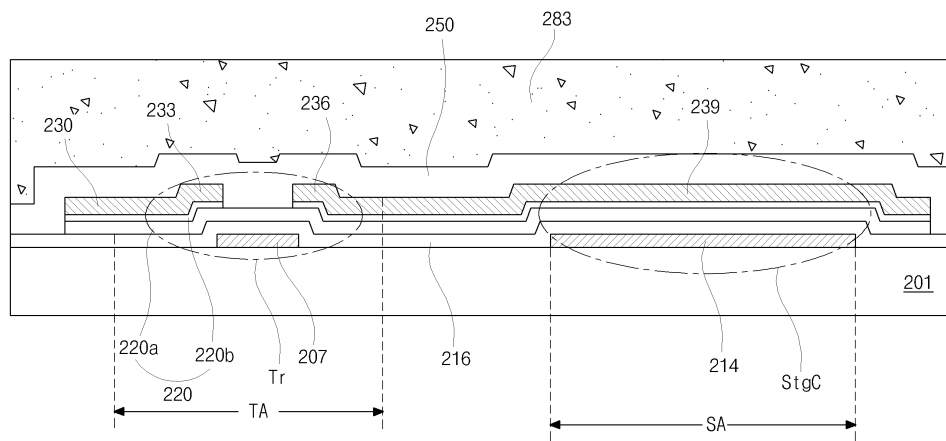
도면13c



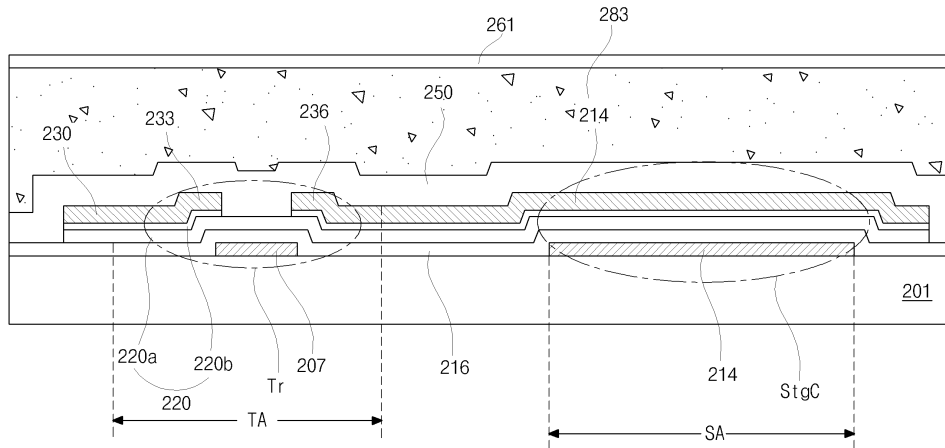
도면13h



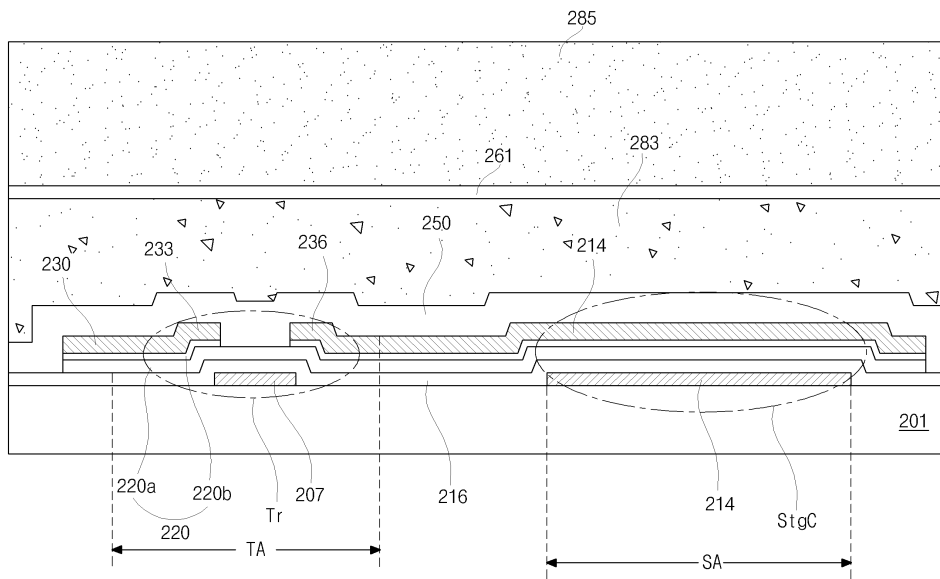
도면14a



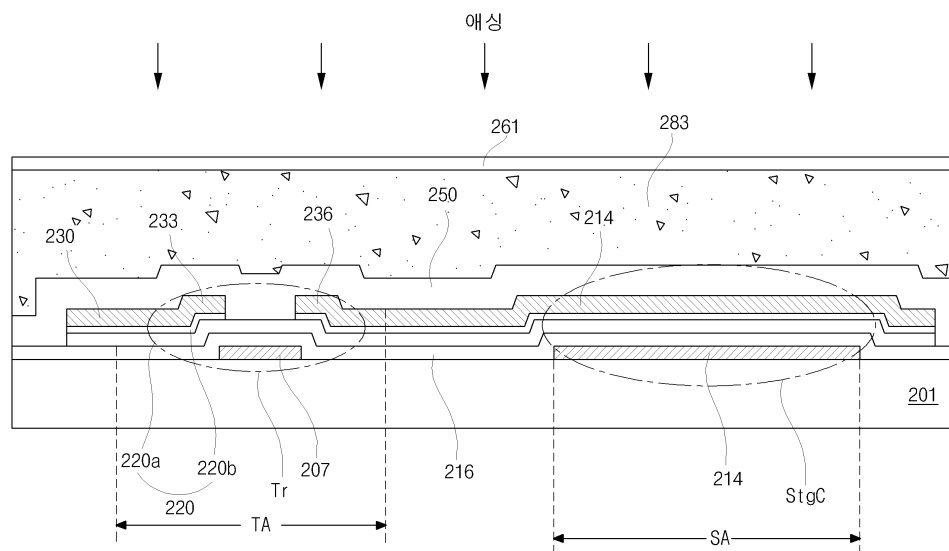
도면14b



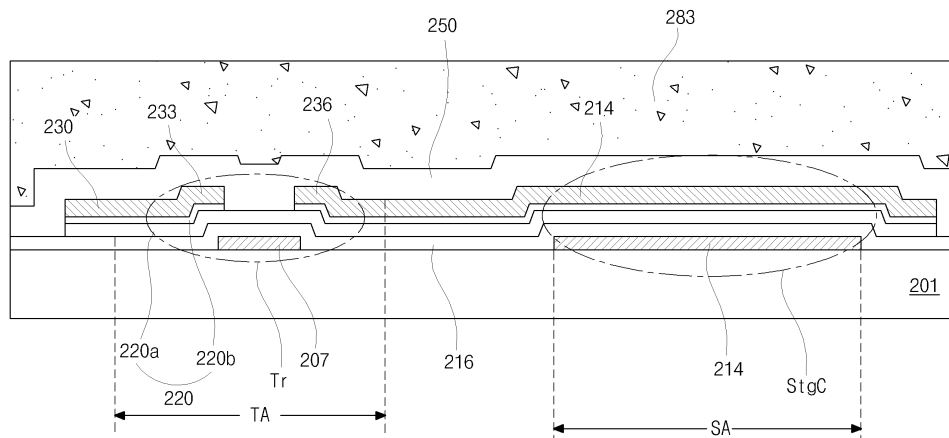
도면14c



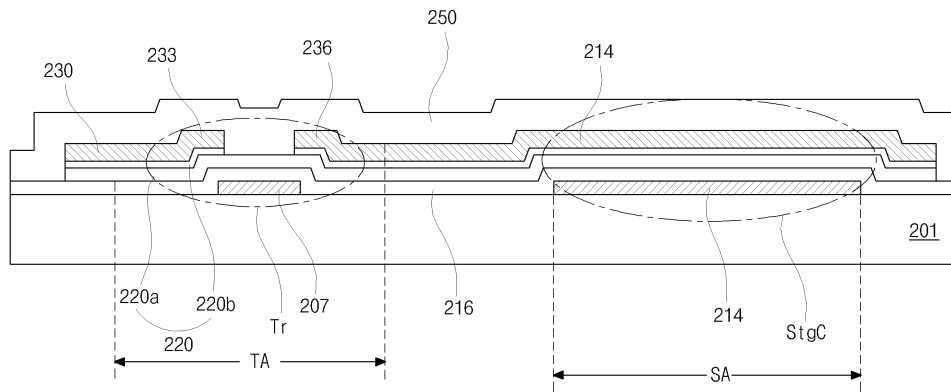
도면14d



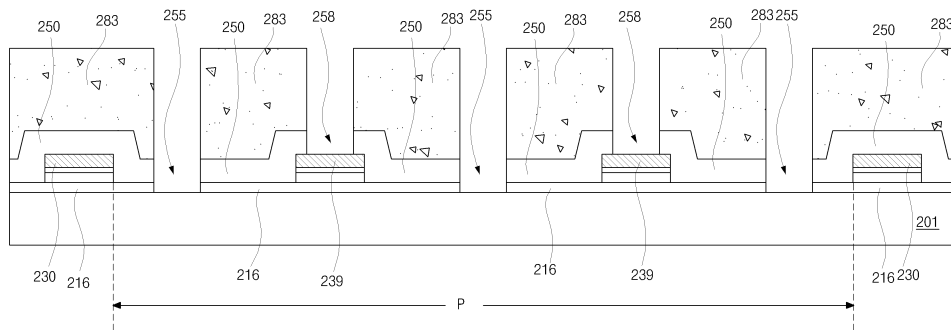
도면14e



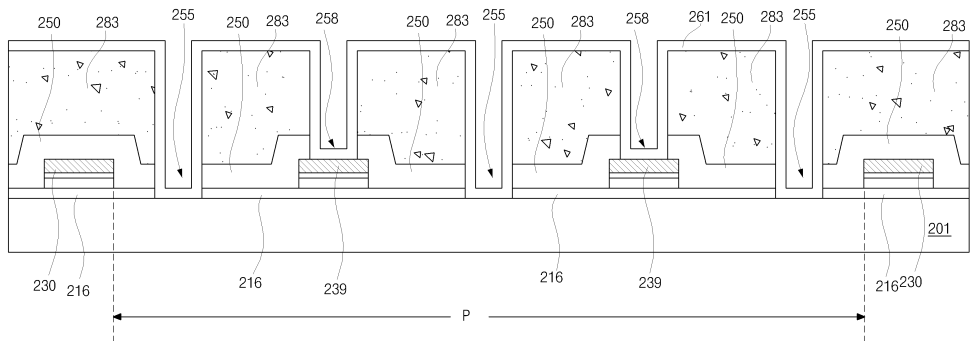
도면14f



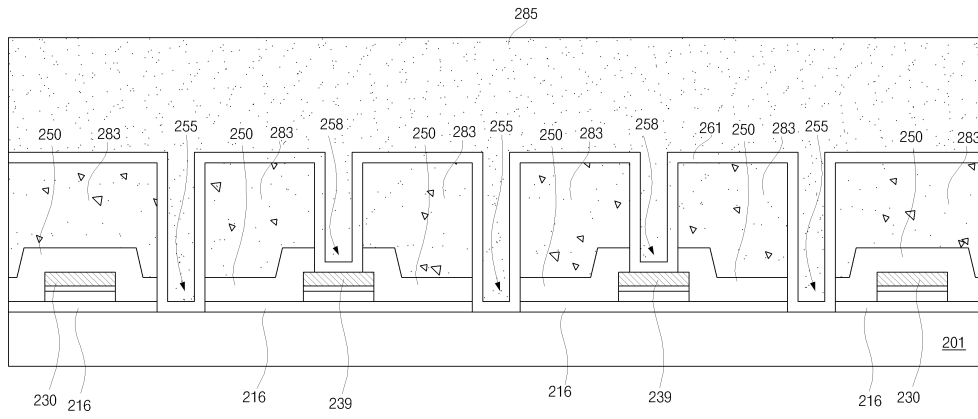
도면15a



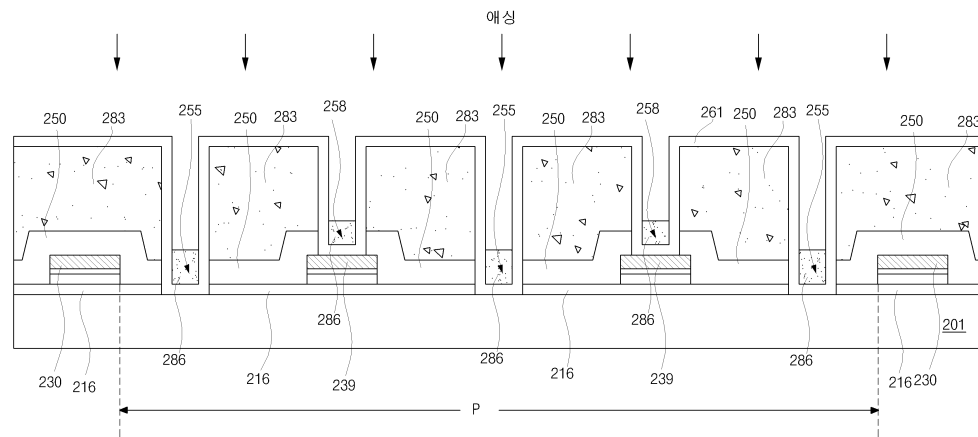
도면15b



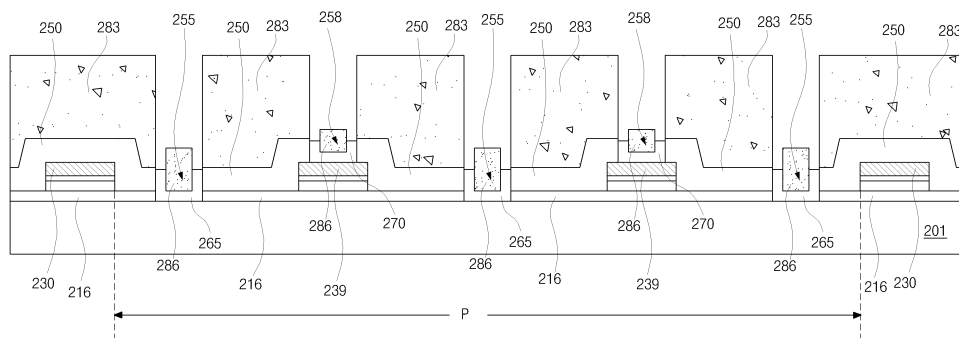
도면15c



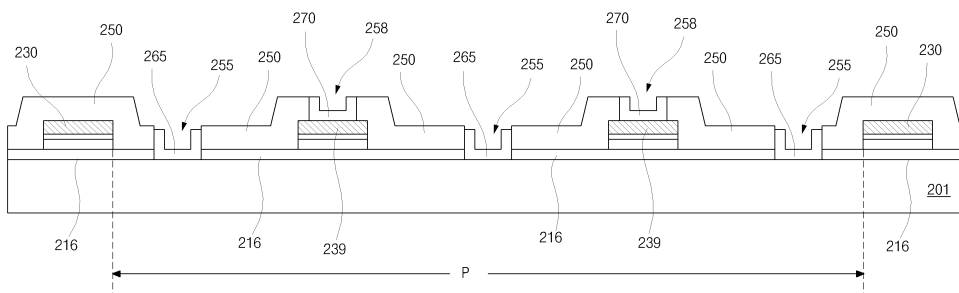
도면15d



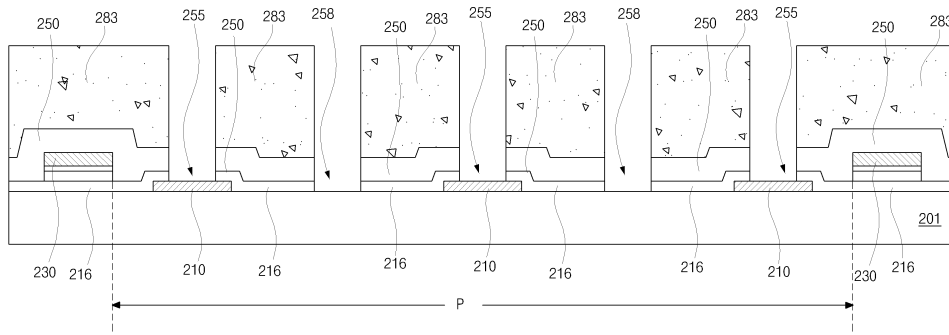
도면15e



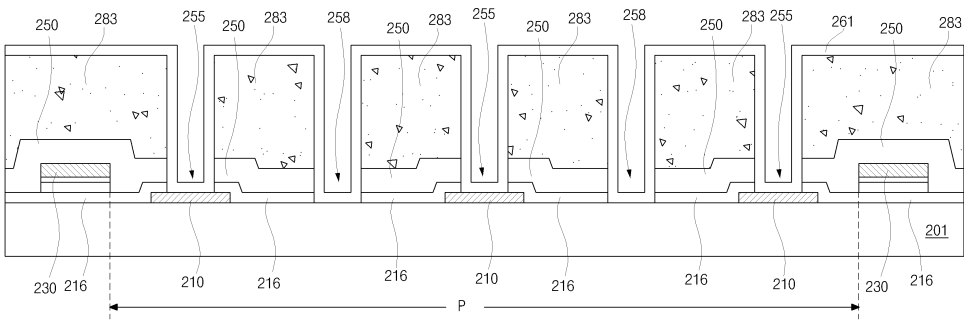
도면15f



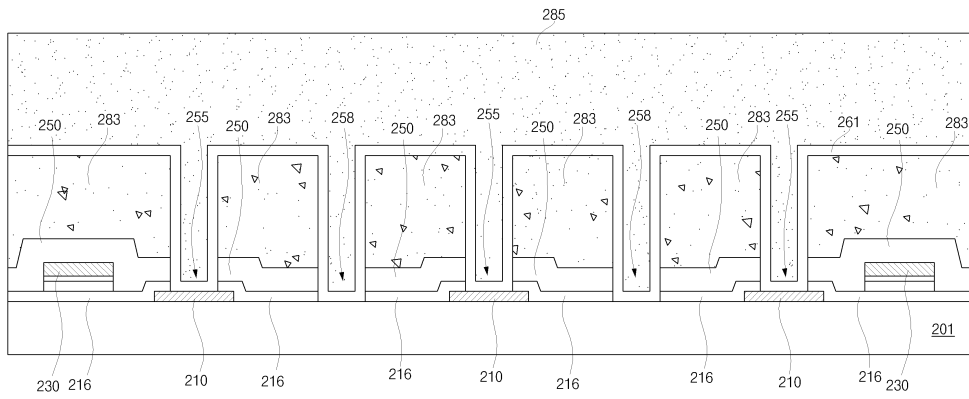
도면16a



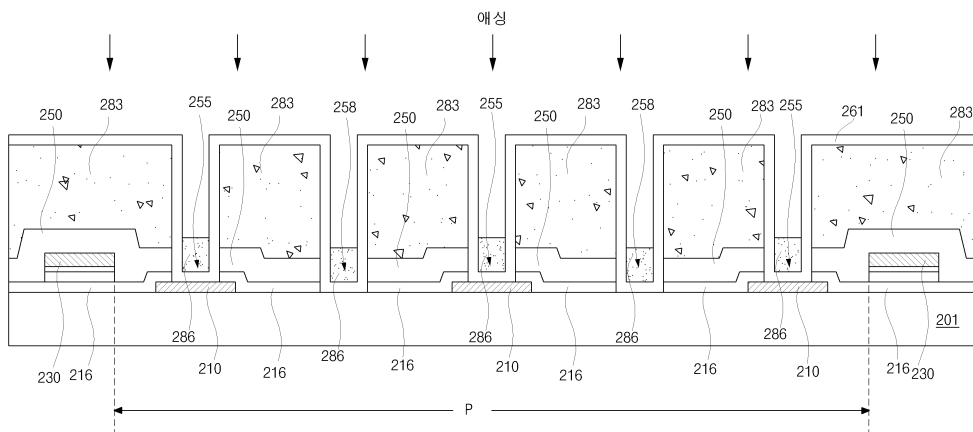
도면16b



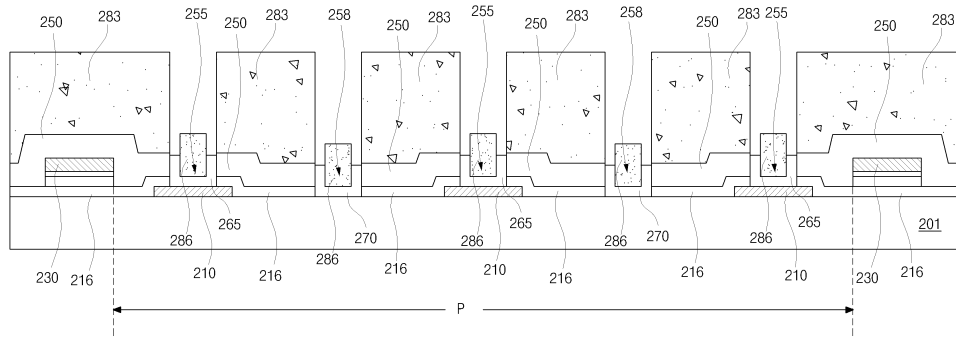
도면16c



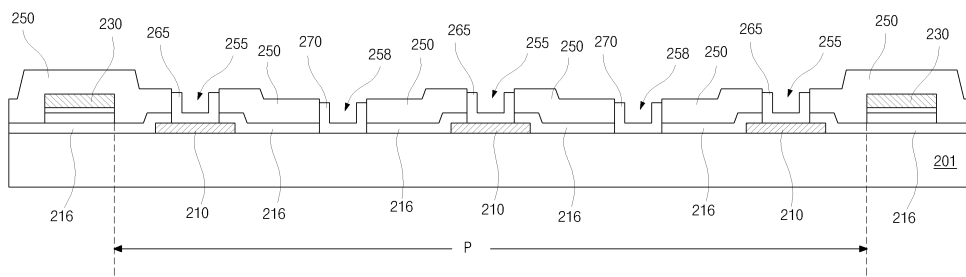
도면16d



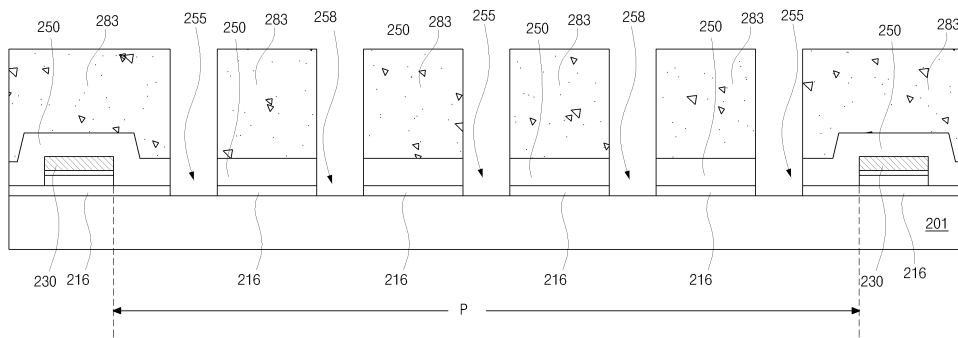
도면16e



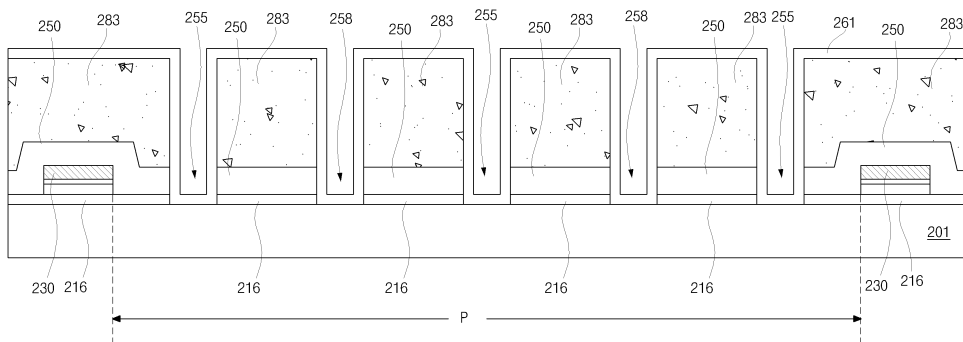
도면16f



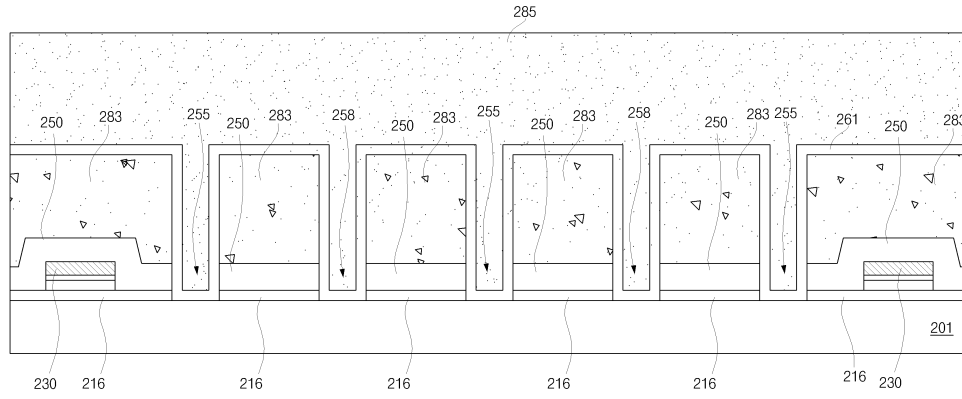
도면17a



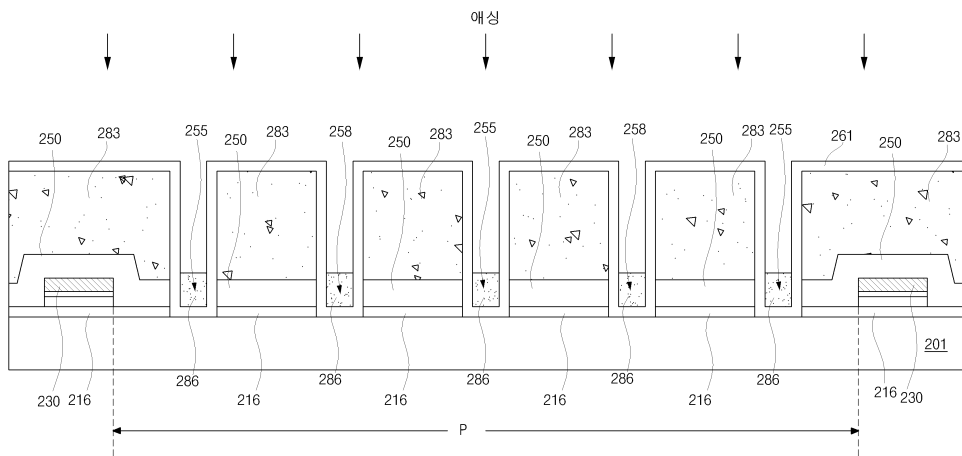
도면17b



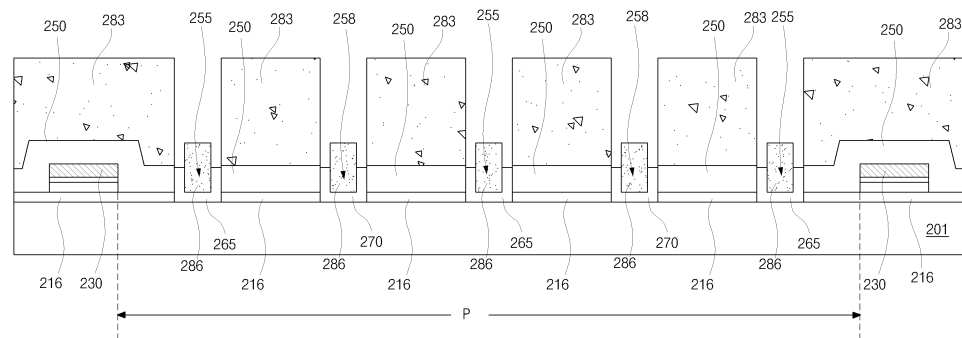
도면17c



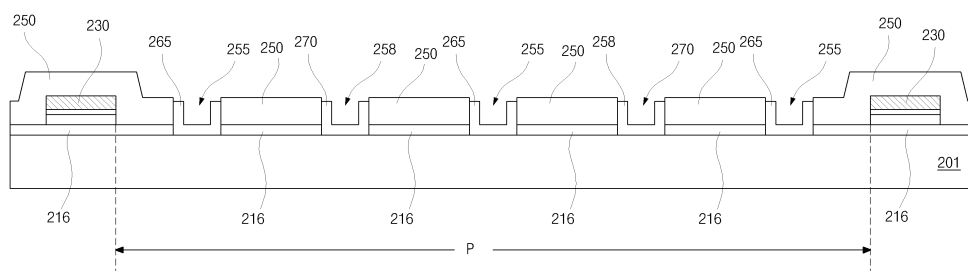
도면17d



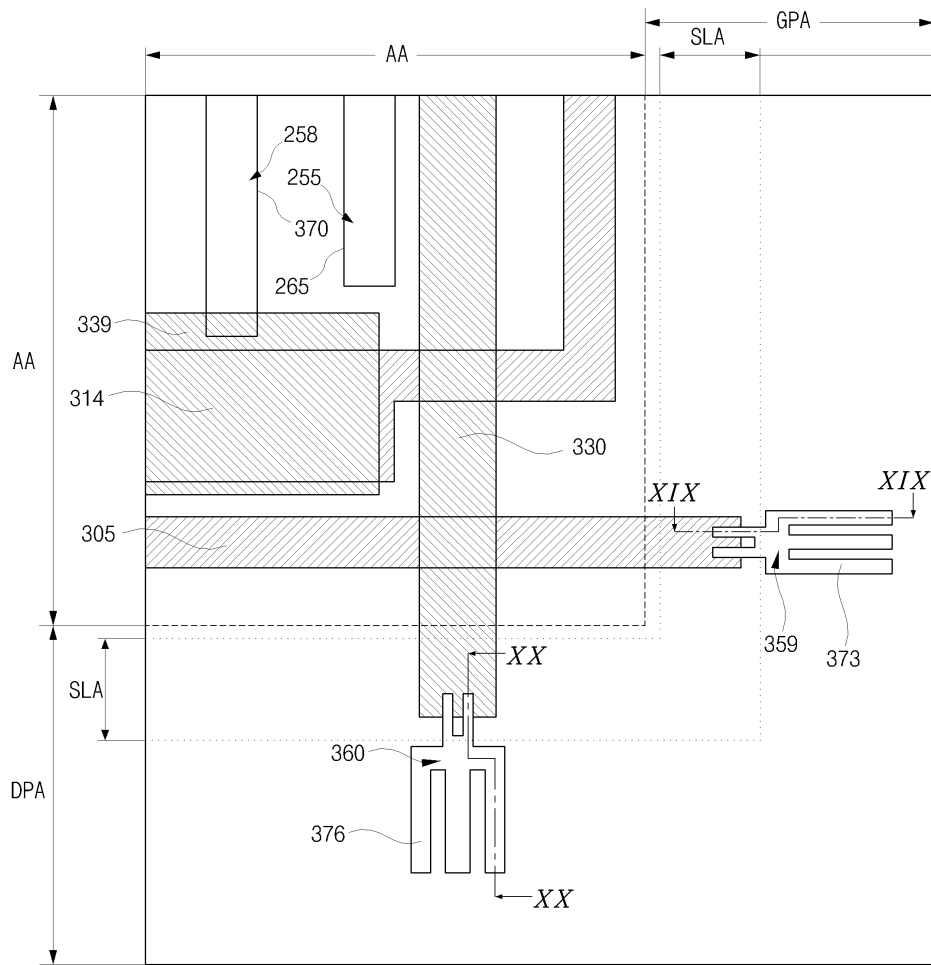
도면17e



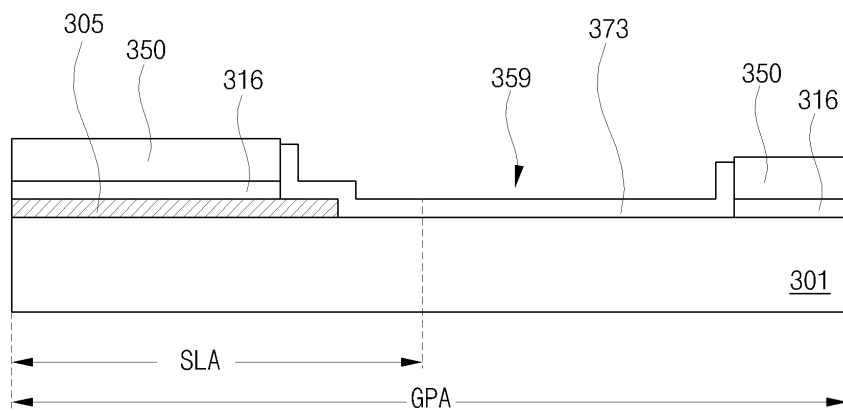
도면17f



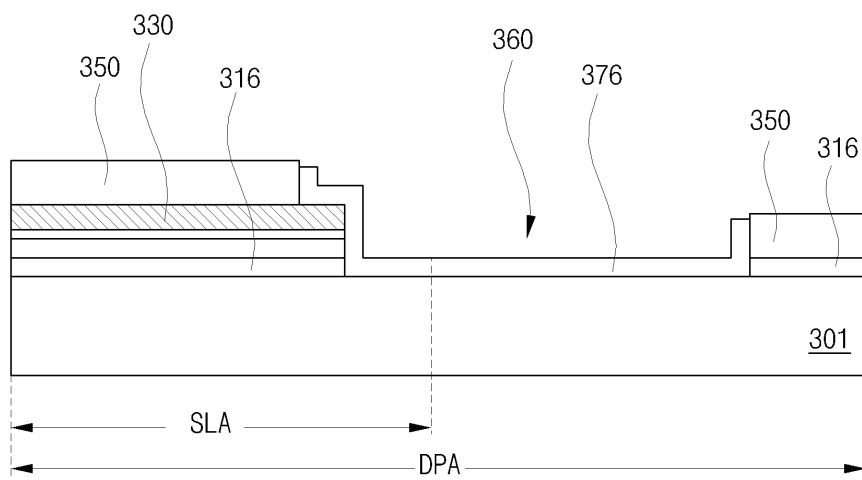
도면18



도면19



도면20



专利名称(译)	用于横向电场型液晶显示装置的基板及其制造方法		
公开(公告)号	KR1020060102814A	公开(公告)日	2006-09-28
申请号	KR1020050024780	申请日	2005-03-25
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YANG JOON YOUNG 양준영 LEE JUNG IL 이정일		
发明人	양준영 이정일		
IPC分类号	G02F1/1343 G02F1/136		
CPC分类号	F21V3/04 F21V23/004 H05B35/00		
其他公开文献	KR101146523B1		
外部链接	Espacenet		

摘要(译)

在根据本发明的用于液晶显示器的平面切换基板中，在第二存储电极中形成与第一存储电极相对应的存储电容器，其连接到相同的材料：在诸如薄膜的漏电极的层中晶体管形成在公共线的交叉点上，平行地形成在基板上，栅极布线存储布线，包括第一存储电极数据线：与栅极布线交叉并限定像素区域的栅极布线，以及数据线和薄膜晶体管和薄膜晶体管以及第二存储电极，向上，正面。并且包括在多个第一电极槽内的每个像素区域中，保护层包括同时具有第二电极槽和每个第一电极槽。并且，包括在第一电极槽公共电极中的公共线和任务端接触的同时包括产生公共电极和每个第二电极槽。并且，公共电极包括像素电极，该像素电极包括在第二存储电极和任务端接触第二电极槽中的同时。在平面切换中，孔径比，亮度，掩模，PR，平坦化层。

