

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) 。 Int. Cl. G09G 3/36 (2006.01)	(11) 공개번호 10-2006-0076044 (43) 공개일자 2006년07월04일
--	--

(21) 출원번호	10-2004-0115732
-----------	-----------------

(22) 출원일자	2004년12월29일
-----------	-------------

(71) 출원인	엘지.필립스 엘시디 주식회사 서울 영등포구 여의도동 20번지
----------	--------------------------------------

(72) 발명자	황광희 대구 북구 동천동 칠곡화성3차 108/1105
----------	----------------------------------

(74) 대리인	김영호
----------	-----

심사청구 : 없음

#### (54) 액정표시장치와 그 구동방법

##### 요약

본 발명은 제조범위를 확대하도록 한 액정표시장치와 그 구동방법에 관한 것이다.

이 액정표시장치는 다수의 데이터라인들과 다수의 게이트라인들이 교차되며, 상기 데이터라인들과 상기 게이트라인들의 교차부들에 박막트랜지스터들이 형성되고 상기 데이터라인들과 상기 게이트라인들에 의해 정의된 화소영역들에 액정셀들이 형성되는 액정표시패널과; m(단, m은 정수) 비트의 비디오 데이터를 입력 받으며, n(단, n은 m보다 작은 정수) 비트의 최상위 비트들에 미리 설정된 보간 데이터를 다수의 프레임들에서 가산 및 감산하고, 상기 가산 및 감산된 n 비트 비디오 데이터를 출력하는 프레임 레이트 콘트롤 처리부와; 상기 프레임 레이트 콘트롤 처리부로부터의 n 비트 비디오 데이터를 상기 데이터라인들에 공급하는 게이트 구동회로와; 상기 게이트라인들에 스캔펄스들을 순차적으로 공급하는 게이트 구동회로를 구비한다.

##### 대표도

도 5

##### 명세서

##### 도면의 간단한 설명

도 1은 종래의 액정표시장치의 한 화소를 등가적으로 나타내는 회로도이다.

도 2는 본 발명의 실시예에 따른 액정표시장치의 구동방법의 제어수순을 단계적으로 나타내는 흐름도이다.

도 3은 본 발명의 실시예에 따른 액정표시장치의 입력 계조와 출력 계조를 나타내는 도면이다.

도 4는 보간 데이터가 가산 및 감산되는 단위 화소블록의 일예를 나타내는 도면이다.

도 5는 본 발명에 따른 프레임 레이트 콘트롤에 의해 표현되는 계조범위를 설명하기 위한 그래프이다.

도 6 내지 도 8은 본 발명에 따른 프레임 레이트 콘트롤의 다양한 실시예들을 보여 주는 도면들이다.

도 9는 본 발명의 실시예에 따른 액정표시장치를 나타내는 블록도이다.

<도면의 주요 부분에 대한 부호의 설명>

90 : 액정표시패널 91 : 데이터라인

92 : 게이트라인 93 : 데이터 구동회로

94 : 게이트 구동회로 95 : 타이밍 콘트롤러

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 계조범위를 확대하도록 한 액정표시장치와 그 구동방법에 관한 것이다.

통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정표시장치는 액정셀들이 매트릭스 형태로 배열되어진 액정표시패널과, 이 액정표시패널을 구동하기 위한 구동회로를 구비한다.

액정표시장치는 도 1과 같이 서로 교차되는 게이트라인(GL) 및 데이터라인(DL)과, 그 신호라인들(DL, GL)의 교차부에 형성되어 액정셀(Clc)을 구동하기 위한 박막트랜지스터(Thin Film Transistor; 이하, "TFT"라 한다)를 구비한다. 또한, 액정표시장치는 액정셀(Clc)의 전압을 유지하기 위한 스토리지 캐패시터(Storage Capacitor)를 구비한다.

액정셀(Clc)은 화소전극(11)에 데이터전압이 인가되고 상부 유리기관에 형성된 공통전극(12)에 공통전압(Vcom)이 인가될 때 액정층에 인가되는 전계에 의해 액정분자들의 배열이 바뀌면서 투과되는 빛의 광량을 조절하거나 빛을 차단하게 된다. 데이터전압은 액정셀의 구동전압특성에 맞게 미리 설정된 감마전압으로 공급된다.

액정표시장치는 일반적으로 디지털 비디오 데이터의 비트 수에 따라 표현 가능한 계조수가 결정된다. 통상, 액정표시장치는 6 비트의 디지털 비디오 데이터를 입력받아 64 개의 계조를 표현한다. 최근에는 계조범위를 확대하기 위하여, 화면비율 조절(Frame Rate Control : 이하, "FRC"라 한다) 방법과 디더링(Dithering) 방법을 액정표시장치에 구현하는 방안에 대하여 활발히 연구되고 있다. 그러나 FRC나 디더링 방법에 의해서도 표현 가능한 계조 범위를 확대하는데 한계가 있다.

#### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 계조범위를 확대하도록 한 액정표시장치와 그 구동방법을 제공함에 있다.

### 발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시장치는 다수의 데이터라인들과 다수의 게이트라인들이 교차되며, 상기 데이터라인들과 상기 게이트라인들의 교차부들에 박막트랜지스터들이 형성되고 상기 데이터라인들과 상기 게이트라인들에 의해 정의된 화소영역들에 액정셀들이 형성되는 액정표시패널과; m(단, m은 정수) 비트의 비디오 데이터를 입력받으며, n(단, n은 m보다 작은 정수) 비트의 최상위 비트들에 미리 설정된 보간 데이터를 다수의 프레임들에서 가산 및 감산하고, 상기 가산 및 감산된 n 비트 비디오 데이터를 출력하는 FRC 처리부와; 상기 FRC 처리부로부터의 n 비트 비디오 데이터를 상기 데이터라인들에 공급하는 게이트 구동회로와; 상기 게이트라인들에 스캔펄스들을 순차적으로 공급하는 게이트 구동회로를 구비한다.

상기 액정표시패널은 상기 FRC 처리부에 의해 출력된  $n$  비트의 데이터를 이용하여  $2^m$  개의 계조를 표현한다.

상기 FRC 처리부는 상기 보간 데이터를 미리 설정된 화소블록 내의 임의의 한 화소에 표시된  $n$  비트의 비디오 데이터에 감산 및 가산한다.

상기 보간 데이터는  $m-n$  비트의 최하위 비트들의 값에 따라 다르다.

상기  $m$ 은 8, 상기  $n$ 은 6 이다.

상기 FRC 처리부는 상기 최하위 비트들이 "00"이면 상기 6 비트의 최상위 비트들을 그대로 출력한다.

상기 FRC 처리부는 상기 최하위 비트들이 "01"이면  $8N$ (단,  $N$ 은 0 이상의 자연수)+ 1 번째 프레임에서 상기 6 비트의 최상위 비트들에 "1"을 가산하고,  $8N+2$  번째 프레임 내지  $8N+4$  번째 프레임에서 상기 6 비트의 최상위 비트들에 "0"을 가산하고,  $8N+5$  번째 프레임에서 상기 6 비트의 최상위 비트들에 "1"을 감산하고,  $8N+6$  번째 프레임 내지  $8N+8$  번째 프레임에서 상기 6 비트의 최상위 비트들에 "0"을 감산한다.

상기 FRC 처리부는 상기 최하위 비트들이 "10"이면 상기  $8N+1$  번째 프레임과  $8N+3$  번째 프레임 각각에서 상기 6 비트의 최상위 비트들에 "1"을 가산하고, 상기  $8N+2$  번째 프레임과  $8N+4$  번째 프레임에서 상기 6 비트의 최상위 비트들에 "0"을 가산하고, 상기  $8N+5$  번째 프레임과  $8N+7$  번째 프레임 각각에서 상기 6 비트의 최상위 비트들에 "1"을 감산하고, 상기  $8N+6$  번째 프레임과 상기  $8N+8$  번째 프레임에서 상기 6 비트의 최상위 비트들에 "0"을 감산한다.

상기 FRC 처리부는 상기 최하위 비트들이 "11"이면 상기  $8N+1$  번째 프레임 내지 상기  $8N+3$  번째 프레임 각각에서 상기 6 비트의 최상위 비트들에 "1"을 가산하고, 상기  $8N+4$  번째 프레임에서 상기 6 비트의 최상위 비트들에 "0"을 가산하고, 상기  $8N+5$  번째 프레임 내지  $8N+7$  번째 프레임 각각에서 상기 6 비트의 최상위 비트들에 "1"을 감산하고, 상기  $8N+8$  번째 프레임에서 상기 6 비트의 최상위 비트들에 "0"을 감산한다.

본 발명에 따른 액정표시장치의 구동방법은 다수의 데이터라인들과 다수의 게이트라인들이 교차되며, 상기 데이터라인들과 상기 게이트라인들의 교차부들에 박막트랜지스터들이 형성되고 상기 데이터라인들과 상기 게이트라인들에 의해 정의된 화소영역들에 액정셀들이 형성되는 액정표시패널을 가지는 액정표시장치의 구동방법에 있어서,  $m$ (단,  $m$ 은 정수) 비트의 비디오 데이터를 입력 받는 단계와;  $n$ (단,  $n$ 은  $m$ 보다 작은 정수) 비트의 최상위 비트들에 미리 설정된 보간 데이터를 다수의 프레임들에서 가산 및 감산하는 단계와; 상기 가산 및 감산된  $n$  비트 비디오 데이터를 상기 데이터라인들에 공급하는 단계와; 상기 게이트라인들에 스캔펄스들을 순차적으로 공급하는 단계를 포함한다.

본 발명의 실시예에 따른 액정표시장치는  $m$ (단,  $m$ 은 6 이상의 정수) 비트의 디지털 비디오 데이터를 입력받아  $n$ (단,  $n$ 은  $m$ 보다 작은 정수) 비트의 최상위 비트(Most Significant 비트 : 이하, "MSB"라 한다) 데이터를 대상으로 하여 FRC를 적용하여  $n$  비트의 MSB만으로  $2^m$  개의 계조를 표현한다.

여기서, 본 발명에 따른 FRC는  $m$  비트의 입력 디지털 비디오 데이터 중  $m-n$  개의 최하위 비트(Least Significant 비트 : 이하, "LSB")에 따라 설정되는 보간 데이터를 미리 설정된 화소 블록당  $m/2$  개의 프레임 기간 동안  $n$  비트의 MSB 데이터에 가산하고, 그 이후의  $m/2$  개의 프레임 기간 동안  $n$  비트의 MSB 데이터에 감산한다.

이하, 상기  $m$ 을 "8"로, 상기  $n$ 을 "6"으로 가정하고 도 2 내지 도 6을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 2 및 도 3을 참조하면, 본 발명에 따른 액정표시장치의 구동방법은 8 비트의 디지털 비디오 데이터를 입력받고, 그 중 2 비트의 LSB를 검출한다.(S1)

본 발명에 따른 액정표시장치의 구동방법은 LSB가 "00"이면 액정표시패널에 데이터를 공급하기 위한 데이터 구동회로에 6 비트의 MSB를 그대로 출력한다.(S2, S3)

본 발명에 따른 액정표시장치의 구동방법은 LSB가 "01"이면 4 개의 프레임 동안 도 4와 같은  $2 \times 2$  개의 화소를 포함한 단위 화소블록 내의 한 화소에 표시될 6 비트의 MSB에 미리 설정된 보간 데이터 "1 0 0 0"을 가산한 후에, 그 다음 4 개의 프

레이프 동안 단위 화소블록 내의 한 화소에 표시될 6 비트의 MSB에 미리 설정된 보간 데이터 "1 0 0 0"을 감산한다. 이를 상세히 하면, LSB가 "01"이면  $8N$ (단,  $N$ 은 0 이상의 자연수)+1 번째 프레임에는 단위 화소블록 내의 한 화소에 표시될 6 비트의 MSB에 "1"이 가산되고,  $8N+2$  번째 프레임 내지  $8N+4$  번째 프레임에는 단위 화소블록의 6 비트 화소 데이터들에 "0"이 가산된다. 따라서,  $8N+1$  내지  $8N+4$  프레임 동안 단위 화소블록에 표시되는 데이터는 입력 데이터의 6 비트 MSB의 계조 +  $1/4$  계조의 중간조 데이터가 된다. 이어서, LSB가 "01"일 때,  $8N+5$  번째 프레임에는 단위 화소블록 내의 한 화소에 표시될 6 비트의 MSB에 "1"이 감산되고,  $8N+6$  번째 프레임 내지  $8N+8$  번째 프레임에는 단위 화소블록의 6 비트 화소 데이터들에 "0"이 감산된다. 따라서,  $8N+5$  내지  $8N+8$  프레임 동안 단위 화소블록에 표시되는 데이터는 입력 데이터의 6 비트 MSB의 계조 -  $1/4$  계조의 중간조 데이터가 된다.(S4 내지 S6)

본 발명에 따른 액정표시장치의 구동방법은 LSB가 "10"이면 4 개의 프레임 동안 도 4와 같은  $2 \times 2$  개의 화소를 포함한 단위 화소블록 내의 한 화소에 표시될 6 비트의 MSB에 미리 설정된 보간 데이터 "1 0 1 0"을 가산한 후에, 그 다음 4 개의 프레임 동안 단위 화소블록 내의 한 화소에 표시될 6 비트의 MSB에 미리 설정된 보간 데이터 "1 0 1 0"을 감산한다. 이를 상세히 하면, LSB가 "10"이면  $8N+1$  번째 프레임과  $8N+3$  번째 프레임 각각에는 단위 화소블록 내의 한 화소에 표시될 6 비트의 MSB에 "1"이 가산되고,  $8N+2$  번째 프레임과  $8N+4$  번째 프레임에는 단위 화소블록의 6 비트 화소 데이터들에 "0"이 가산된다. 따라서,  $8N+1$  내지  $8N+4$  프레임 동안 단위 화소블록에 표시되는 데이터는 입력 데이터의 6 비트 MSB의 계조 +  $1/2$  계조의 중간조 데이터가 된다. 이어서, LSB가 "10"일 때,  $8N+5$  번째 프레임과  $8N+7$  번째 프레임 각각에는 단위 화소블록 내의 한 화소에 표시될 6 비트의 MSB에 "1"이 감산되고,  $8N+6$  번째 프레임과  $8N+8$  번째 프레임에는 단위 화소블록의 6 비트 화소 데이터들에 "0"이 감산된다. 따라서,  $8N+5$  내지  $8N+8$  프레임 동안 단위 화소블록에 표시되는 데이터는 입력 데이터의 6 비트 MSB의 계조 -  $1/2$  계조의 중간조 데이터가 된다.(S7 내지 S9)

본 발명에 따른 액정표시장치의 구동방법은 LSB가 "11"이면 4 개의 프레임 동안 도 4와 같은  $2 \times 2$  개의 화소를 포함한 단위 화소블록 내의 한 화소에 표시될 6 비트의 MSB에 미리 설정된 보간 데이터 "1 1 1 0"을 가산한 후에, 그 다음 4 개의 프레임 동안 단위 화소블록 내의 한 화소에 표시될 6 비트의 MSB에 미리 설정된 보간 데이터 "1 1 1 0"을 감산한다. 이를 상세히 하면, LSB가 "11"이면  $8N+1$  번째 프레임 내지  $8N+3$  번째 프레임 각각에는 단위 화소블록 내의 한 화소에 표시될 6 비트의 MSB에 "1"이 가산되고,  $8N+4$  번째 프레임에는 단위 화소블록의 6 비트 화소 데이터들에 "0"이 가산된다. 따라서,  $8N+1$  내지  $8N+4$  프레임 동안 단위 화소블록에 표시되는 데이터는 입력 데이터의 6 비트 MSB의 계조 +  $3/4$  계조의 중간조 데이터가 된다. 이어서, LSB가 "11"일 때,  $8N+5$  번째 프레임 내지  $8N+7$  번째 프레임 각각에는 단위 화소블록 내의 한 화소에 표시될 6 비트의 MSB에 "1"이 감산되고,  $8N+8$  번째 프레임에는 단위 화소블록의 6 비트 화소 데이터들에 "0"이 감산된다. 따라서,  $8N+5$  내지  $8N+8$  프레임 동안 단위 화소블록에 표시되는 데이터는 입력 데이터의 6 비트 MSB의 계조 -  $3/4$  계조의 중간조 데이터가 된다.(S10 내지 S12)

도 5 및 도 6을 참조하면, 보간 데이터를 가산하는 FRC(이하, "FRC A"라 한다)만을 적용하는 경우에는 8 비트의 입력 데이터에서 6 비트의 MSB 데이터가 63 계조에 해당하는 "111111"이면 보간 데이터를 더할 수 있는 "0"이 없으므로 0~252 까지 총 253 계조만을 표현할 수 있다. 또한, 보간 데이터를 감산하는 FRC(이하, "FRC B"라 한다)만을 적용하는 경우에는 8 비트의 입력 데이터에서 6 비트의 MSB 데이터가 0 계조에 해당하는 "000000"이면 보간 데이터를 뺄 수 있는 "1"이 없으므로 0~252 까지 총 253 계조만을 표현할 수 있다. 이에 비하여, FRC A가 적용되는 4 개의 프레임과 FRC B가 적용되는 4 개의 프레임을 조합하면, 8 개의 프레임 중 4 개의 프레임에서 보간 데이터가 감산되고 나머지 4 개의 프레임에서 보간 데이터가 감산 되므로 8 개의 프레임 기간 동안 육안에서 느끼는 FRC 평균 계조범위는 0~254 까지 총 255 계조이다.

한편, FRC A가 적용되는 4 개의 프레임과 FRC B가 적용되는 4 개의 프레임은 도 6과 같이 FRC A의 4 개 프레임에 이어서 FRC B의 4 개 프레임이 연속될 수도 있지만, 도 7과 같이 FRC A의 한 개 프레임과 FRC B의 한 개 프레임이 교대로 배치될 되거나 도 8과 같이 두 개의 프레임 주기로 FRC A와 FRC B가 교대로 배치될 수도 있다.

도 7 및 도 8에 있어서, FRC A와 FRC B가 각각 4 개의 프레임으로 구성된다면 "FAC A1"은  $8N+1$  번째 프레임, "FAC A2"는  $8N+2$  번째 프레임, "FAC A3"는  $8N+3$  번째 프레임, "FAC A4"는  $8N+4$  번째 프레임, "FAC B1"은  $8N+5$  번째 프레임, "FAC B2"는  $8N+6$  번째 프레임, "FAC B3"는  $8N+7$  번째 프레임, "FAC B4"는  $8N+8$  번째 프레임이다.

도 9는 본 발명의 실시예에 따른 액정표시장치를 나타낸다.

도 9를 참조하면, 본 발명에 따른 액정표시장치는 액정셀들(C1c)이 매트릭스 타입으로 배열되고 데이터라인들(91)과 게이트라인들(92)이 교차되며 그 교차부에 TFT가 형성된 액정표시패널(90)과, 액정표시패널(90)의 데이터라인들(91)에 데이터를 공급하기 위한 데이터 구동회로(93)와, 게이트라인들(92)에 스캔신호를 공급하기 위한 게이트 구동회로(94)와, 데이터 구동회로(93)와 게이트 구동회로(94)를 제어하기 위한 타이밍 콘트롤러(3)를 구비한다.

액정표시패널(90)은 두 장의 유리기관 사이에 액정이 주입된다. 이 액정표시패널(90)의 하부 유리기관 상에 형성된 데이터라인들(91)과 게이트라인들(92)은 상호 직교된다. 데이터라인들(91)과 게이트라인들(92)의 교차부에 형성된 TFT는 게이트라인(92)으로부터의 스캔신호에 응답하여 데이터라인들(91)로부터의 데이터전압을 액정셀(Clc)에 공급하게 된다. 이를 위하여, TFT의 게이트전극은 해당 게이트라인(92)에 접속되며, 소스전극은 해당 데이터라인(91)에 접속된다. 그리고 TFT의 드레인전극은 액정셀(Clc)의 화소전극에 접속된다. 액정표시패널(90)의 상부 유리기관 상에는 도시하지 않은 블랙 매트릭스, 컬러필터 및 공통전극이 형성된다. 그리고 액정표시패널(90)의 상부 유리기관의 광출사면과 하부 유리기관의 광입사면 상에는 광축이 직교하는 편광판이 각각 부착되고 하부 유리기관의 액정 대향면과 상부 유리기관의 액정 대향면 각각에는 액정의 프리틸트각을 설정하기 위한 배향막이 형성된다. 또한, 액정표시패널(90)에는 스토리지 캐패시터(Cst)가 형성된다. 이 스토리지 캐패시터(Cst)는 액정셀(Clc)의 화소전극과 전단 게이트라인 사이에 형성되거나, 액정셀(Clc)의 화소전극과 도시하지 않은 공통전극라인 사이에 형성되어 액정셀(Clc)의 전압을 일정하게 유지시키는 역할을 한다.

액정표시패널(90)은 도 9에 도시된 것에 한정되는 것이 아니라 공지의 어떠한 액정표시패널로도 구현 가능하다.

타이밍 콘트롤러(95)는 8 비트의 디지털 비디오 데이터(RGB)를 입력받아 도 2와 같은 방법으로 즉, FRC A와 FRC B가 조합된 FRC로 6 비트의 MSB 데이터의 계조범위를  $2^8$  개의 계조들로 확장하고 계조 범위가 확장된 6 비트의 디지털 비디오 데이터를 데이터 구동회로(93)에 공급한다. 그리고 타이밍 콘트롤러(95)는 타이밍 제어신호들(Vsync, Hsync, MCLK, DE)를 이용하여 게이트 구동회로(94)와 데이터 구동회로(93)를 제어하기 위한 제어신호(DDC, GDC)를 발생한다. 게이트 구동회로(94)의 제어신호(GDC)에는 게이트 스타트 펄스(Gate Start Pulse : GSP), 게이트 쉬프트 클럭(Gate Shift Clock : GSC), 게이트 출력 신호(Gate Output Enable : GOE) 등이 포함되며, 데이터 구동회로(93)의 제어신호(DDC)에는 소스 스타트 펄스(Source Start Pulse : GSP), 소스 쉬프트 클럭(Source Shift Clock : SSC), 소스 출력 신호(Source Output Enable : SOC) 및 극성신호(Polarity : POL) 등이 포함된다.

데이터 구동회로(93)는 타이밍 콘트롤러(95)로부터의 제어신호(DDC)에 응답하여 계조범위가 확장된 6 비트의 디지털 비디오 데이터(RGB)를 아날로그 감마보상전압으로 변환하고, 그 아날로그 감마보상전압을 데이터전압으로써 액정표시패널(90)의 데이터라인들(91)에 공급한다.

게이트 구동회로(94)는 타이밍 콘트롤러(95)로부터의 제어신호(GDC)에 응답하여 스캔펄스를 발생하고 그 스캔펄스를 게이트라인들(92)에 순차적으로 공급하여 데이터신호가 공급될 액정표시패널(90)의 수평라인을 선택한다.

### 발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시장치와 그 구동방법은 보간 데이터를 가산하는 FRC A와 보간 데이터를 감산하는 FRC B를 조합하여 표현 가능한 계조 범위를 확대할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

### (57) 청구의 범위

#### 청구항 1.

다수의 데이터라인들과 다수의 게이트라인들이 교차되며, 상기 데이터라인들과 상기 게이트라인들의 교차부들에 박막트랜지스터들이 형성되고 상기 데이터라인들과 상기 게이트라인들에 의해 정의된 화소영역들에 액정셀들이 형성되는 액정표시패널과;

m(단, m은 정수) 비트의 비디오 데이터를 입력 받으며, n(단, n은 m보다 작은 정수) 비트의 최상위 비트들에 미리 설정된 보간 데이터를 다수의 프레임들에서 가산 및 감산하고, 상기 가산 및 감산된 n 비트 비디오 데이터를 출력하는 FRC 처리부와;

상기 FRC 처리부로부터의 n 비트 비디오 데이터를 상기 데이터라인들에 공급하는 게이트 구동회로와;

상기 게이트라인들에 스캔펄스들을 순차적으로 공급하는 게이트 구동회로를 구비하는 것을 특징으로 하는 액정표시장치.

## 청구항 2.

제 1 항에 있어서,

상기 액정표시패널은 상기 FRC 처리부에 의해 출력된  $n$  비트의 데이터를 이용하여  $2^m$  개의 계조를 표현하는 것을 특징으로 하는 액정표시장치.

## 청구항 3.

제 1 항에 있어서,

상기 FRC 처리부는,

상기 보간 데이터를 미리 설정된 화소블록 내의 임의의 한 화소에 표시된  $n$  비트의 비디오 데이터에 감산 및 가산하는 것을 특징으로 하는 액정표시장치.

## 청구항 4.

제 3 항에 있어서,

상기 보간 데이터는,

$m-n$  비트의 최하위 비트들의 값에 따라 다른 것을 특징으로 하는 액정표시장치.

## 청구항 5.

제 4 항에 있어서,

상기  $m$ 은 8, 상기  $n$ 은 6 인 것을 특징으로 하는 액정표시장치.

## 청구항 6.

제 5 항에 있어서,

상기 FRC 처리부는,

상기 최하위 비트들이 "00"이면 상기 6 비트의 최상위 비트들을 그대로 출력하고;

상기 최하위 비트들이 "01"이면  $8N$ (단,  $N$ 은 0 이상의 자연수)+1 번째 프레임에서 상기 6 비트의 최상위 비트들에 "1"을 가산하고,  $8N+2$  번째 프레임 내지  $8N+4$  번째 프레임에서 상기 6 비트의 최상위 비트들에 "0"을 가산하고,  $8N+5$  번째 프레임에서 상기 6 비트의 최상위 비트들에 "1"을 감산하고,  $8N+6$  번째 프레임 내지  $8N+8$  번째 프레임에서 상기 6 비트의 최상위 비트들에 "0"을 감산하고;

상기 최하위 비트들이 "10"이면 상기  $8N+1$  번째 프레임과  $8N+3$  번째 프레임 각각에서 상기 6 비트의 최상위 비트들에 "1"을 가산하고, 상기  $8N+2$  번째 프레임과  $8N+4$  번째 프레임에서 상기 6 비트의 최상위 비트들에 "0"을 가산하고, 상기  $8N+5$  번째 프레임과  $8N+7$  번째 프레임 각각에서 상기 6 비트의 최상위 비트들에 "1"을 감산하고, 상기  $8N+6$  번째 프레임과 상기  $8N+8$  번째 프레임에서 상기 6 비트의 최상위 비트들에 "0"을 감산하며,

상기 최하위 비트들이 "11"이면 상기  $8N+1$  번째 프레임 내지 상기  $8N+3$  번째 프레임 각각에서 상기 6 비트의 최상위 비트들에 "1"을 가산하고, 상기  $8N+4$  번째 프레임에서 상기 6 비트의 최상위 비트들에 "0"을 가산하고, 상기  $8N+5$  번째 프레임 내지  $8N+7$  번째 프레임 각각에서 상기 6 비트의 최상위 비트들에 "1"을 감산하고, 상기  $8N+8$  번째 프레임에서 상기 6 비트의 최상위 비트들에 "0"을 감산하는 것을 특징으로 하는 액정표시장치.

## 청구항 7.

다수의 데이터라인들과 다수의 게이트라인들이 교차되며, 상기 데이터라인들과 상기 게이트라인들의 교차부들에 박막트랜지스터들이 형성되고 상기 데이터라인들과 상기 게이트라인들에 의해 정의된 화소영역들에 액정셀들이 형성되는 액정표시패널을 가지는 액정표시장치의 구동방법에 있어서,

$m$ (단,  $m$ 은 정수) 비트의 비디오 데이터를 입력 받는 단계와;

$n$ (단,  $n$ 은  $m$ 보다 작은 정수) 비트의 최상위 비트들에 미리 설정된 보간 데이터를 다수의 프레임들에서 가산 및 감산하는 단계와;

상기 가산 및 감산된  $n$  비트 비디오 데이터를 상기 데이터라인들에 공급하는 단계와;

상기 게이트라인들에 스캔펄스들을 순차적으로 공급하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

## 청구항 8.

제 7 항에 있어서,

상기 액정표시패널은 상기 FRC 처리부에 의해 출력된  $n$  비트의 데이터를 이용하여  $2^m$  개의 계조를 표현하는 것을 특징으로 하는 액정표시장치의 구동방법.

## 청구항 9.

제 7 항에 있어서,

상기  $n$  비트의 최상위 비트들에 미리 설정된 보간 데이터를 다수의 프레임들에서 가산 및 감산하는 단계는,

상기 보간 데이터를 미리 설정된 화소블록 내의 임의의 한 화소에 표시된  $n$  비트의 비디오 데이터에 감산 및 가산하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

## 청구항 10.

제 9 항에 있어서,

상기 보간 데이터는,

$m-n$  비트의 최하위 비트들의 값에 따라 다른 것을 특징으로 하는 액정표시장치의 구동방법.

## 청구항 11.

제 10 항에 있어서,

상기 m은 8, 상기 n은 6 인 것을 특징으로 하는 액정표시장치의 구동방법.

## 청구항 12.

제 11 항에 있어서,

상기 n 비트의 최상위 비트들에 미리 설정된 보간 데이터를 다수의 프레임들에서 가산 및 감산하는 단계는,

상기 최하위 비트들이 "00"이면 상기 6 비트의 최상위 비트들을 그대로 출력하는 단계와;

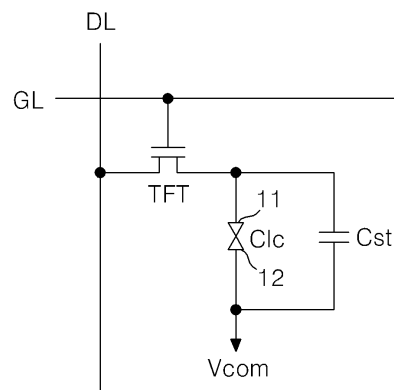
상기 최하위 비트들이 "01"이면  $8N$ (단,  $N$ 은 0 이상의 자연수)+1 번째 프레임에서 상기 6 비트의 최상위 비트들에 "1"을 가산하고,  $8N+2$  번째 프레임 내지  $8N+4$  번째 프레임에서 상기 6 비트의 최상위 비트들에 "0"을 가산하고,  $8N+5$  번째 프레임에서 상기 6 비트의 최상위 비트들에 "1"을 감산하고,  $8N+6$  번째 프레임 내지  $8N+8$  번째 프레임에서 상기 6 비트의 최상위 비트들에 "0"을 감산하는 단계와;

상기 최하위 비트들이 "10"이면 상기  $8N+1$  번째 프레임과  $8N+3$  번째 프레임 각각에서 상기 6 비트의 최상위 비트들에 "1"을 가산하고, 상기  $8N+2$  번째 프레임과  $8N+4$  번째 프레임에서 상기 6 비트의 최상위 비트들에 "0"을 가산하고, 상기  $8N+5$  번째 프레임과  $8N+7$  번째 프레임 각각에서 상기 6 비트의 최상위 비트들에 "1"을 감산하고, 상기  $8N+6$  번째 프레임과 상기  $8N+8$  번째 프레임에서 상기 6 비트의 최상위 비트들에 "0"을 감산하는 단계와;

상기 최하위 비트들이 "11"이면 상기  $8N+1$  번째 프레임 내지 상기  $8N+3$  번째 프레임 각각에서 상기 6 비트의 최상위 비트들에 "1"을 가산하고, 상기  $8N+4$  번째 프레임에서 상기 6 비트의 최상위 비트들에 "0"을 가산하고, 상기  $8N+5$  번째 프레임 내지  $8N+7$  번째 프레임 각각에서 상기 6 비트의 최상위 비트들에 "1"을 감산하고, 상기  $8N+8$  번째 프레임에서 상기 6 비트의 최상위 비트들에 "0"을 감산하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

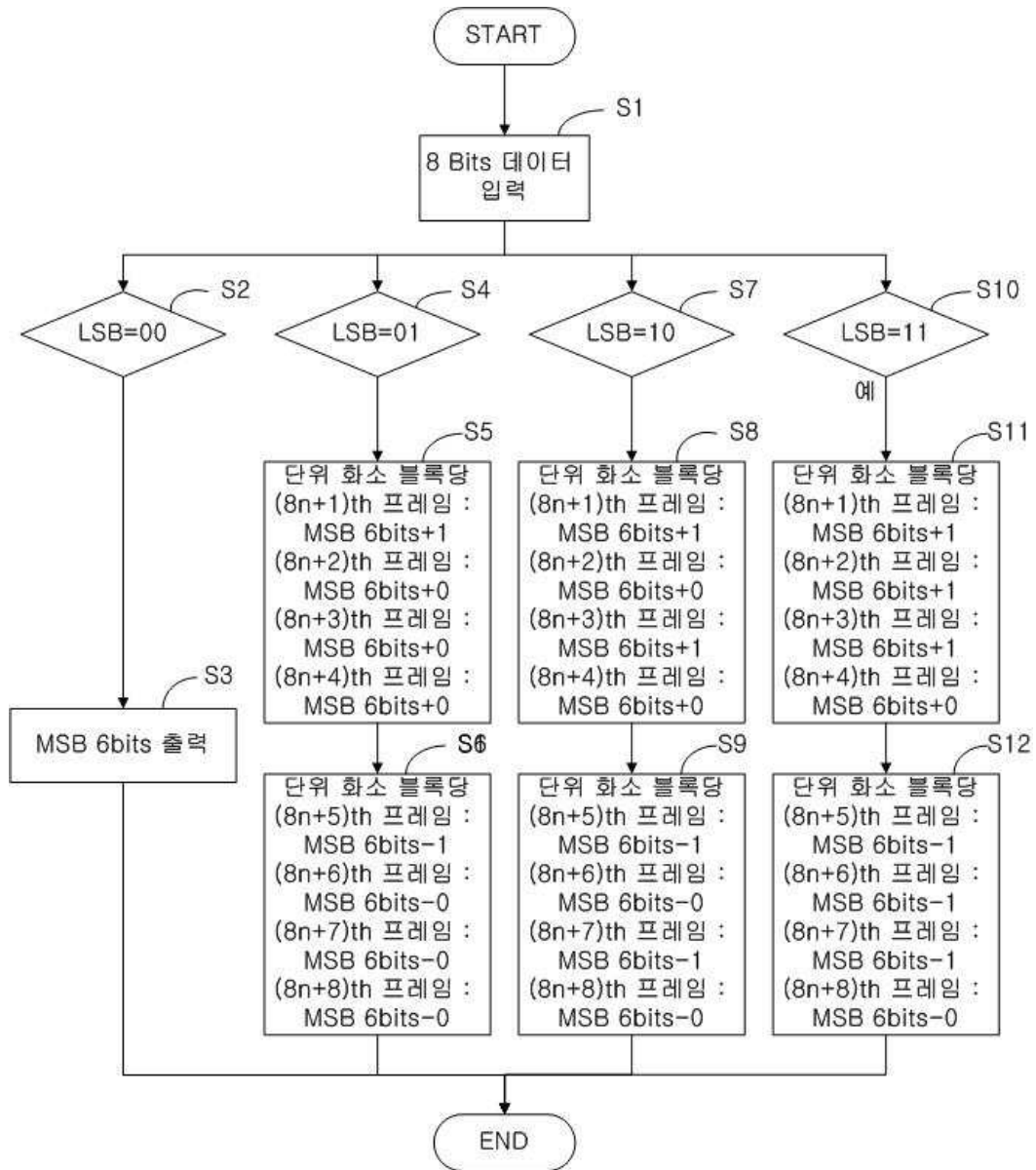
## 도면

도면1





도면2



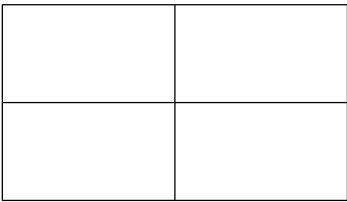
도면3

64 Gray		0								1							
MSB		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
		0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
		0	0	1	1	1	1	0	0	1	1	1	1	0	0	1	1
LSB		0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
256 Gray		0	1	2	3	4	5	6	7								

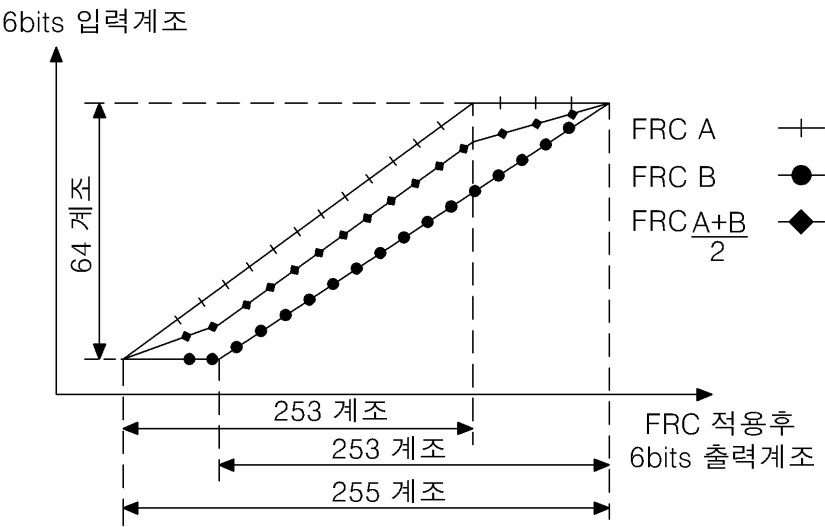
...

62								63							
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
0	0	1	1	1	1	0	0	1	1	1	1	0	0	1	1
0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
248	249	250	251	252	253	254	255								

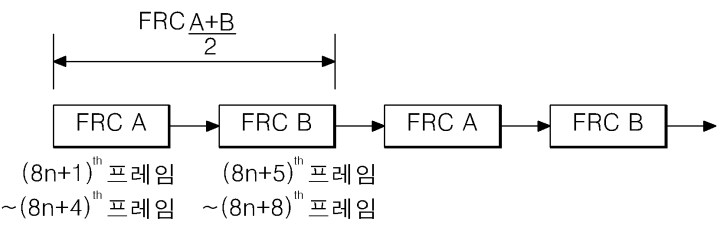
도면4



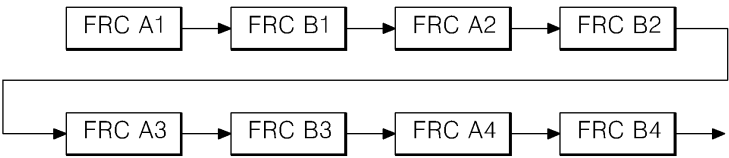
도면5



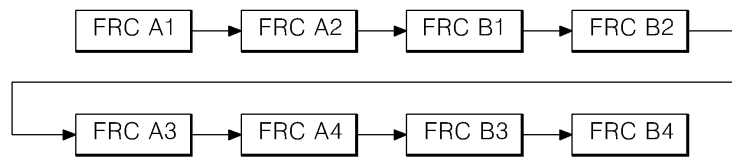
도면6



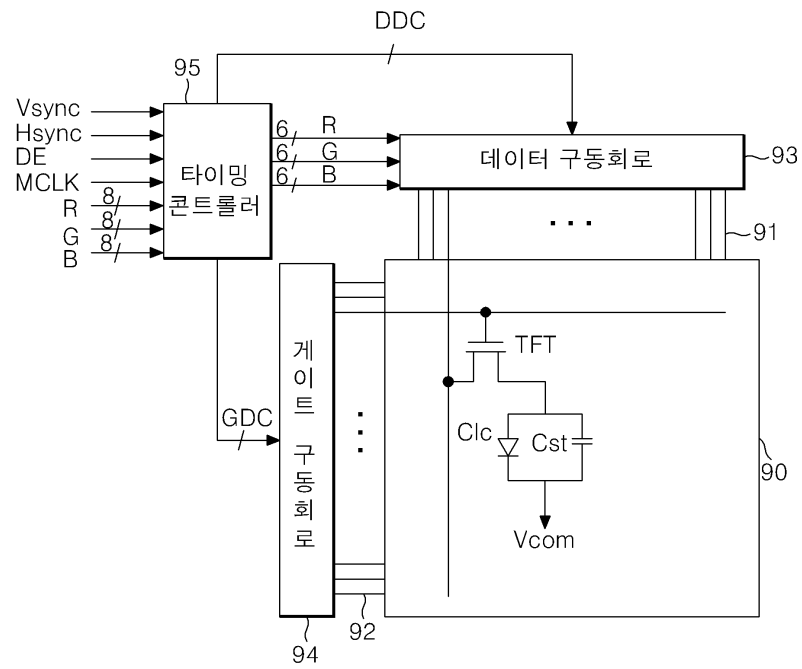
도면7



도면8



도면9



专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	<a href="#">KR1020060076044A</a>	公开(公告)日	2006-07-04
申请号	KR1020040115732	申请日	2004-12-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HWANG KWNAGHEE		
发明人	HWANG,KWNAGHEE		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3677 G09G2320/0271 G09G2340/0435		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

液晶显示装置及其驱动方法技术领域本发明涉及液晶显示装置及其驱动方法。该液晶显示装置包括多条数据线和多条栅极线中要越过的，栅线的交叉部分，并且在由所述栅极线限定的像素形成的薄膜晶体管的数据线和数据线一种液晶显示面板，其中液晶单元形成在区域中；(n是小于m的整数)多个帧中的比特，并输出相加的(n+1)比特(n比特)以及帧速率控制处理器，用于输出减去的n位视频数据；一种栅极驱动电路，用于从帧速率控制处理单元向数据线提供n位视频数据；以及用于顺序地将扫描脉冲提供给栅极线的栅极驱动电路。五

