

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G02F 1/136

(11) 공개번호 10-2005-0121810
(43) 공개일자 2005년12월28일

(21) 출원번호 10-2004-0046886
(22) 출원일자 2004년06월23일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지
(72) 발명자 양준영
경기도 부천시 원미구 상동 서해아파트 2407-1303
(74) 대리인 특허법인네이트

심사청구 : 없음

(54) 액정표시장치용 어레이기판과 그 제조방법

요약

본 발명은 구동 소자 및 스위칭 소자로 다결정 실리콘 박막트랜지스터를 사용한 구동회로 일체형 액정표시장치용 어레이 기판과 그 제조방법에 관한 것이다.

본 발명은 구동회로 일체형 액정표시장치용 어레이기판을 제작함에 있어, 9마스크 공정으로 제작하였던 것을 7 마스크 공정으로 제작하는 것이 가능하도록 한 것을 특징으로 한다.

이때, 스토리지 캐패시터를 형성함에 있어서, 스토리지 배선은 게이트 전극을 형성하는 공정에서 형성하고, 스토리지 전극은 소스 및 드레인 전극을 형성하는 공정에서 형성하여 마스크를 줄일 수 있다.

따라서, 공정 단순화를 통해 공정시간을 단축하는 동시에 공정비용을 낮출 수 있는 장점이 있다.

또한, 공정을 간략화 함으로써, 공정 중 불량 발생확률을 줄일 수 있는 장점이 있다.

대표도

도 13

명세서

도면의 간단한 설명

도 1은 일반적인 구동회로부 일체형 액정패널을 개략적으로 도시한 평면도이고,

도 2는 어레이 기판의 한 단일 화소 영역을 도시한 확대 평면도이고,

도 3a와 3b는 종래에 따른 액정표시장치용 어레이 기판의 화소 영역에 구성된 스위칭 소자와, 구동 회로영역에 구성된 CMOS 소자의 단면도이고,

도 4a와 도 4b는 종래에 따른 액정표시장치용 어레이 기관의 제조 공정 중 제 1 마스크 공정 단계를 나타낸 단면도이고,
 도 5a와 도 5b는 종래에 따른 액정표시장치용 어레이 기관의 제조공정 중 제 2 마스크 공정 단계를 나타낸 단면도이고,
 도 6a와 도 6b는 종래에 따른 액정표시장치용 어레이 기관의 제조공정 중 제 3 마스크 공정 단계를 나타낸 단면도이고,
 도 7a와 도 7b는 종래에 따른 액정표시장치용 어레이 기관의 제조공정 중 제 4 마스크 공정 단계를 나타낸 단면도이고,
 도 8a와 도 8b는 종래에 따른 액정표시장치용 어레이 기관의 제조공정 중 제 5 마스크 공정 단계를 나타낸 단면도이고,
 도 9a와 도 9b는 종래에 따른 액정표시장치용 어레이 기관의 제조공정 중 제 6 마스크 공정 단계를 나타낸 단면도이고,
 도 10a와 도 10b는 종래에 따른 액정표시장치용 어레이 기관의 제조공정 중 제 7 마스크 공정 단계를 나타낸 단면도이고,
 도 11a와 도 11b는 종래에 따른 액정표시장치용 어레이기관을의 제조공정 중 제 8 마스크 공정 단계를 나타낸 단면도이고,
 도 12a와 도 12b는 종래에 따른 액정표시장치용 어레이기관을의 제조공정 중 제 9 마스크 공정 단계를 나타낸 단면도이고,
 도 13은 본 발명에 따른 액정표시장치용 어레이기관을의 단일 화소를 도시한 확대 평면도이고,
 도 14a와 도 14b는 본 발명의 제 1 마스크 공정을 나타낸 공정 단면도이고,
 도 15(a,b) 내지 도 17(a,b)는 제 2 마스크 공정을 나타낸 공정 단면도이고,
 도 18a와 도 18b는 제 3 마스크 공정을 나타낸 공정 단면도이고,
 도 19a와 19b는 제 4 마스크 공정을 나타낸 공정 단면도이고,
 도 20a와 도 20b는 제 5 마스크 공정을 나타낸 공정 단면도이고,
 도 21(a,b)내지 도 26(a,b)는 제 6 마스크 공정을 나타낸 공정 단면도이고,
 도 27a와 도 27b는 제 7 마스크 공정을 나타낸 공정 단면도이다.

< 도면의 주요 부분에 대한 부호의 설명 >

100 : 기관 108 : 액티브층(제 3 액티브 패턴)

118 : 스토리지 배선 116 : 게이트 전극

132a,132b :소스 및 드레인 전극 134 : 섬형상의 금속 패턴

146 : 화소 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 다결정 실리콘 박막트랜지스터를 포함하는 구동회로 일체형 액정표시장치용 어레이 기관과 그 제조방법에 관한 것이다.

일반적으로, 액정표시장치는 박막 트랜지스터(Thin Film Transistor ; TFT)를 포함하는 어레이기판과 컬러 필터(color filter)기판 사이에 액정을 주입하여, 이 액정의 이방성에 따른 빛의 굴절률 차이를 이용해 이미지를 얻는 표시장치이다.

현재에는 상기 박막 트랜지스터와 화소 전극이 행렬방식으로 배열된 능동행렬 액정표시장치(AM-LCD ; Active Matrix Liquid Crystal Display)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있으며, 상기 박막 트랜지스터 소자로는 수소화된 비정질 실리콘(a-Si:H)이 주로 이용되는데, 이는 저온 공정이 가능하여 저가의 절연기판을 사용할 수 있기 때문이다.

그러나, 수소화된 비정질 실리콘은 원자 배열이 무질서하기 때문에 약한 결합(weak Si-Si bond) 및 땀글링 본드(dangling bond)가 존재하여 빛 조사나 전기장 인가 시 준 안정상태로 변화되어 박막 트랜지스터 소자로 활용시 안정성이 문제로 대두되고 있으며, 전기적 특성(낮은 전계효과 이동도 : $0.1 \sim 1.0 \text{ cm}^2/\text{V}\cdot\text{s}$)이 좋지 않아 구동회로로는 쓰기 어렵다.

반면, 폴리 실리콘은 비정질 실리콘에 비하여 전계효과 이동도가 크기 때문에 기판 위에 구동회로를 만들 수 있으며, 폴리 실리콘을 이용하여 기판에 직접 구동회로를 만들면 실장이 매우 간단해 지고 액정패널을 더욱 컴팩트(compact)하게 제작할 수 있는 장점이 있다.

도 1은 일반적인 구동회로부 일체형 액정표시장치용 어레이 기판의 개략도이다.

도시한 바와 같이, 절연 기판(10)은 크게 표시부(D1)와 비표시부(D2)로 정의될 수 있으며, 상기 표시부(D1)에는 다수의 화소(P)가 매트릭스 형태로 위치하고 각 화소마다 스위칭 소자(T) 및 이와 연결된 화소 전극(78)이 구성된다.

또한, 상기 화소(P)의 일 측을 따라 연장된 게이트 배선(GL)과 이와는 수직하게 교차하는 데이터 배선(DL)이 구성된다.

상기 비표시부(D2)에는 구동회로부(DP,GP)가 구성되는데, 구동회로부(DP,GP)는 기판(10)의 일측에 위치하여 상기 게이트 배선(GL)에 신호를 인가하는 게이트 구동회로부(GP)와, 이와는 평행하지 않은 기판(10)의 타측에 위치하여 상기 데이터 배선(DL)에 신호를 인가하는 데이터 구동회로부(DP)가 구성된다.

또한, 상기 게이트 및 데이터 구동회로부(GP,DP)는 외부신호 입력단(OL)과 연결되어 있다.

상기 게이트 및 데이터 구동회로부(GP,DP)는 상기 외부신호 입력단(OL)을 통하여 입력된 외부신호를 내부에서 조절하여 각각 게이트 및 데이터 배선(GL,DL)을 통해 화소부(P)로 디스플레이 컨트롤 신호 및 데이터 신호를 공급하기 위한 장치이다.

따라서, 상기 게이트 및 데이터 구동회로부(GP,DP)는 입력되는 신호를 적절하게 출력시키기 위하여 인버터(inverter)인 CMOS(complementary metal-oxide semiconductor)구조의 박막트랜지스터로 구성된다.

상기 CMOS는 고속 신호처리가 요구되는 구동회로부 박막 트랜지스터에 사용되는 반도체 기술의 일종으로서, 음전기로 충전된 여분의 전자들(n형 반도체)과 양전기로 충전된 정공들(p형 반도체)을 이용하여 하나의 전도체를 형성하고, 상기 두 종류의 반도체들의 효과적인 전기제어에 의해 전류 게이트를 이루기 위한 상호 보완적인 방법으로 사용된다.

종래에서는, 상기 CMOS 소자와 스위칭 소자로 다결정 박막트랜지스터를 사용하였다.

도 2는 다결정 박막트랜지스터를 포함하는 종래에 따른 어레이 기판의 단일화소의 구성을 도시한 확대 평면도이다.

도시한 바와 같이, 기판(10)상에 일 방향으로 연장된 게이트 배선(GL)과, 이와 수직하게 교차하여 화소 영역(P)을 정의하는 데이터 배선(DL)이 구성된다.

상기 게이트 배선(GL)과 데이터 배선(DL)의 교차지점에는 폴리실리콘으로 형성된 액티브층(18)과, 액티브층(18)의 상부에 구성된 게이트 전극(34)과, 상기 액티브층(18)과 접촉하는 소스 전극(70)과 드레인 전극(72)을 포함하는 박막트랜지스터(T)가 구성된다.

상기 화소 영역(P)에는 상기 드레인 전극(72)과 접촉하는 화소 전극(78)이 구성된다.

또한, 상기 화소 영역(P)에는 스토리지 캐패시터(C_{ST})가 구성되는데 이는 화소 영역(P)을 가로지르는 스토리지 배선(36)을 제 2 전극으로 하고, 상기 제 2 전극의 하부에 위치하고 불순물이 도핑된 다결정 패턴(20)을 제 1 전극으로 한다.

이하, 도 3a와 도 3b를 참조하여, 앞서 언급한 구동회로부의 CMOS 소자의 단면구성과, 상기 스위칭 소자를 포함하는 화소 영역의 단면구성을 설명한다.

도 3a는 CMOS구조 박막 트랜지스터를 도시한 단면도이고, 3b는 스위칭 소자를 포함하는 화소 영역의 단면을 나타낸 도면으로, 도 2의 II-II를 따라 절단한 단면도이다.

도 3a와 도 3b에 도시한 바와 같이, 절연 기판(10)상에 버퍼층(buffer layer)(12)이 구성되고, 기판(10)의 구동 회로영역(A,B)과 스위칭 영역(C)에는 CMOS 소자(n형 박막트랜지스터와 p형 박막트랜지스터의 조합)와 n형 박막트랜지스터가 위치하고, 화소 영역(P)에는 상기 n형 박막트랜지스터와 접촉하는 화소 전극(78) 및 스토리지 캐패시터(C_{ST})가 구성된다.

전술한 각 영역의 단면적인 구성을 이하 설명한다.

도시한 바와 같이, 상기 버퍼층(12) 상부의 각 영역(A,B,C)에 제 1 액티브 패턴(14)과 제 2 액티브 패턴(16)과 제 3 액티브 패턴(18)이 구성된다.

상기 제 1 및 내지 제 3 액티브 패턴(14,16,18)은 다결정 실리콘층을 패턴한 것이며, 각각은 제 1 액티브 영역(V1)과 제 2 액티브 영역(V2)으로 정의될 수 있다.

이때, 상기 제 3 액티브 패턴(18)은 상기 화소 영역(P)으로 연장한 연장부(20)를 포함한다.

상기 제 1 내지 제 3 액티브 패턴(14,16,18)이 구성된 기판(10)의 전면에는 게이트 절연막(22)이 위치하고, 게이트 절연막(28)의 상부에는 상기 각 액티브 패턴(14,16,18)의 제 1 액티브 영역(V1)에 대응하여 각각 제 1, 제 2, 제 3 게이트 전극(30,32,34)이 구성된다.

동시에, 상기 화소 영역(P)을 가로지르는 스토리지 배선(36)을 형성한다.

상기 스토리지 배선(36)은 상기 제 3 액티브 패턴(18)의 연장부(20)의 상부에 위치하게 되며 이때, 상기 연장부(20)를 제 1 전극으로 하고, 상기 스토리지 배선(36)을 제 2 전극으로 하는 스토리지 캐패시터(C_{ST})가 구성된다.

상기 제 1 내지 제 3 게이트 전극(30,32,34)과 스토리지 배선(36)이 구성된 기판(10)의 전면에 층간 절연막(48)이 구성되고, 상기 층간 절연막(48)과 그 하부의 게이트 절연막(28)이 식각되어 노출된 상기 각 액티브 패턴(14,16,18)의 각 제 2 액티브 영역(V2)과 접촉하는 제 1 소스 및 드레인 전극(62,64)과, 제 2 소스 및 드레인 전극(66,68)과 제 3 소스 및 드레인 전극(70,72)이 구성된다.

전술한 구성에서, 구동회로 영역(A,B)과 스위칭 영역(C)의 제 1 액티브 패턴과 제 3 액티브 패턴(14,18)의 제 2 액티브 영역(V2)은 게이트 전극(30,34)과 근접한 양측에 n-이온이 도핑된 LDD(Lightly Doped Drain)영역(F)과, LDD영역을 제외한 영역에는 n+ 이온이 도핑된 오믹 콘택영역으로 구성된다.

상기 LDD영역(F)은 핫캐리어(hot carrier)들을 분산시키기 위한 목적으로 구성되는 것이며, 이 영역은 도핑농도가 낮기 때문에 누설전류(I_{off})의 증가를 방지하여 온(on)상태의 전류의 손실을 막는 역할을 한다.

상기 화소 영역(P)에는 상기 스위칭 영역(C)의 드레인 전극(72)과 연결된 화소 전극(78)이 구성된다.

전술한 바와 같이 구성된, 스위칭 영역(C)의 n형 박막트랜지스터와, 구동회로 영역(A,B)에서 CMOS소자를 구성하는 n형 및 p형 박막트랜지스터는 단일 기판 상에 동일한 공정으로 제작된다.

이하, 전술한 다결정 실리콘 박막트랜지스터를 포함한 종래에 따른 구동회로 일체형 액정표시장치용 어레이기판의 제조방법을 설명한다.

도 4a와 도 4b는 제 1 마스크 공정을 나타낸 단면도이고, 도 5a와 도 5b는 제 2 마스크 공정을 나타낸 단면도이고, 도 6a와 도 6b는 제 3 마스크 공정을 나타낸 도면이고, 도 7a와 도 7b는 제 4 마스크 공정을 나타낸 단면도이고, 도 8a와 도 8b는 제 5 마스크 공정을 나타낸 단면도이고, 도 9a와 도 9b는 제 6 마스크 공정을 나타낸 도면이고, 도 10a와 도 10b는 제 7 마스크 공정을 나타낸 도면이고, 도 11a와 도 11b는 제 8 마스크 공정을 나타낸 도면이고, 도 12a와 도 12b는 제 9 마스크 공정을 나타낸 단면도이다.

(이때, 상기 4b, 5b, 6b, 7b, 8b, 9b, 10b, 11b, 12b는 도 2의 II-II를 절단한 단면도이다.)

도시한 바와 같이, 기판(10)상에 N영역(A)과 P영역(B)으로 구성된 구동회로 영역(A,B)과 스위칭 영역(C) 및 스토리지 영역(ST)을 포함하는 화소 영역(P)을 정의하고, 산화 실리콘(SiO_2)을 증착하여 버퍼층(12)을 형성한다.

상기 버퍼층(12) 상부의 구동 회로 영역(N영역(A), P영역(B))과 스위칭 영역(C)의 상부에 제 1 마스크공정으로 패터닝한 제 1 액티브 패턴(14)과 제 2 액티브 패턴(16)과 제 3 액티브 패턴(18)을 형성한다.

상기 제 1 내지 제 3 액티브 패턴(14, 16, 18)은 다결정 실리콘층으로 형성된 것이며, 편의상 각 패턴을 제 1 액티브 영역(V1)과 제 1 액티브 영역(V1) 양측에 위치하는 제 2 액티브 영역(V2)으로 정의한다.

또한, 상기 N영역 및 스위칭 영역(A, C)의 제 1 액티브 영역(V1) 양측으로 LDD 영역(F)을 정의한다.

이때, 상기 제 3 액티브 패턴(18)은 상기 스토리지 영역(ST)으로 연장된 연장부(20)를 포함한다.

도 5a와 도 5b는 제 2 마스크 공정 단계를 도시한 도면으로, 상기 액티브 패턴(14, 16, 18)이 형성된 기판(10)의 전면에 포토레지스트(photoresist)를 도포한 후 제 2 마스크 공정으로 패터닝하여, 상기 구동 영역(A, B)과 스위칭 영역(C)의 제 1 내지 제 3 액티브 패턴(14, 16, 18)을 덮는 제 1, 제 2, 제 3 감광성 패턴(22, 24, 26)을 형성한다. 이때, 상기 제 3 액티브 패턴(18)의 연장부 즉, 다결정 실리콘패턴(20)은 노출된 상태이다.

다음으로, 상기 노출된 다결정 실리콘 패턴(20)의 표면에 n^+ 또는 p^+ 불순물 이온을 도핑하는 공정을 진행한다.

상기 불순물이 도핑된 다결정 실리콘 패턴(20)은 스토리지 캐패시터의 제 1 전극의 역할을 하게 된다.

도 6a와 도 6b는 제 3 마스크 공정을 나타낸 단면도로서, 도시한 바와 같이, 상기 제 1 내지 제 3 액티브 패턴(14, 16, 18)이 형성된 기판(10)의 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하여 게이트 절연막(28)을 형성한다.

상기 게이트 절연막(28)이 형성된 기판(10)의 전면에 알루미늄(Al), 알루미늄합금(AlNd)을 증착하고 제 3 마스크 공정으로 패터닝하여, 상기 제 1 내지 제 3 액티브 패턴(14, 16, 18)의 각 제 1 액티브 영역(V1)에 대응하여, 각각 게이트 전극(30, 32, 34)을 형성한다.

동시에, 상기 화소 영역(P)내의 스토리지 영역(ST)상부 즉, 상기 불순물 이온이 도핑된 다결정 실리콘 패턴(20)의 상부에 스토리지 배선(36)을 형성한다.

이때, 상기 다결정 실리콘 패턴(20)을 제 1 전극으로 하고, 상부의 스토리지 배선(36)을 제 2 전극으로 하는 스토리지 캐패시터(C_{ST})가 구성된다.

다음으로, 상기 게이트 전극(30, 32, 34)이 형성된 기판(10)의 전면에 n -이온(저농도의 n 형 불순물 이온 도핑)을 도핑하는 공정을 진행한다.

전술한 도핑공정으로, 상기 게이트 전극(30, 32, 34)의 주변으로 노출된 제 1 내지 제 3 액티브 패턴(14, 16, 18)의 표면은 n -이온이 도핑된 상태가 된다.

도 7a와 도 7b는 제 4 마스크 공정을 나타낸 도면으로, 상기 노출된 제 1 내지 제 3 액티브 패턴(14,16,18)의 표면에 n-이온 도핑이 진행된 기판(10)의 전면에 포토레지스트(photoresist)를 도포한 후 제 4 마스크 공정으로 패터하여, 상기 구동 영역(A,B)의 N영역(A)에 정의된 LDD 영역(F)을 덮는 제 1 포토레지스트 패턴(38)과, P영역(B)을 덮는 제 2 포토레지스트 패턴(40)과, 스위칭 영역(C)의 LDD영역(F)을 덮는 제 3 포토레지스트 패턴(42)을 형성한다.

이때, N영역(A)과 스위칭 영역(C)의 제 1 및 제 3 액티브 패턴(14,18)의 제 2 액티브 영역(V2)이 노출된 상태가 된다.

다음으로, 상기 감광성 패턴(38,40,42)이 형성된 기판(10)의 전면에 n+ 이온(고농도의 n형 이온)을 도핑하는 공정을 진행한다.

이와 같이 하면, 상기 N영역(A)의 노출된 액티브 패턴(14)과, 상기 스위칭 영역(C)의 노출된 액티브 패턴(18)의 표면에 n+ 이온이 도핑되어 이 부분은 옴릭 콘택층(ohmic contact layer)으로서 기능을 하게 된다.

다음으로, 상기 제 1 내지 제 3 포토레지스트 패턴(38,40,42)을 제거하는 공정을 진행한다.

도 8a와 도 8b는 제 5 마스크 공정을 나타낸 도면으로, 도시한 바와 같이 상기 n+ 불순물 이온을 도핑하는 공정을 진행한 기판(10)의 전면에 포토레지스트를 도포한 후 제 5 마스크 공정으로 패터하여, 상기 N영역(A)과 스위칭 영역(C)을 각각 덮는 제 1 포토레지스트 패턴(44)과 제 2 포토레지스트 패턴(46)을 형성한다.

다음으로, 상기 제 1 및 제 2 포토레지스트 패턴(44,46)이 형성된 기판(10)의 전면에 p+ 불순물 이온(고농도 p+ 불순물 이온)을 도핑하는 공정을 진행하여, 상기 P영역(B)의 노출된 제 2 액티브 패턴(16, 상세히는 제 2 액티브 영역)의 표면에 p+ 이온을 도핑한다.

p+ 이온이 도핑된 영역 또한, 옴릭 콘택층(ohmic contact layer)으로서의 기능을 하게 된다.

도 9a와 도 9b는 제 6 마스크 공정을 나타낸 도면으로, 도시한 바와 같이, p+ 이온을 도핑하는 공정이 진행된 기판(10)의 전면에 산화 실리콘(SiO_2)을 증착하여, 층간 절연막(48)을 형성한 후 제 6 마스크 공정으로 패터하여, 상기 N형 영역(A)의 제 2 액티브 영역(V2, n+ 이온이 도핑된 영역)을 노출하는 제 1 콘택홀(50)과 제 2 콘택홀(52)을 형성하고, 상기 P형 영역(B)의 제 2 액티브 영역(V2, p+ 이온이 도핑된 영역)을 노출하는 제 3 콘택홀(54)과 제 4 콘택홀(56)을 형성하고, 상기 스위칭 영역(C)의 제 2 액티브 영역(V2, n+ 이온이 도핑된 영역)을 노출하는 제 5 콘택홀(58)과 제 6 콘택홀(60)을 형성한다.

도 10a와 도 10b는 제 7 마스크 공정을 나타낸 도면으로, 도시한 바와 같이, 상기 층간 절연막(48)이 형성된 기판(10)의 전면에 앞서 언급한 바와 같은 도전성 금속 그룹 중 선택된 하나를 증착하고 제 7 마스크 공정으로 패터하여, 상기 제 1 내지 제 3 액티브 패턴(14,16,18)의 노출된 각 제 2 액티브 영역(V2)과 접촉하는 소스 전극(62,66,70)과 드레인 전극(64,68,72)을 형성한다.

도 11a와 도 11b는 제 8 마스크 공정을 나타낸 도면으로, 도시한 바와 같이, 상기 소스 및 드레인 전극(62,66,70/64,68,72)이 형성된 기판(10)의 전면에 무기절연물질을 증착하여 보호막(74)을 형성한다.

다음으로, 상기 보호막(74)을 제 8 마스크 공정으로 패터하여, 상기 스위칭 영역(C)의 드레인 전극(72)을 노출하는 드레인 콘택홀(76)을 형성한다.

도 12a와 도 12b는 제 9 마스크 공정을 나타낸 도면으로, 상기 보호막(74)이 형성된 기판(10)의 전면에 인듐-틴-옥사이드(ITO)를 증착하고 패터하여, 상기 노출된 드레인 전극(72)과 접촉하면서 상기 화소 영역(P)에 위치하는 화소 전극(78)을 형성한다.

전술한 바와 같은 공정을 통해, 구동 영역과 스위칭 영역에 다결정 박막트랜지스터로 구성된 CMOS 소자와 스위칭 소자를 포함하는 종래에 따른 액정표시장치용 어레이기판을 제작할 수 있다.

그러나, 종래에 따른 액정표시장치용 어레이기관의 제조방법은 공정수가 상당히 많은 편에 속하며, 이와 같이 공정수가 많게 되면 액정표시장치를 제작함에 있어 불량발생 확률을 높이는 동시에, 공정 시간 지연 및 공정 비용을 높여 제품의 수율을 떨어뜨리는 문제가 되고 있다.

또한, 보호막으로 유전율이 높은 무기절연막을 사용하였기 때문에, 상기 화소 전극을 상기 게이트 배선 및 데이터 배선과 겹쳐 구성할 수 없다.

그러므로, 상기 화소 전극과 게이트 배선 및 데이터 배선을 이격하여 구성해야만 상기 화소 전극과 게이트 배선 및 데이터 배선 사이에 기생용량이 발생하지 않는다.

따라서, 상기 이격영역 만큼 개구영역이 잠식되어 개구율이 저하되는 문제가 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 전술한 문제점을 해결하기 위한 것을 목적으로 하며, 종래의 9마스크 공정을 7 마스크 공정으로 낮추어 어레이 기관을 제작하는 방법을 제안한다.

본 발명은 공정수를 낮추어 불량발생 확률을 현저히 줄이고, 공정시간 단축 및 공정 비용을 절감할 수 있도록 하는 것을 제 1 목적으로 한다.

또한, 투명한 화소 전극의 하부에 위치하는 보호막으로 유기막을 사용하여 고개구율 구조가 가능하도록 하는 것을 제 2 목적으로 한다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 어레이 기관은 스위칭 영역을 포함하는 화소 영역과 구동 영역이 정의된 기관과; 상기 구동 영역에 n형 다결정 박막트랜지스터와 p형 다결정 박막트랜지스터의 조합으로 구성된 CMOS 소자와; 상기 스위칭 영역에 구성된 다결정 박막트랜지스터와; 상기 화소 영역의 일 측에 구성된 게이트 배선과, 이에 수직인 화소 영역의 타측에 구성된 데이터 배선과; 상기 화소 영역에 위치한 스토리지 배선과; 상기 스토리지 배선의 상부에서 이와 접촉하는 섬형상의 금속 패턴과; 상기 섬형상의 금속패턴과 무기 절연막을 사이에 두고 위치하며, 상기 스위칭 영역의 다결정 박막트랜지스터와 연결된 화소 전극을 포함한다.

상기 스위칭 영역의 다결정 박막트랜지스터는 n형 다결정 박막트랜지스터이며, 상기 스토리지 배선과 접촉하는 금속패턴을 제 1 전극으로 하고, 이와 겹쳐지는 부분의 화소 전극을 제 2 전극으로 하는 스토리지 캐패시터가 구성된다.

상기 화소 전극은 투명한 재질로 구성된다.

본 발명의 특징에 따른 액정표시장치용 어레이기관 제조방법은 기관을 스위칭 영역 및 스토리지 영역을 포함하는 화소 영역과, 구동영역으로 정의하는 단계와; 상기 구동 영역에 제 1, 제 2 액티브 패턴을 형성하고, 상기 스위칭 영역에 제 3 액티브 패턴을 형성하는 제 1 마스크 공정 단계와; 상기 제 1, 제 2, 제 3 액티브 패턴의 일부 상부에 게이트 절연막을 사이에 두고 각각 제 1, 제 2, 제 3 게이트 전극과, 상기 스토리지 영역에 스토리지 배선과, 상기 각 게이트 전극의 상부에 제 1, 제 2, 제 3 감광패턴과 상기 스토리지 배선에 제 4 감광패턴을 형성하는 제 2 마스크 공정 단계와; 상기 제 1, 제 2, 제 3 감광패턴을 건식식각하여, 각 감광패턴의 주변으로 상기 각 게이트 전극을 노출하는 단계와; 상기 게이트 전극의 주변에 대응하는 상기 제 1 내지 제 3 감광패턴의 표면에 n^+ 이온을 도핑하는 단계와; 상기 노출된 게이트 전극을 식각하고, 상기 게이트 전극이 식각된 부분에 대응하는 제 1 및 제 3 액티브 패턴의 표면에 n^- 이온을 도핑하는 단계와; 상기 구동영역의 제 2 액티브 패턴을 제외한 영역을 덮는 감광패턴을 형성하는 제 3 마스크 공정 단계와; 상기 제 2 게이트 전극의 주변에 대응하는 상기 제 2 액티브 패턴의 표면에 p^+ 이온을 도핑하는 단계와; 상기 제 1 내지 제 3 게이트 전극과, 상기 스토리지 배선이 형성된 기관의 전면에 제 1 층간 절연막을 형성하고 패터닝하여, 상기 제 1 내지 제 3 액티브 패턴의 각 양측을 노출하고, 상기 스토리지 배선을 노출하는 제 4 마스크 공정 단계와; 상기 노출된 제 1 내지 제 3 액티브 패턴의 양측과 각각 접촉하는 제 1 내지 제 3 소스 전극과 드레인 전극과, 상기 스토리지 배선과 접촉하는 금속패턴을 형성하는 제 5 마스크 공정 단계와; 상기 제 1 내지 제 3 소스 및 드레인 전극이 형성된 기관의 전면에 제 2 층간 절연막과 상기 제 2 층간 절연막의 상

부에 보호막을 적층하고 패터하여, 상기 스위칭 영역의 드레인 전극을 노출하고, 상기 스토리지 영역에 대응하는 보호막과 층간 절연막의 일부를 식각한 제 6 마스크 공정 단계와; 상기 노출된 드레인 전극과 접촉하면서, 상기 화소 영역에 위치한 화소 전극을 형성하는 단계를 포함한다.

이하, 본 발명의 실시예에 따른 구동회로 일체형 액정표시장치용 어레이 기판의 제조방법을 설명한다.

-- 실시예 --

이하, 도면을 참조하여 본 발명에 따른 다결정 액정표시장치용 어레이기판의 구성을 설명한다.

도 13은 본 발명에 따른 다결정 액정표시장치용 어레이 기판의 한 화소를 확대한 평면도이다.

도시한 바와 같이, 기판(100)상에 일 방향으로 연장된 게이트 배선(GL)과, 이와 수직하게 교차하여 화소 영역(P)을 정의하는 데이터 배선(DL)을 구성한다.

상기 게이트 배선(GL)과 데이터 배선(DL)의 교차지점에는 폴리실리콘으로 형성된 액티브층(액티브 패턴, 108)과, 액티브층(108)의 상부에 구성된 게이트 전극(116)과, 상기 액티브층(108)과 접촉하는 소스 전극(132a)과 드레인 전극(132b)을 포함하는 박막트랜지스터(T)를 구성한다.

상기 화소 영역(P)에는 상기 드레인 전극(132b)과 접촉하는 투명한 화소 전극(146)을 구성한다.

또한, 상기 화소 영역(P)에는 스토리지 캐패시터(C_{ST})를 구성하게 되는데, 상기 화소 영역(P)을 가로지는 스토리지 배선(118)과 접촉하는 섬형상의 금속패턴(134)을 제 1 전극으로 하고, 상기 제 1 전극의 상부에 구성된 화소 전극(146)의 일부를 제 2 전극으로 한다.

이때, 상기 섬형상의 금속패턴(134)은 상기 소스 및 드레인 전극(132a, 132b)을 형성하는 공정에서 형성한다.

이하, 전술한 평면도를 참조하여, 본 발명에 따른 구동회로 일체형 액정표시장치용 어레이 기판의 제조방법을 설명한다.

도 14a와 도 14b는 제 1 마스크 공정을 나타낸 단면도이고, 도 15(a,b) 내지 17(a,b)는 제 2 마스크 공정을 나타낸 단면도이고, 도 18a와 도 18b는 제 3 마스크 공정을 나타낸 도면이고, 도 19a와 도 19b는 제 4 마스크 공정을 나타낸 단면도이고, 도 20a와 도 20b는 제 5 마스크 공정을 나타낸 단면도이고, 도 21(a,b) 내지 도 25(a,b)는 제 6 마스크 공정을 나타낸 도면이고, 도 26a와 도 26b는 제 7 마스크 공정을 나타낸 도면이다.

이때, 도 14b 내지 도 26b는 도 13의 X-X을 따라 절단한 단면도이다.

도 14a와 도 14b는 제 1 마스크 공정을 나타낸 도면으로, 기판(100)상에 N영역(A)과 P영역(B)으로 구성된 구동회로 영역(A,B)과 스위칭 영역(C) 및 스토리지 영역(ST)을 포함하는 화소영역(P)을 정의하고, 실리콘 절연물질(질화 실리콘(SiN_x), 산화 실리콘(SiO_2))을 증착하여 버퍼층(102)을 형성한다.

상기 버퍼층(102)상부의 구동 회로 영역(N영역(B), P영역(C))과 스위칭 영역(C)의 상부에 제 1 마스크공정으로 패터한 제 1 액티브 패턴(104)과 제 2 액티브 패턴(106)과 제 3 액티브 패턴(108)을 형성한다.

상기 제 1 내지 제 3 액티브 패턴(104, 106, 108)은 다결정 실리콘으로 형성된 것이며, 편의상 각 패턴을 제 1 액티브 영역(V1)과 제 1 액티브 영역(V1) 양측에 위치하는 제 2 액티브 영역(V2)으로 정의한다.

또한, 상기 구동 영역의 N영역(A)과 스위칭 영역(C)의 제 1 액티브 영역(V1) 양측으로 LDD 영역(F)을 정의한다.

이하, 15(a,b) 내지 도 17(a,b)는 제 2 마스크 공정을 나타낸 도면으로 각 도면의 b는 도 13의 X-X을 따라 절단한 단면도이다.

도 15a와 도 15b에 도시한 바와 같이, 상기 액티브패턴(104,106,108)이 형성된 기판(100)의 전면에 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하여 게이트 절연막(110)을 형성한다.

상기 게이트 절연막(110)이 형성된 기판(100)의 전면에 알루미늄(Al), 알루미늄합금(AlNd), 구리(Cu), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr)을 포함하는 도전성 금속 그룹 중 선택된 하나를 증착하고 제 2 마스크 공정으로 패터닝하여, 상기 제 1 내지 제 3 액티브 패턴(104,106,108)의 각 제 1 액티브 영역(V1)에 대응하여, 각각 게이트 전극(112,114,116)을 형성한다.

동시에, 상기 화소 영역(P)에는 일 방향으로 연장된 스토리지 배선(118)을 형성한다.

상기 각 영역(A,B,C)의 게이트 전극(112,114,116)과 상기 스토리지 배선(118)의 상부에는 이들을 패터닝하기 위해 형성된 제 1 내지 제 4 감광패턴(120a,120b,120c,120d)을 그대로 남겨둔다.

이때, 상기 구동회로 영역(A,B)의 N영역(A)과 스위칭 영역(C)의 LDD영역(F)까지 대응되도록 상기 게이트 전극(112,116)을 형성한다.

도 16a와 도 16b에 도시한 바와 같이, 상기 제 1 내지 제 4 감광패턴(120a,120b,120c,120d)을 건식식각(에칭, ashing)하는 공정을 진행한다.

이때, 에칭 공정은 상기 구동회로 영역의 N영역 및 스위칭 영역(A,C)의 LDD 영역(F)에 대응하는 게이트 전극(112,116)이 상기 제 1 및 제 3 감광패턴(120a,120c)의 주변으로 노출되는 정도까지 진행한다.

이때, 제 2 및 제 4 감광패턴(120b,120d)의 하부에 구성된 게이트 전극(114,118)과 스토리지 배선 또한 주변이 노출된 상태가 된다.

연속하여, 상기 제 1 내지 제 4 감광패턴(120a,120b,120c,120d)을 남겨둔 채로, 기판(100)의 전면에 대해 n^+ 불순물을 도핑하는 공정을 진행한다.

이때, 구동회로 영역 및 스위칭 영역(A,B,C)의 제 2 액티브 영역(V2)에 모두 n^+ 불순물이 도핑된 상태가 된다.

도 17a와 도 17b에 도시한 바와 같이, 상기 제 1 내지 제 3 감광패턴(120a,120b,120c)의 하부로 노출된 게이트 전극(112,114,116)과, 상기 제 4 감광패턴(120d)의 하부로 노출된 스토리지 배선(118)의 노출 부분을 제거하는 공정을 진행한다.

이때, 상기 노출 부분의 게이트 전극(110,112,114,116)을 제거하게 되면 특히, 상기 N영역(A)과 스위칭 영역(C)의 LDD 영역(F)이 노출된다.

다음으로, 상기 각 영역의 LDD 영역(F)이 노출된 기판(100)의 전면에 n^- 불순물을 도핑하게 되면, 상기 LDD영역(F)에 n^- 불순물이 도핑된다.

비로소, 상기 N영역(A)과 스위칭 영역(C)은 제 2 액티브 영역(V2)에 앞서 공정에서 n^+ 불순물이 도핑되었고, 상기 LDD 영역(F)에 n^- 불순물이 도핑되었다.

다음으로, 상기 남겨진 제 1 내지 제 4 감광패턴(120a,120b,120c,120d)을 제거하는 공정을 진행한다.

도 18a와 도 18b는 제 3 마스크 공정을 나타낸 도면으로 도시한 바와 같이, 상기 기판(100)의 전면에 포토레지스트(photoresist)를 증착한 후 제 3 마스크 공정으로 패터닝하여, 상기 P영역(B)을 제외한 전 영역에 감광패턴(122)을 형성한다.

연속하여, 상기 감광패턴(122)이 형성된 기판(100)의 전면에 p^+ 불순물을 도핑하는 공정을 진행한다.

이와 같이 하면, 상기 P영역(B)에 구성된 제 2 액티브 패턴(106)의 제 2 액티브 영역(V2)에 p+ 불순물이 도핑되는 결과가 된다. 이때, 상기 제 2 액티브 영역에는 이미 n+ 불순물 도핑된 상태이므로 상기 p+ 이온의 농도를 상기 n+ 불순물의 농도보다 큰 값으로 하여 도핑해야만 상기 제 2 액티브 패턴(106)의 p형의 성격을 띄게 된다.

상기 도핑공정이 완료되면 상기 감광패턴(122)을 제거하는 공정을 진행한다.

도 19a와 도 19b는 제 4 마스크 공정을 나타낸 도면으로, 도핑공정을 완료한 후 상기 각 게이트 전극(110,112,114,116)이 형성된 기판(100)의 전면에 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나 또는 그 이상의 물질을 증착하여 제 1 층간 절연막(124)을 형성한다.

상기 층간 절연막(124)을 제 4 마스크 공정으로 패터닝하여, 상기 N영역(A)과 P영역(B)과 스위칭 영역(C)에 구성된 제 1 내지 제 3 액티브 패턴(102,104,106)의 양측 제 2 액티브 영역(V2)을 노출하는 제 1 콘택홀(126a)과 제 2 콘택홀(126b)과 제 3 콘택홀(126c)과 제 4 콘택홀(126d)과 제 5 콘택홀(126e)과 제 6 콘택홀(126f)과, 상기 화소 영역(P)에 대응하는 스토리지 배선(118)의 노출하는 다수의 제 7 콘택홀(126g)을 형성한다.

도 20a와 도 20b는 제 5 마스크 공정을 나타낸 도면으로, 상기 층간 절연막(124)이 형성된 기판(100)의 전면에 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 알루미늄합금(AlNd)등을 포함하는 도전성 금속그룹 중 선택된 하나를 증착하고 패터닝하여, 상기 P영역(A)의 제 1 액티브 패턴(104)과 접촉하는 제 1 소스 전극(128a)과 제 1 드레인 전극(128b)을 형성하고, 상기 N영역(A)의 제 2 액티브 패턴(106)과 접촉하는 제 2 소스 전극(130a)과 제 2 드레인 전극(130b)을 형성한다.

동시에, 상기 스위칭 영역(C)의 제 3 액티브 패턴(108)과 접촉하는 제 3 소스 전극(132a)과 제 3 드레인 전극(132b)과, 상기 스토리지 배선(118)과 접촉하는 섬형상의 금속패턴(134)을 형성한다.

이하, 도 21(a,b) 내지 도 25(a,b)는 제 6 마스크 공정을 나타낸 도면으로, 각 도의 b는 도 13의 X-X을 따라 절단한 공정 단면도이다.

도 21a와 도 21b에 도시한 바와 같이, 상기 소스 및 드레인 전극(128a,130a,132a/128b,130b,132b)과 섬형상의 금속패턴(134)이 형성된 기판(100)의 전면에 산화 실리콘(SiO_2)을 증착한 산화막층(D1)과 질화 실리콘(SiN_x)을 증착한 질화막층(D2)이 적층된 제 2 층간 절연막(136)을 형성한다.

다음으로, 상기 불순물이 도핑된 액티브 패턴(104,106,108) 표면의 결함을 제거하기 위해, 상기 질화막층(D2)이 형성된 기판(100)을 수소화 처리 하는 공정을 진행한다.

이때, 상기 수소화 처리 전 기판(100)의 최상층은 수소가 포함된 실리콘 질화막(D2)을 형성하는 것이 일반적이며, 질화막의 두께가 두껍게 되면 상하에 위치한 전극 간 기생캐پ 용량이 커지기 때문에 이를 줄이기 위해 상기 실리콘 질화막의 하부에 이보다는 유전율이 낮은 실리콘 산화막(136)을 형성하게 되는 것이다.

연속하여, 수소화 처리공정이 진행된 상기 제 2 층간 절연막(136)이 형성된 기판(100)의 전면에 유기절연막으로 보호막(137)을 형성한다.

상기 유기절연막은 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질 그룹 중 선택된 하나 또는 그 이상의 물질을 도포하여 형성할 수 있다.

다음으로, 상기 보호막(137)의 상부에 포토레지스트(photo-resist)를 증착한 감광층(138)을 형성하고, 상기 감광층(138)의 이격된 상부에 투과부(A1)와 반사부(A2)와 반투과부(A3)로 구성된 6번째 마스크(M)를 위치시킨다.

이때, 상기 투과부(A1)는 상기 스위칭 영역(C)의 드레인 전극(132b)에 대응하여 위치하도록 하고, 상기 반투과부(A3)는 상기 화소 영역(P)에 구성한 금속패턴(134)에 대응하여 위치하도록 한다.

상기 마스크(M)의 상부로 빛을 조사하여 하부의 감광층(138)을 노광하고 현상하는 공정을 진행한다.

도 22a와 도 22b에 도시한 바와 같이, 상기 감광층(138)을 현상하여 상기 스위칭 영역(C)의 드레인 전극(132b)에 대응하여 하부의 보호막(137)을 노출하고, 상기 스토리지 영역(ST)에 구성된 금속패턴(134)에 대응하여 상부로부터 일부가 제거된 감광패턴(140)을 형성한다.

도 23a와 도 23b에 도시한 바와 같이, 상기 스위칭 영역(C)의 드레인 전극(132b)에 대응하여 상기 감광패턴(140)사이로 노출된 보호막 및 제 2 층간 절연막(137,136)을 제거하여, 드레인 콘택홀(142)을 형성한다.

도 24a와 도 24b에 도시한 바와 같이, 상기 감광패턴(140)을 건식식각(ashing)하여, 상기 스토리지 영역(ST)에 대응하는 낮은 부분의 감광패턴을 모두 제거하여 하부의 보호막(137)을 노출하는 공정을 진행한다.

이때, 상기 건식식각 공정은 상기 스토리지 영역(ST)에 대응하여 낮은 부분의 감광패턴(140)이 제거될 정도까지 진행하면 된다.

도 25a와 도 25b에 도시한 바와 같이, 상기 화소영역(P)에 대응하여 노출된 보호막(137)과 상기 제 2 층간 절연막(136)중 실리콘 질화막(D2)을 제거하는 공정을 진행한다.

다음으로, 상기 감광패턴(140)을 제거하는 공정을 진행한다.

도 26a와 도 26b는 제 7 마스크 공정을 나타낸 도면으로 도시한 바와 같이, 상기 감광패턴(140)이 제거된 기판(100)의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나를 증착하고 패터하여, 상기 스위칭 영역(C)의 노출된 드레인 전극(132b)과 접촉하면서 화소영역에 위치하는 화소전극(146)을 형성한다.

이때, 상기 화소 전극(146)은 도시하지는 않았지만, 화소 영역(P)의 주변에 구성된 게이트 배선(미도시)과 데이터 배선(미도시)의 상부로 연장하여 구성한다.

상기 화소 전극(146)과 게이트 배선 및 데이터 배선의 하부에는 유전율이 낮은 유기절연막(137)이 구성되기 때문에, 상기 화소 전극(146)과 게이트 배선 및 데이터 배선 사이에는 기생캐패시터(parastic CAP.)의 발생이 최소화 될 수 있어 신호 지연(signal delay)이 발생하지 않는다.

따라서, 종래와는 달리 상기 화소 전극(146)과 게이트 배선 및 데이터 배선 (미도시)사이에 이격영역이 존재하지 않기 때문에 개구영역을 더욱 확보할 수 있어 고개구율을 확보할 수 있게 된다.

전술한 공정을 통해, 상기 화소 영역(P)에는 상기 스토리지 배선(118)과 접촉하는 금속패턴(134)을 제 1 전극으로 하고, 상기 제 1 전극의 상부에 구성된 화소 전극(146)을 제 2 전극으로 하고, 상기 두 전극의 사이에 존재하는 산화막(D2)을 유전체로 하는 스토리지 캐패시터(C_{ST})가 형성될 수 있다.

전술한 공정을 통해 본 발명에 따른 구동회로 일체형 액정표시장치용 어레이기판을 제작할 수 있다.

발명의 효과

본 발명에 따른 구동회로 일체형 다결정 액정표시장치용 어레이기판의 제조방법은 종래와 비교하여 2개의 마스크 공정을 줄일 수 있으므로 아래와 같은 효과가 있다.

첫째, 공정을 줄였기 때문에 공정 중 발생할 수 있는 불량확률을 현저히 줄일 수 있는 효과가 있다.

둘째, 공정시간을 단축할 수 있고, 공정 비용을 낮출 수 있는 효과가 있다.

셋째, 상기 첫째와 둘째의 효과에 의해 수율을 개선하는 효과가 있다.

넷째, 화소 전극을 게이트 배선 및 데이터 배선의 상부로 연장하여 구성하는 것이 가능하여 고개구율을 확보할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

스위칭 영역을 포함하는 화소 영역과 구동 영역이 정의된 기판과;

상기 구동 영역에 n형 다결정 박막트랜지스터와 p형 다결정 박막트랜지스터의 조합으로 구성된 CMOS 소자와;

상기 스위칭 영역에 구성된 다결정 박막트랜지스터와;

상기 화소 영역의 일 측에 구성된 게이트 배선과, 이에 수직한 화소 영역의 타측에 구성된 데이터 배선과;

상기 화소 영역에 위치한 스토리지 배선과;

상기 스토리지 배선의 상부에서 이와 접촉하는 섬형상의 금속 패턴과;

상기 섬형상의 금속패턴과 무기 절연막을 사이에 두고 위치하며, 상기 스위칭 영역의 다결정 박막트랜지스터와 연결된 화소 전극

을 포함하는 액정표시장치용 어레이기판.

청구항 2.

제 1 항에 있어서,

상기 다결정 박막트랜지스터는 게이트 전극과 액티브층(다결정 실리콘층)과 소스 전극과 드레인 전극으로 구성된 액정표시장치용 어레이기판.

청구항 3.

제 1 항에 있어서,

상기 스위칭 영역의 다결정 박막트랜지스터는 n형 다결정 박막트랜지스터인 액정표시장치용 어레이기판.

청구항 4.

제 1 항에 있어서,

상기 스토리지 배선과 접촉하는 금속패턴을 제 1 전극으로 하고, 이와 겹쳐지는 부분의 화소 전극을 제 2 전극으로 하는 스토리지 캐패시터가 구성된 액정표시장치용 어레이기판.

청구항 5.

제 1 항에 있어서,

상기 화소 전극은 투명한 재질로 구성된 액정표시장치용 어레이기판.

청구항 6.

기관을 스위칭 영역 및 스토리지 영역을 포함하는 화소 영역과, 구동영역으로 정의하는 단계와;

상기 구동 영역에 제 1, 제 2 액티브 패턴을 형성하고, 상기 스위칭 영역에 제 3 액티브 패턴을 형성하는 제 1 마스크 공정 단계와;

상기 제 1, 제 2, 제 3 액티브 패턴의 일부 상부에 게이트 절연막을 사이에 두고 각각 제 1, 제 2, 제 3 게이트 전극과, 상기 스토리지 영역에 스토리지 배선과, 상기 각 게이트 전극의 상부에 제 1, 제 2, 제 3 감광패턴과 상기 스토리지 배선에 제 4 감광패턴을 형성하는 제 2 마스크 공정 단계와;

상기 제 1, 제 2, 제 3 감광패턴을 건식식각하여, 각 감광패턴의 주변으로 상기 각 게이트 전극을 노출하는 단계와;

상기 게이트 전극의 주변에 대응하는 상기 제 1 내지 제 3 감광패턴의 표면에 n^+ 이온을 도핑하는 단계와;

상기 노출된 게이트 전극을 식각하고, 상기 게이트 전극이 식각된 부분에 대응하는 제 1 및 제 3 액티브 패턴의 표면에 n^- 이온을 도핑하는 단계와;

상기 구동영역의 제 2 액티브 패턴을 제외한 영역을 덮는 감광패턴을 형성하는 제 3 마스크 공정 단계와;

상기 제 2 게이트 전극의 주변에 대응하는 상기 제 2 액티브 패턴의 표면에 p^+ 이온을 도핑하는 단계와;

상기 제 1 내지 제 3 게이트 전극과, 상기 스토리지 배선이 형성된 기관의 전면에 제 1 층간 절연막을 형성하고 패터닝하여, 상기 제 1 내지 제 3 액티브 패턴의 각 양측을 노출하고, 상기 스토리지 배선을 노출하는 제 4 마스크 공정 단계와;

상기 노출된 제 1 내지 제 3 액티브 패턴의 양측과 각각 접촉하는 제 1 내지 제 3 소스 전극과 드레인 전극과, 상기 스토리지 배선과 접촉하는 금속패턴을 형성하는 제 5 마스크 공정 단계와;

상기 제 1 내지 제 3 소스 및 드레인 전극이 형성된 기관의 전면에 제 2 층간 절연막과 상기 제 2 층간 절연막의 상부에 보호막을 적층하고 패터닝하여, 상기 스위칭 영역의 드레인 전극을 노출하고, 상기 스토리지 영역에 대응하는 보호막과 층간 절연막의 일부를 식각한 제 6 마스크 공정 단계와;

상기 노출된 드레인 전극과 접촉하면서, 상기 화소 영역에 위치한 화소 전극을 형성하는 단계를

포함하는 액정표시장치용 어레이기관 제조방법.

청구항 7.

제 6 항에 있어서,

상기 제 2 층간 절연막은 실리콘 산화막(SiO_2 막)과 실리콘 질화막(SiN_x 막)을 적층하여 형성한 액정표시장치용 어레이기관 제조방법.

청구항 8.

제 7 항에 있어서,

상기 금속패턴을 제 1 전극으로 하고, 상기 화소 전극을 제 2 전극으로 하고, 상기 금속패턴과 화소 전극 사이에 위치한 상기 실리콘 산화막을 유전체로 하는 스토리지 캐패시터가 형성된 어레이 기관 제조방법.

청구항 9.

제 6 항에 있어서,

상기 제 6 마스크 공정단계는

상기 제 1 내지 제 3 소스 및 드레인 전극과 상기 스토리지 배선과 접촉하는 금속패턴이 형성된 기판의 전면에서 제 2 층간 절연막과 유기막과 감광층을 적층하는 단계와;

상기 감광층의 이격된 상부에 투과부와 반사부와 반투과부로 구성된 마스크를 위치시키는 단계와;

상기 감광층을 노광하고 현상하여, 상기 스위칭 영역의 드레인 전극에 대응하는 보호막을 노출하고, 상기 스토리지 영역에 대응하는 부분은 표면으로부터 일부가 제거된 감광패턴을 형성하는 단계와;

상기 노출된 보호막과 그 하부의 제 2 층간절연막을 식각하여, 하부의 드레인 전극의 일부를 노출하는 단계와;

상기 감광패턴을 건식식각(애싱)하여, 상기 스토리지 영역에 대응하는 낮은 부분의 감광패턴을 제거함으로써 하부의 보호막을 노출하는 단계와;

상기 노출된 보호막과 그 하부의 제 2 층간절연막의 일부를 제거하는 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

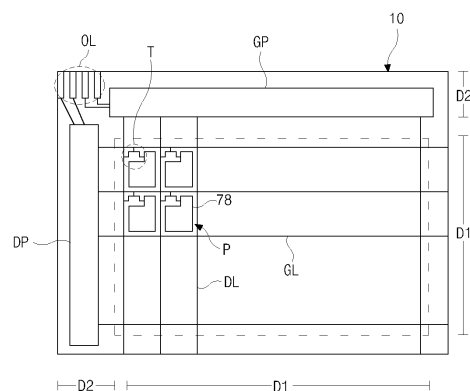
청구항 10.

제 6 항에 있어서,

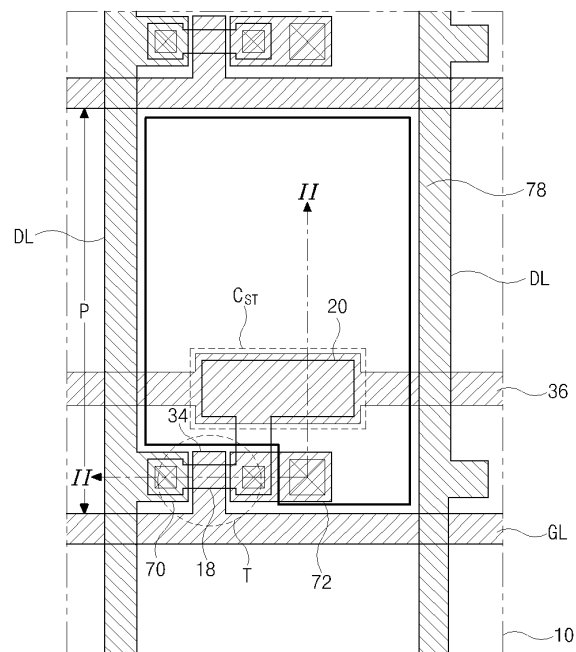
상기 제 2 층간 절연막을 형성한 후, 수소화 공정을 진행하여 상기 제 1 내지 제 3 액티브 패턴의 표면결함을 제거하는 단계를 더욱 포함하는 액정표시장치용 어레이기판 제조방법.

도면

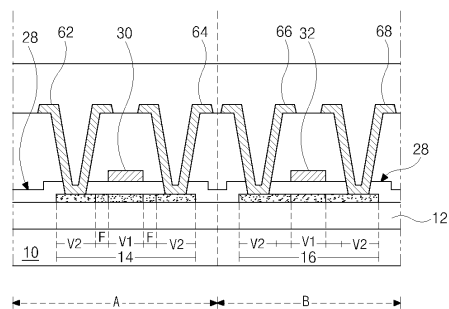
도면1



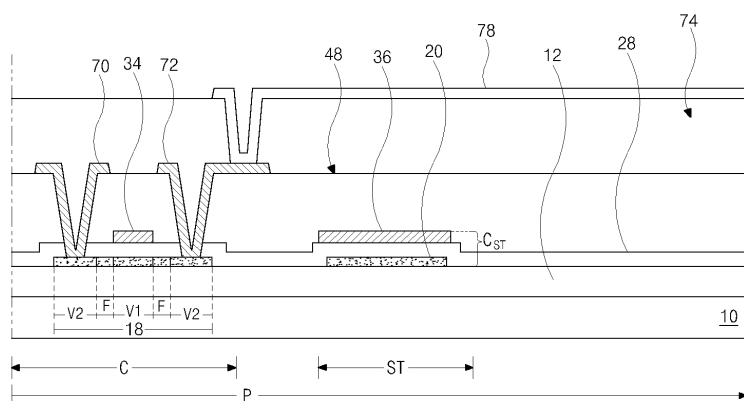
도면2



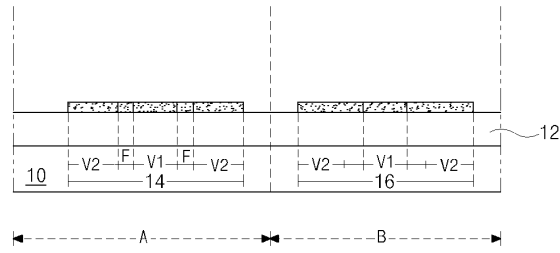
도면3a



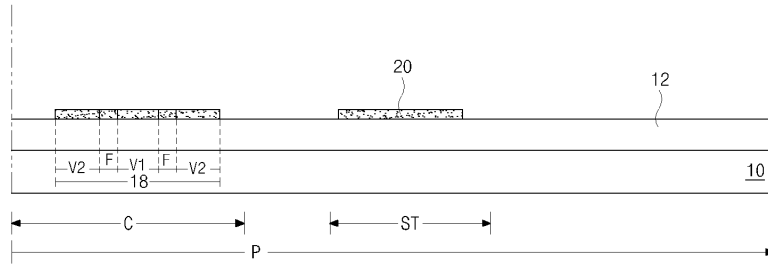
도면3b



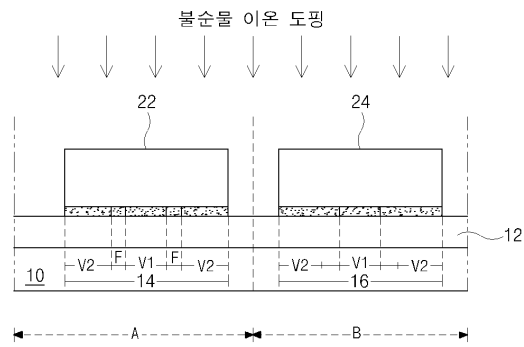
도면4a



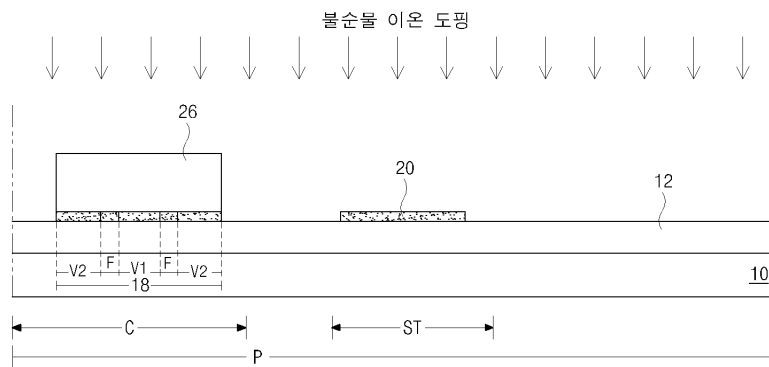
도면4b



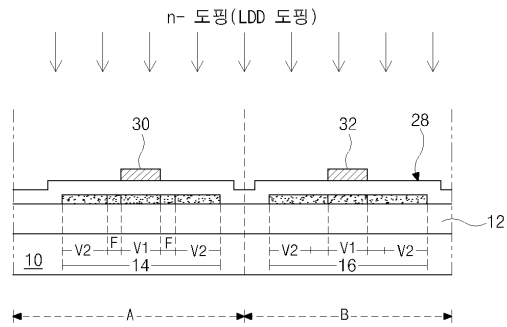
도면5a



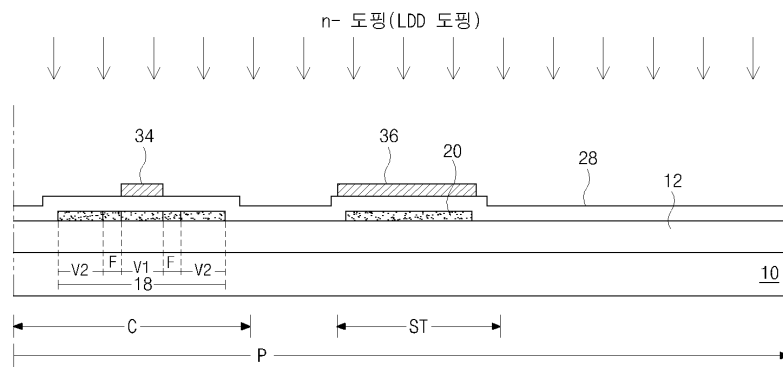
도면5b



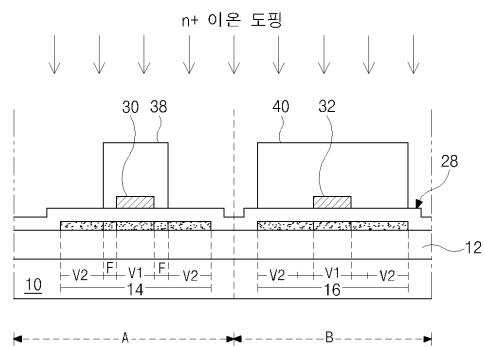
도면 6a



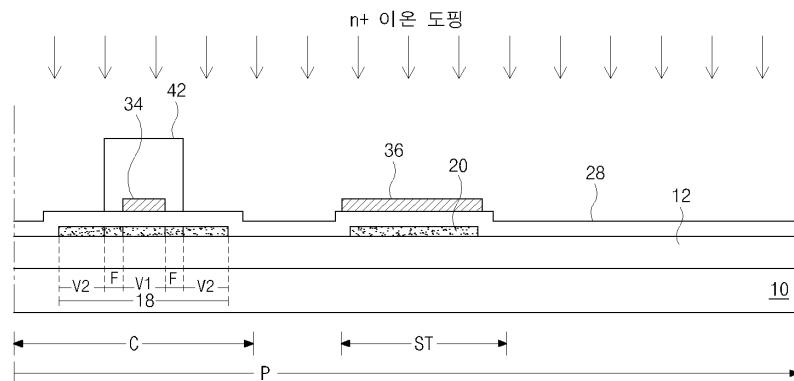
도면6b



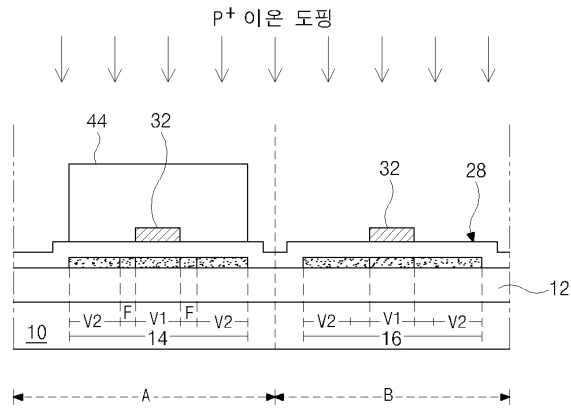
도면7a



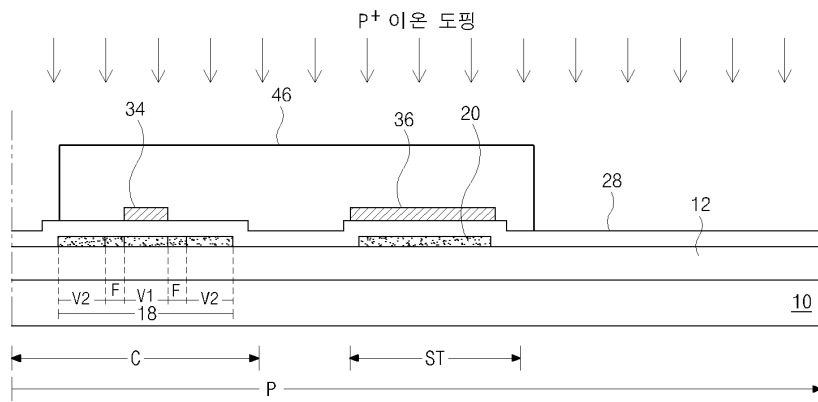
도면7b



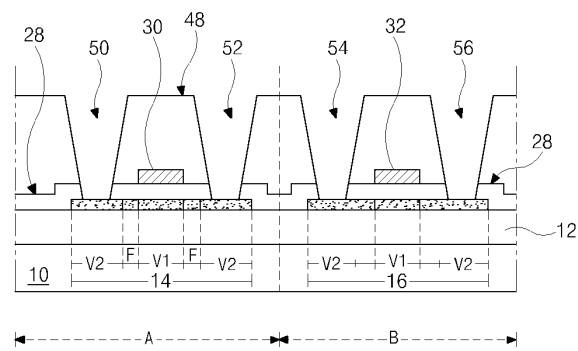
도면8a



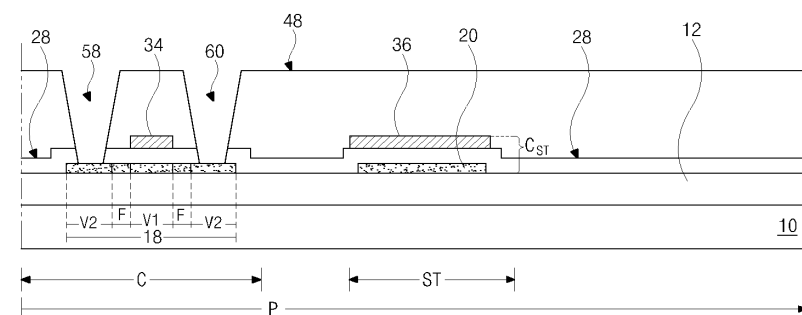
도면8b



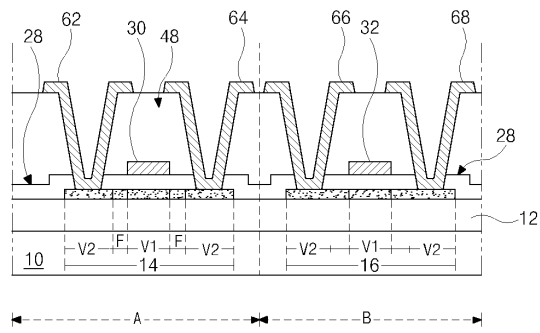
도면9a



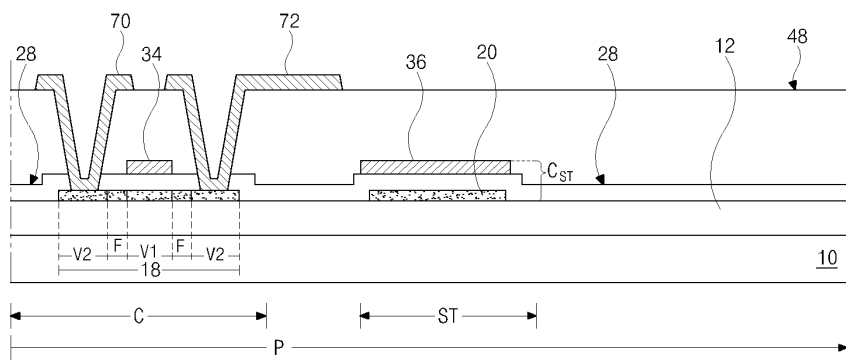
도면9b



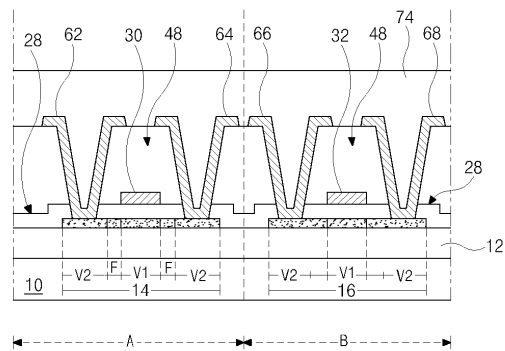
도면10a



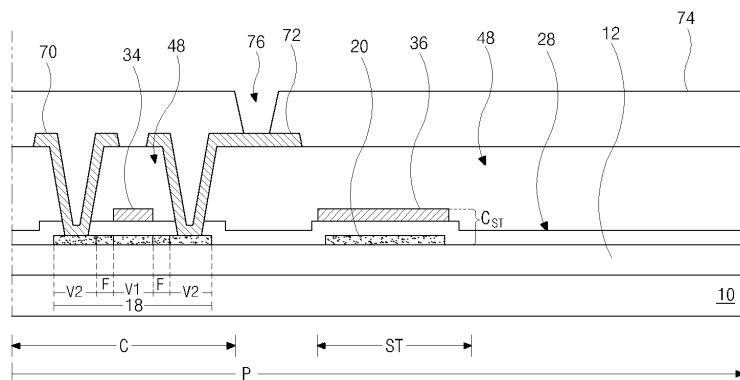
도면10b



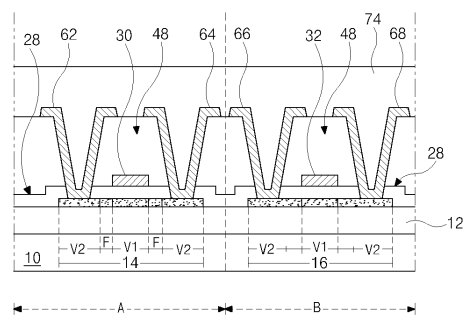
도면11a



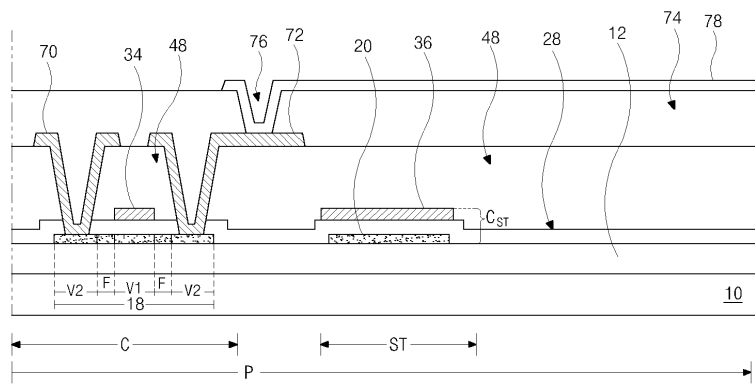
도면11b



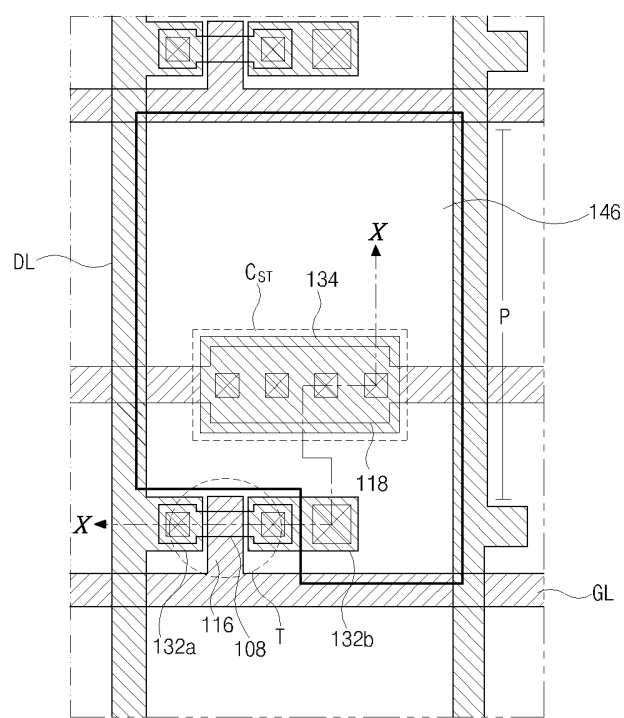
도면12a



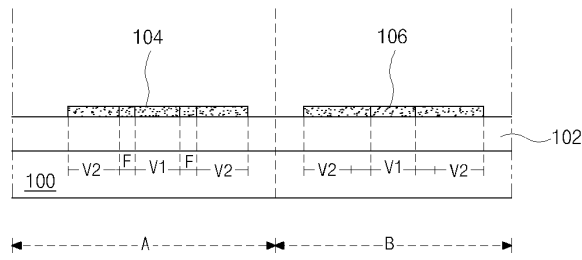
도면12b



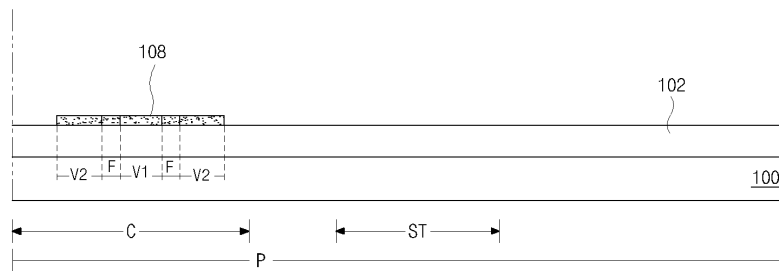
도면13



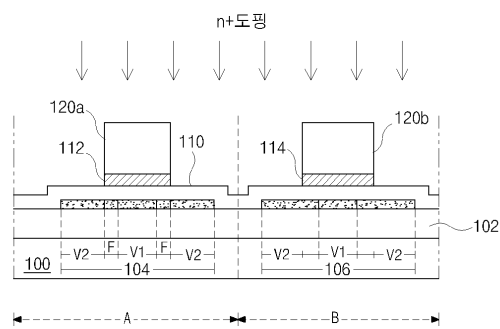
도면14a



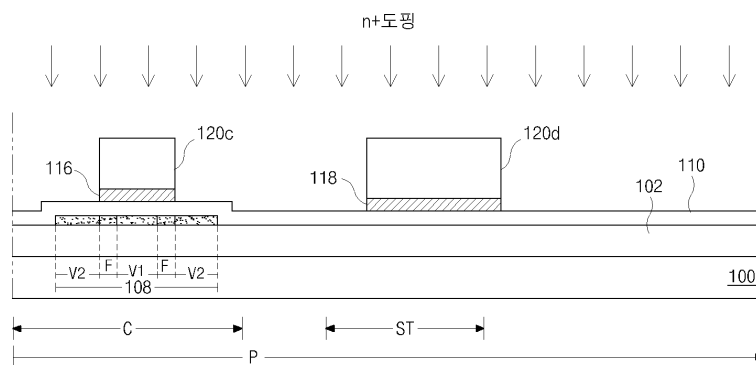
도면14b



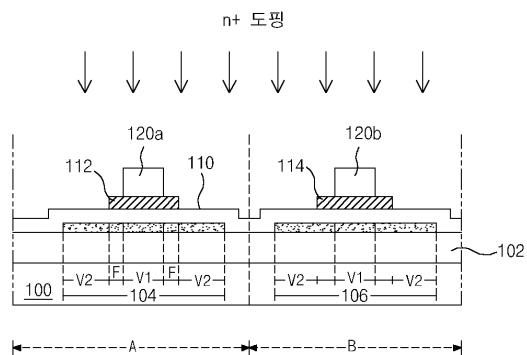
도면15a



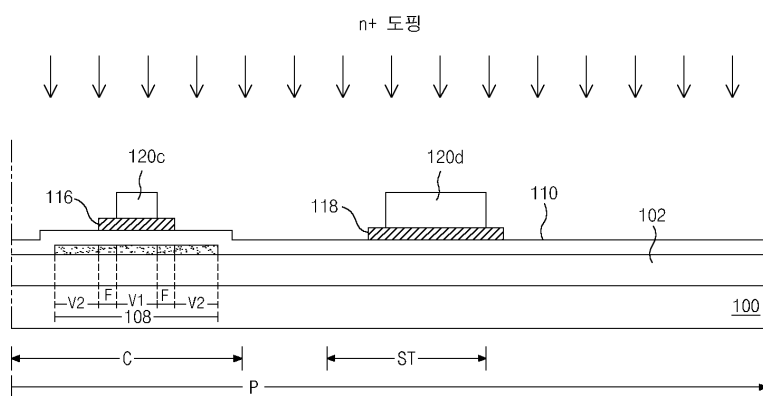
도면15b



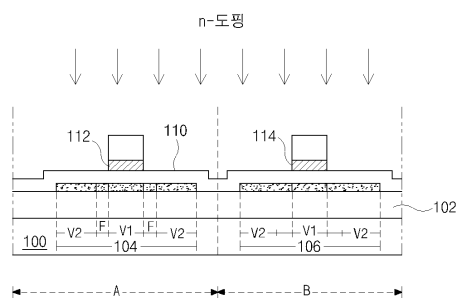
도면 16a



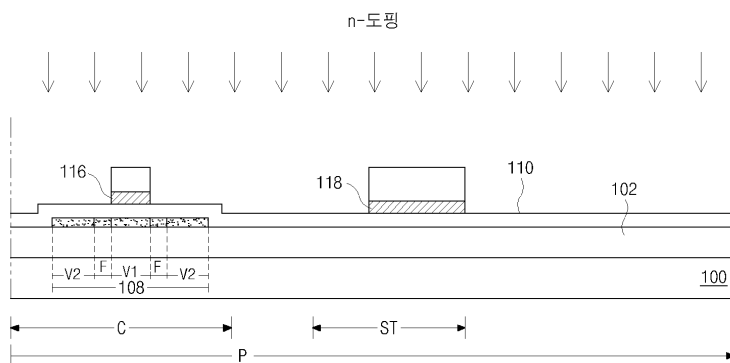
도면16b



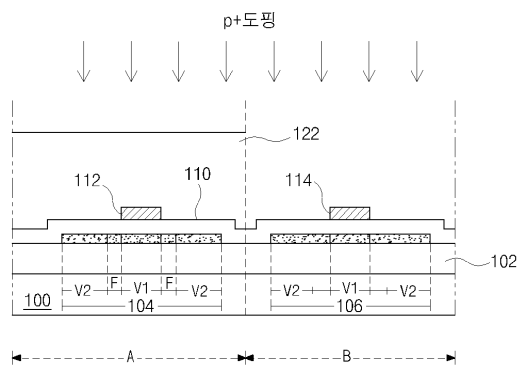
도면17a



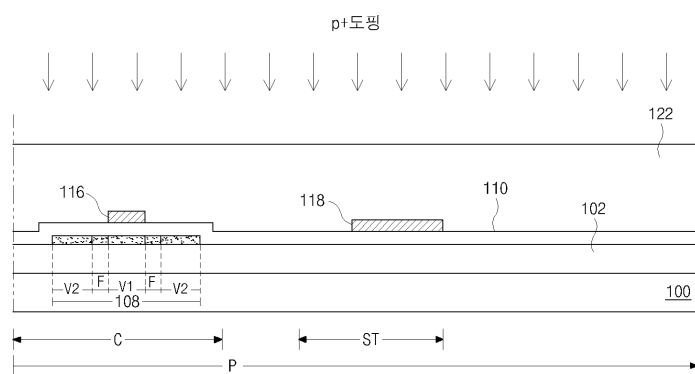
도면 17b



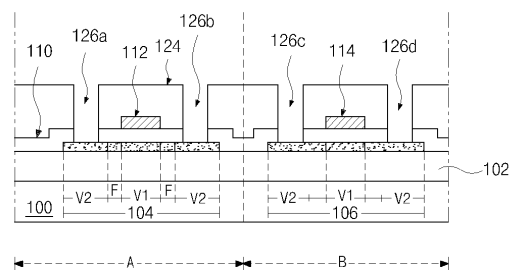
도면18a



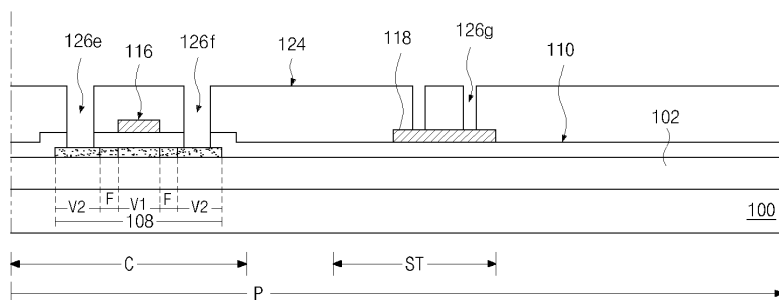
도면 18b



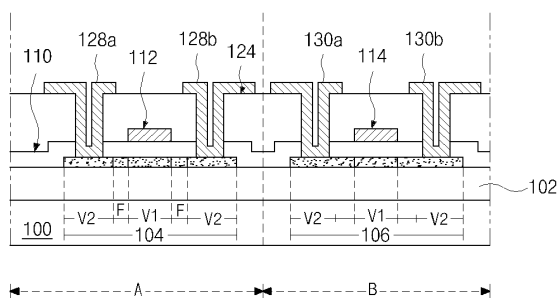
도면 19a



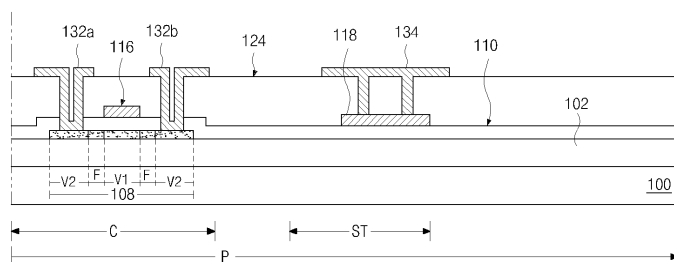
도면 19b



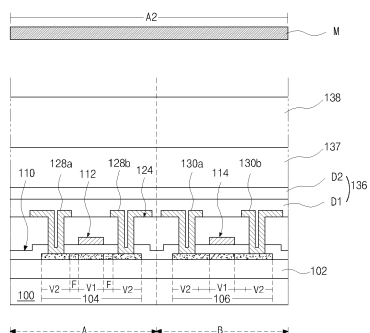
도면 20a



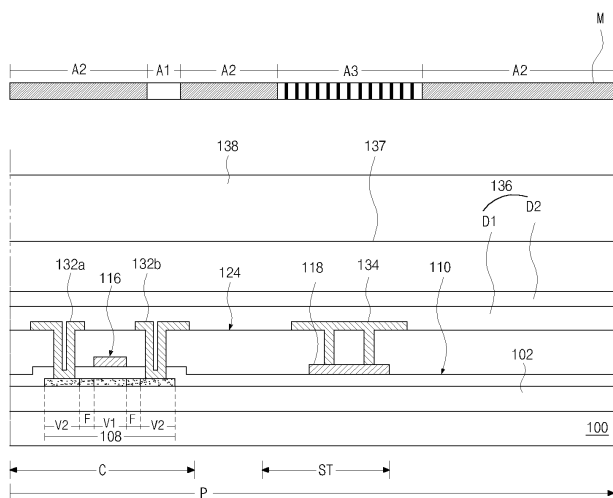
도면 20b



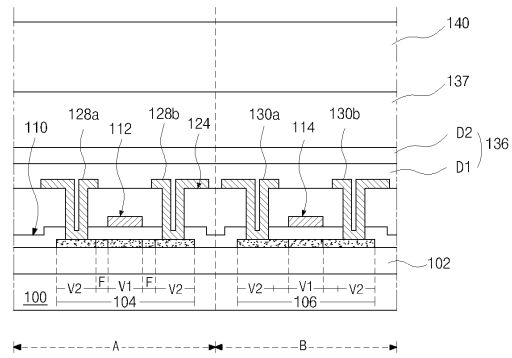
도면21a



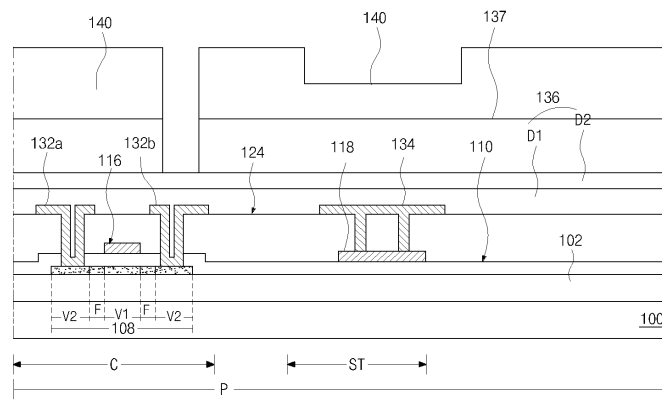
도면21b



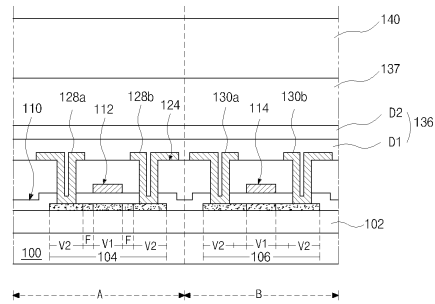
도면22a



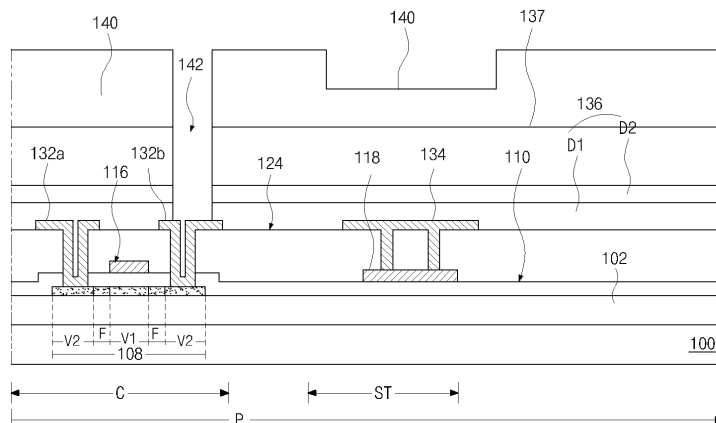
도면22b



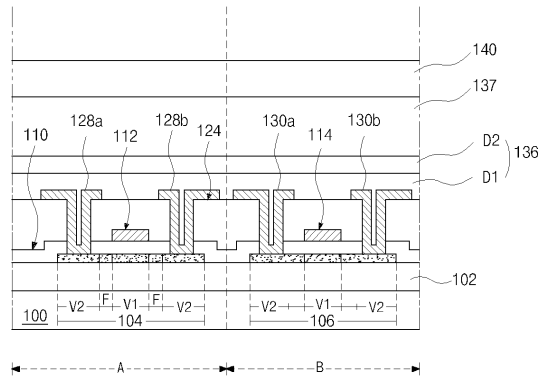
도면23a



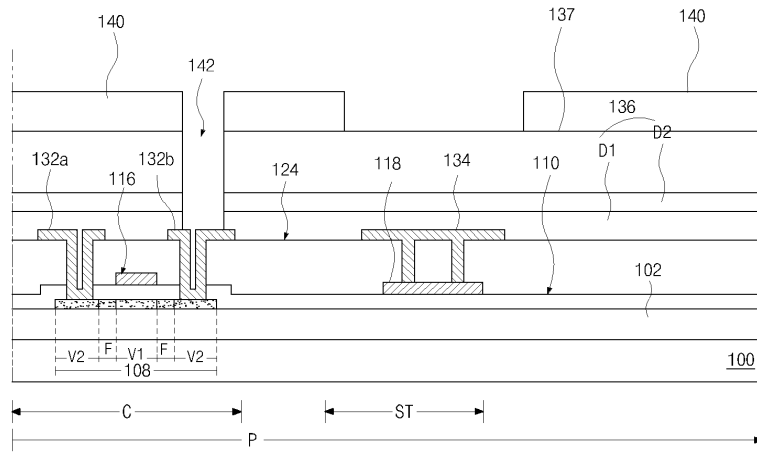
도면23b



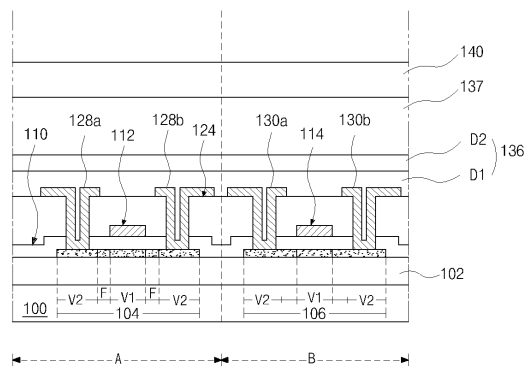
도면24a



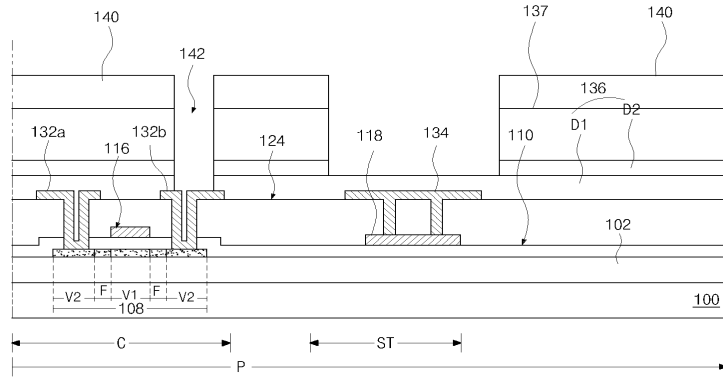
도면24b



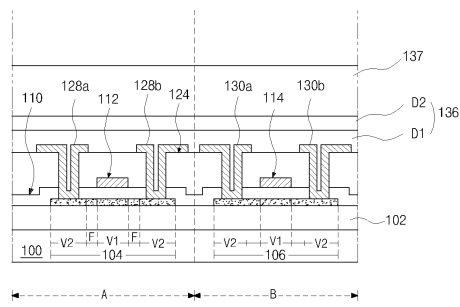
도면25a



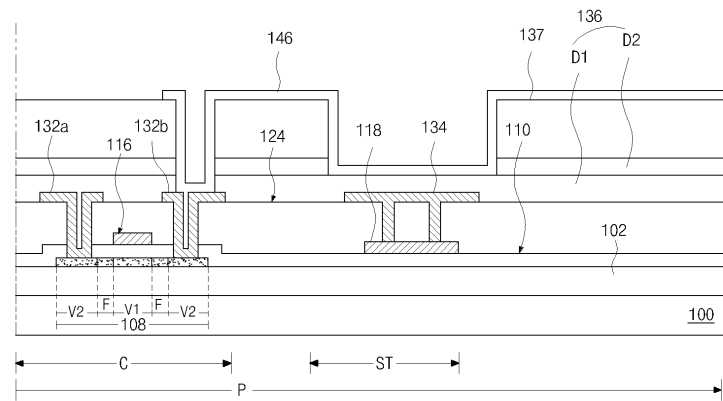
도면25b



도면26a



도면26b



专利名称(译)	用于液晶显示装置的阵列基板及其制造方法		
公开(公告)号	KR1020050121810A	公开(公告)日	2005-12-28
申请号	KR1020040046886	申请日	2004-06-23
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YANG JOONYOUNG		
发明人	YANG,JOONYOUNG		
IPC分类号	G02F1/136		
其他公开文献	KR101028995B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种用于使用多晶硅薄膜晶体管作为驱动元件和开关元件的驱动电路集成型液晶显示装置的阵列基板及其制造方法。本发明的特征在于，用于具有内置驱动电路的液晶显示装置的阵列基板可以通过7掩模工艺制造，该工艺是通过9掩模工艺制造的。此时，在形成存储电容器时，可以在形成栅电极的过程中形成存储布线，并且可以在形成源电极和漏电极的过程中形成存储电极以减少掩模。因此，具有可以缩短处理时间并且通过简化处理可以降低处理成本的优点。此外，通过简化处理，存在可以减少处理中发生故障的可能性的优点。 13

