

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G09G 3/36

(11) 공개번호 10-2005-0043273
(43) 공개일자 2005년05월11일

(21) 출원번호 10-2003-0078108
(22) 출원일자 2003년11월05일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416
(72) 발명자 강원식
서울특별시동작구신대방2동360-17번지신동아아파트1동812호
(74) 대리인 이영필
이혜영

심사청구 : 있음

(54) 메모리 갱신 동작 전류를 감소시킬 수 있는 타이밍컨트롤러, 이를 구비하는 LCD 드라이버 및 디스플레이데이터 출력방법

요약

타이밍 컨트롤러, 이를 구비하는 LCD 드라이버 및 디스플레이 데이터 출력방법이 개시된다. 상기 타이밍 컨트롤러는 수직 동기신호 및 데이터 인에이블 신호를 수신하고, 상기 수직동기신호 및 상기 데이터 인에이블 신호에 기초하여 상기 데이터 인에이블 신호의 한 주기보다 긴 주기를 갖는 내부 데이터 인에이블 신호를 발생하고, 상기 내부 데이터 인에이블 신호를 이용하여 메모리 갱신 동작을 수행한다. 상기 타이밍 컨트롤러를 구비하는 LCD 드라이버는 상기 내부 데이터 인에이블 신호를 이용하여 메모리 장치에 저장된 디스플레이 데이터를 출력하고, 데이터 라인 드라이빙 회로는 상기 출력된 디스플레이 데이터에 기초하여 데이터 라인을 구동한다. 상기 디스플레이 데이터 출력방법은 상기 LCD 드라이버에 의하여 구현된다.

대표도

도 3

색인어

LCD 드라이버, 소스 드라이버, 게이트 드라이버

명세서

도면의 간단한 설명

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.

도 1은 CPU 인터페이스를 사용하는 일반적인 LCD의 블락도를 나타낸다.

도 2는 본 발명에 따른 타이밍 컨트롤러를 구비하는 LCD의 블락도를 나타낸다.

도 3은 본 발명에 따른 타이밍 컨트롤러의 블락도를 나타낸다.

도 4는 도 3에 도시된 타이밍 컨트롤러의 동작 타이밍도를 나타낸다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 LCD 드라이버에 관한 것으로, 보다 상세하게는 비디오 인터페이스를 사용하면서 메모리 갱신을 효율적으로 제어하여 LCD에서 소비되는 전력을 감소시킬 수 있는 장치 및 방법에 관한 것이다.

일반적으로 휴대용 전화기와 PDA 등과 같은 전자기기에 사용되는 액정 패널에는 패시브 매트릭스 방식의 액정 패널(passive matrix type liquid crystal panel)과 박막 트랜지스터(thin film transistor; TFT)와 같은 스위칭 소자를 사용하는 액티브 매트릭스 방식의 액정 패널(active matrix type liquid crystal panel)이 사용된다.

패시브 매트릭스 방식의 액정 패널이 소비하는 전력은 액티브 매트릭스 방식의 액정 패널이 소비하는 전력에 비하여 작다는 장점이 있다. 즉 패시브 매트릭스 방식은 액티브 매트릭스 방식에 하여 저소비전력화(lowering of power consumption)가 용이하다는 장점이 있다. 그러나 패시브 매트릭스 방식은 액티브 매트릭스 방식에 하여 다-색화(multi-colorization) 및 동영상 표시(moving picture display)가 어렵다는 단점이 있다.

한편, 액티브 매트릭스 방식은 다-색화 및 동영상 표시에 적합한 반면 저소비전력화가 어렵다는 단점이 있다.

최근, 휴대용 전화기와 PDA 등과 같은 휴대형 전자기기에서 고품질 영상을 제공하기 위하여 다-색화 및 동영상 표시가 강하게 요구되고 있다. 이와 더불어 상기 휴대용 전자기기를 한번 충전하여 오랜 시간동안 사용하고자 하는 소비자의 요구도 증가하고 있다. 따라서 다-색화, 동영상 표시 및 소비 전력의 문제를 해결하고자 하는 연구가 필요하다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명이 이루고자 하는 기술적인 과제는 LCD에서 소비되는 전력을 감소시킬 수 있는 장치 및 방법을 제공하는 것이다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 스캔 라인 드라이빙 회로와 데이터 라인 드라이빙 회로의 동작 타이밍을 각각 제어하는 LCD 드라이버의 타이밍 컨트롤러는 수직동기신호에 클락되어 상기 수직동기신호의 펄스(또는 상승에지)의 개수를 계수하고, 그 계수 결과로서 n비트 계수신호를 출력하는 n-비트 카운터; 상기 n비트 계수신호를 수신하고, 수신된 n비트 계수신호와 소정의 n비트 기준 신호를 비교하고, 그 비교결과를 출력하는 판별회로; 상기 판별회로의 출력신호와 데이터 인에이블 신호를 논리곱하는 제1NAND 게이트; 상기 제1NAND 게이트의 출력신호와 클락신호를 논리곱하는 제2NAND 게이트; 및 상기 제1NAND 게이트의 출력신호에 응답하여 제1디스플레이 데이터를 수신하고, 저장하는 위한 메모리 장치를 구비한다.

제4항에 있어서, 상기 타이밍 컨트롤러는 상기 제1NAND 게이트의 출력신호와 제2디스플레이 데이터를 논리곱하고 그 결과로서 상기 제1디스플레이 데이터를 출력하는 제3NAND 게이트를 더 구비한다.

상기 기술적 과제를 달성하기 위한 데이터 라인들과 스캔 라인들을 구비하는 LCD 패널을 구동하는 LCD 드라이버는 메모리 장치를 구비하는 타이밍 컨트롤러; 상기 메모리 장치에 저장된 디스플레이 데이터에 기초하여 상기 LCD 패널의 데이터 라인들을 구동하는 데이터 라인 드라이빙 회로; 및 상기 스캔 라인들을 순차적으로 구동하는 스캔 라인 드라이빙 회로를 구비하며, 상기 타이밍 컨트롤러는 입력 디스플레이 데이터, 및 수직동기신호와 데이터 인에이블 신호를 포함하는 제어신호들에 기초하여 상기 데이터 라인 드라이빙 회로와 스캔 라인 드라이빙 회로의 동작 타이밍을 제어하고, 상기 제어신호들에 기초하여 내부 데이터 인에이블 신호를 발생하고, 상기 메모리 장치는 상기 데이터 인에이블 신호의 한 주기의 정수배의 주기를 갖는 상기 내부 데이터 인에이블 신호에 기초하여 상기 입력 디스플레이 데이터를 수신하고 저장한다.

상기 메모리 장치는 상기 내부 데이터 인에이블 신호가 활성화되는 구간에서만 상기 입력 디스플레이 데이터를 수신하고 저장한다.

상기 타이밍 컨트롤러는 상기 수직동기신호에 클락되어 상기 수직동기신호의 펄스의 개수를 계수하고, 그 계수 결과로서 n비트 계수신호를 출력하는 n-비트 카운터; 상기 n비트 계수신호를 수신하고, 수신된 n비트 계수신호와 소정의 n비트 기준 신호를 비교하고, 그 비교결과를 출력하는 판별회로; 상기 판별회로의 출력신호와 상기 데이터 인에이블 신호를 논리곱하는 제1NAND 게이트; 상기 제1NAND 게이트의 출력신호와 클락신호를 논리곱하는 제2NAND 게이트; 및 상기 제1NAND 게이트의 출력신호와 상기 입력 디스플레이 데이터를 논리곱하는 제3NAND 게이트를 구비하고, 상기 메모리 장치는 상기 제1NAND 게이트의 출력신호에 응답하여 상기 제3NAND 게이트의 출력신호를 수신하고 저장한다.

상기 기술적 과제를 달성하기 위한 데이터 라인들과 스캔 라인들을 구비하는 LCD 패널을 구동하는 LCD 드라이버는 메모리 장치를 구비하는 타이밍 컨트롤러; 상기 메모리 장치에 저장된 디스플레이 데이터에 기초하여 상기 LCD 패널의 데이터 라인들을 구동하는 데이터 라인 드라이빙 회로; 및 상기 스캔 라인들을 순차적으로 구동하는 스캔 라인 드라이빙 회로를 구비하며, 상기 타이밍 컨트롤러는 입력 디스플레이 데이터, 및 수직동기신호와 데이터 인에이블 신호를 포함하는 제어신호들에 기초하여 상기 데이터 라인 드라이빙 회로와 스캔 라인 드라이빙 회로의 동작 타이밍을 제어하고, 상기 제어신호들에 기초하여 내부 데이터 인에이블 신호를 발생하고, 상기 메모리 장치는 상기 데이터 인에이블 신호의 한 주기보다 긴 주기를 갖는 상기 내부 데이터 인에이블 신호에 기초하여 상기 입력 디스플레이 데이터를 수신하고 저장한다.

상기 기술적 과제를 달성하기 위한 데이터 라인들과 스캔 라인들을 구비하는 LCD 패널의 데이터 라인들을 구동하는 데이터 라인 드라이빙 회로로 메모리 장치에 저장된 디스플레이 데이터를 출력하는 방법은 수직동기신호와 데이터 인에이블 신호에 기초하여 상기 데이터 인에이블 신호의 한 주기의 정수배의 주기를 갖는 내부 데이터 인에이블 신호를 발생하는 단계; 상기 내부 데이터 인에이블 신호에 기초하여 디스플레이 데이터를 수신하고 저장하는 단계; 및 제어신호들에 응답하여 상기 메모리 장치에 저장된 디스플레이 데이터를 상기 데이터 라인 드라이빙 회로로 출력하는 단계를 구비한다.

상기 내부 데이터 인에이블 신호를 발생하는 단계는 상기 수직동기신호의 펄스의 개수를 계수하고, 그 계수결과를 출력하는 단계; 상기 계수 결과와 기준값을 비교하고, 그 비교결과를 출력하는 단계; 및 상기 비교결과와 상기 데이터 인에이블 신호에 기초하여 상기 내부 데이터 인에이블 신호를 발생하는 단계를 구비한다.

상기 디스플레이 데이터를 수신하고 저장하는 단계는 상기 내부 데이터 인에이블 신호와 클락신호를 논리조합하고 데이터 기입 인에이블 신호를 발생하는 단계; 상기 내부 데이터 인에이블 신호와 입력 디스플레이 데이터를 논리조합하여 상기 디스플레이 데이터를 생성하는 단계; 및 상기 메모리 장치가 상기 데이터 기입 인에이블 신호에 응답하여 생성된 디스플레이 데이터를 수신하고 저장하는 단계를 구비한다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 1은 CPU 인터페이스를 사용하는 일반적인 LCD의 블락도를 나타낸다. 도 1을 참조하면, LCD(100)는 LCD패널(110), LCD 드라이버(120), CPU(170) 및 다수개의 주변장치들(171과 173)을 구비한다. 주변장치(171)는 휴대용 전화기의 카메라 모듈이 될 수 있고, 주변장치(173)는 대용량 데이터를 저장하기 위한 메모리 장치일 수도 있다.

LCD 드라이버(120)는 타이밍 컨트롤러(130), 스캔 라인 드라이빙 회로(일반적으로 게이트 드라이버 블락(140)이라고도 한다.), 및 데이터 라인 드라이빙 회로(일반적으로 소스 드라이버 블락(150)이라고도 한다.)를 구비한다.

타이밍 컨트롤러(130)는 그래픽 램(graphic RAM; 131)을 구비하고, 스캔 라인 드라이빙 회로(140) 및 데이터 라인 드라이빙 회로(150)의 작동 타이밍을 각각 제어하기 위한 각 제어신호들을 출력한다.

그래픽 램(131)은 적어도 60프레임에 상응하는 디스플레이 데이터를 저장하고, 타이밍 컨트롤러(131)의 제어하에 디스플레이 데이터(또는 영상 데이터)를 데이터 라인 드라이빙 회로(150)로 출력한다.

스캔 라인 드라이빙 회로(40)는 다수개의 게이트 드라이버들(미도시)을 구비하고, 타이밍 컨트롤러(130)로부터 출력되는 제어신호들에 기초하여 LCD패널(110)의 스캔 라인들(G1 내지 GM)을 연속적으로 구동한다.

데이터 라인 드라이빙 회로(150)는 다수개의 소스 드라이버들(미 도시)을 구비하고, 그래픽 램(131)으로부터 출력되는 디스플레이 데이터 및 타이밍 컨트롤러(130)로부터 출력되는 제어신호들에 기초하여 LCD 패널(60)의 데이터 라인들(S1 내지 Sn)을 구동한다.

LCD 패널(110)은 스캔 라인 드라이빙 회로(40)로부터 출력되는 신호들과 데이터 라인 드라이빙 회로(150)로부터 출력되는 신호들에 기초하여 CPU(170)로부터 출력된 디스플레이 데이터를 디스플레이한다.

LCD 드라이버(120)의 타이밍 컨트롤러(130)는 CPU 인터페이스(160)를 통하여 CPU(170)로부터 출력되는 각종 디스플레이 데이터와 제어신호들을 직접 수신하고, 그래픽 램(131)에 저장된 디스플레이 데이터를 갱신한다.

LCD패널(110)에 정지 영상이 디스플레이되는 경우라도, CPU(170)는 초당 수십 프레임에 상응하는 디스플레이 데이터를 타이밍 컨트롤러(130)로 전송하고, 타이밍 컨트롤러(130)는 동일한 디스플레이 데이터를 그래픽 램(131)으로 출력하므로, 그래픽 램(131)은 초당 수십 프레임에 상응하는 디스플레이 데이터를 계속적으로 갱신(up-data)한다. 이러한 동작을 메모리 갱신동작이라 한다. 메모리 갱신 동작시에 소비되는 전류를 메모리 갱신 동작전류가 한다.

즉, 적은 소비전력을 요구하는 휴대용 전자기기에서 동일한 디스플레이 데이터를 갱신하기 위한 소비전력이 증가하는 문제점이 있다.

또한, LCD 드라이버(120)와 직접 통신하는 CPU(170)의 액세스 부담(access load)이 증가하므로, 상기 CPU(170)는 각 주변장치(171과 173)로부터 입력되는 다양한 그래픽들과 동영상들을 제대로 지원하지 못하는 문제점이 있다.

또한, CPU(170)의 크기 및 제조비용이 증가한다. 그리고 CPU(170)가 사용하는 시스템 클락신호의 주파수와 그래픽 램(131)이 사용하는 주파수가 다른 경우, LCD 패널(110)에서 디스플레이되는 동영상에 찢어지는 현상(tearing)이 발생하므로, LCD패널(110)에서 디스플레이되는 동영상 또는 정지영상의 화질이 나빠진다.

도 2는 본 발명에 따른 타이밍 컨트롤러를 구비하는 LCD의 블락도를 나타낸다.

도 2의 LCD는 도 1에 도시된 LCD(100)의 CPU(170)의 액세스 부담을 감소시키고, 다양한 그래픽들과 동영상을 지원하고, 디스플레이되는 동영상에 찢어지는 현상(tearing)으로 인한 화질을 개선하기 위하여 그래픽 프로세서(240)와 비디오 인터페이스(230)를 구비한다.

LCD(200)는 LCD패널(110), LCD 드라이버(210), 그래픽 프로세서(또는 그래픽 칩셋; 240), CPU(270), 비디오 인터페이스(230), CPU 인터페이스(260), 다수개의 주변장치들(215, 253)을 구비한다.

LCD 드라이버(210)와 그래픽 프로세서(240)는 비디오 인터페이스(230)를 통하여 데이터를 주고받고, 그래픽 프로세서(240)와 CPU(270)는 CPU 인터페이스(260)를 통하여 데이터를 주고받는다.

LCD 드라이버(210)는 메모리 장치(222)를 구비하는 타이밍 컨트롤러(220), 스캔라인 드라이빙 회로(140) 및 데이터 라인 드라이빙 회로(150)를 구비한다. 메모리 장치(222)는 그래픽 램으로 구현될 수 있다.

타이밍 컨트롤러(220)는 그래픽 프로세서(240)로부터 출력되고 비디오 인터페이스(230)를 통하여 입력되는 제어신호들에 기초하여 응답하여 내부 데이터 인에이블 신호를 발생한다.

데이터 라인 드라이빙 회로(150)는 타이밍 컨트롤러(220)로부터 출력되는 제어신호들에 응답하여 그래픽 램(222)에 저장된 디스플레이 데이터를 수신하고 이들을 LCD패널(110)로 출력한다.

그래픽 프로세서(240)는 CPU(170)와 각 주변장치(171과 173)로부터 출력되는 그래픽 데이터와 영상 데이터를 수신하고, 처리한다.

도 3은 본 발명에 따른 타이밍 컨트롤러의 블락도를 나타낸다.

도 3을 참조하면, 타이밍 컨트롤러(220)는 n-비트 카운터(221), 판별회로(223), 제1NAND 게이트(225), 제2NAND 게이트(227), 제3NAND 게이트(229) 및 메모리 장치(222)를 구비한다. 그래픽 프로세서(240)로부터 출력된 수직 동기신호(VSYNCH), 데이터 인에이블 신호(DE), 클럭신호(CLK) 및 디스플레이 데이터(DDATA)는 비디오 인터페이스(230)를 통하여 타이밍 컨트롤러(220)로 입력된다. 내부 데이터 인에이블 신호(IDE_j)는 수직 동기신호(VSYNCH), 데이터 인에이블 신호(DE) 및 클럭신호(CLK)의 조합에 의하여 발생된다.

도 4는 도 3에 도시된 타이밍 컨트롤러의 동작 타이밍도를 나타낸다. 도 3 및 도 4를 참조하여 메모리 갱신 동작이 상세히 설명된다.

n-비트 카운터(221)는 수직 동기신호(VSYNCH)의 상승에지에 클락되어(또는 동기되어) 상기 상승에지의 개수(또는 펄스의 개수)를 카운트하고, 그 결과로서 n 비트 계수신호(CNT[i])를 출력한다. n-비트 카운터(221)는 그래픽 프로세서(240)로부터 출력되는 리셋신호(RESET)에 응답하여 리셋된다.

우선, n-비트 카운터(221)가 1-비트 카운터로 동작하면, 1-비트 카운터(221)는 1비트(하이(1) 또는 로우(0))의 출력신호(CNT[1])를 판별회로(223)로 출력한다.

판별회로(223)는 1-비트 카운터(221)의 출력신호(CNT[i]; i=1)를 수신하고, 소정의 1-비트 기준신호와 1-비트 카운터(221)의 출력신호(CNT[1])를 비교하고, 그 비교결과를 출력한다. 예컨대 소정의 1-비트 기준신호가 1로 설정되고 1-비트 카운터(221)의 출력신호(CNT[1])가 1인 경우 그 비교결과는 1이다.

제1NAND 게이트(225)는 판별회로(223)의 출력신호(CNT[1])와 데이터 인에이블 신호(DE)를 수신하고, 이들을 논리곱하고, 그 결과로서 내부 데이터 인에이블 신호(IDE_j; j=1)를 출력한다. 따라서 제1NAND 게이트(225)의 출력신호(IDE₁)는 수직동기신호(VSYNCH)의 매 두 번째 펄스마다 활성화된다. 즉, 제1NAND 게이트(225)의 출력신호(IDE₁)는 1-비트 카운터(221)의 출력신호(CNT[1])가 1인 경우 활성화된다.

이때 내부 데이터 인에이블 신호(IDE₁)의 주기는 데이터 인에이블 신호(DE)의 주기보다 길다. 또는 내부 데이터 인에이블 신호(IDE₁)의 한 주기는 데이터 인에이블 신호(DE)의 한 주기의 정수배인 것이 바람직하다.

제2NAND 게이트(227)는 제1NAND 게이트(225)의 출력신호(IDE₁)와 클럭신호(CLK)를 수신하고, 이들을 논리곱하고, 그 결과로서 데이터 기입 인에이블 신호(WR_EN)를 발생한다. 따라서 내부 데이터 인에이블 신호(IDE₁)가 활성화된 구간에서 데이터 기입 인에이블 신호(WR_EN)는 클럭신호(CLK)와 같다.

제3NAND 게이트(229)는 디스플레이 데이터(DDATA)를 안정화시키기 위한 것으로, 제3NAND 게이트(229)는 제1NAND 게이트(225)의 출력신호(IDE₁)와 디스플레이 데이터(DDATA)를 수신하고, 이들을 논리곱하고, 그 결과(DDATA_k; k=1)를 메모리 장치(222)로 출력한다.

메모리 장치(222)는 제3NAND 게이트(229)의 출력신호(DDATA_k; k=1)를 수신하고, 데이터 기입 인에이블 신호(WR_EN)에 응답하여 수신된 데이터(DDATA_k; k=1)를 저장한다. 따라서 내부 데이터 인에이블 신호(IDE₁)가 활성화된 구간에서만 메모리 장치(222)에 저장된 기존의 디스플레이 데이터는 새로운 디스플레이 데이터로 갱신된다. 그리고 메모리 장치(222)는 그래픽 프로세서(240)로부터 출력되는 제어신호들에 응답하여 갱신된 디스플레이 데이터(DDATA₁)를 데이터 라인 드라이빙 회로(150)로 출력한다.

여기서 D00 내지 D05는 갱신된 디스플레이 데이터(DDATA₁)를 나타내고, B11 내지 B15구간은 데이터 인에이블 신호(DE)가 활성화되더라도 메모리 갱신 동작이 수행되지 않는 구간을 나타낸다.

따라서 본 발명에 따른 타이밍 컨트롤러(220)를 구비하는 LCD 드라이버(210)에서 소비되는 전류는 데이터 인에이블 신호(DE)가 활성화될 때마다 메모리 갱신 동작 전류를 소비하는 종래의 LCD 드라이버(100)에서 소비되는 전류보다 작다.

계속하여, n-비트 카운터(221)가 2-비트 카운터로 동작하면 2-비트 카운터 (221)는 2비트의 출력신호(CNT[i]; i=2)를 출력한다.

판별회로(223)는 2-비트 카운터(221)의 출력신호(CNT[2])를 수신하고, 소정의 2-비트 기준신호와 2-비트 카운터(221)의 출력신호(CNT[2])를 비교하고, 그 비교결과를 출력한다. 예컨대 소정의 2-비트 기준신호가 11로 설정되고 2-비트 카운터(221)의 출력신호(CNT[2])가 11인 경우 그 비교결과는 1이다.

제1NAND 게이트(225)는 데이터 인에이블 신호(DE)와 판별회로(223)의 출력신호(CNT[2])를 수신하고, 이들을 논리곱하고, 그 결과로서 내부 데이터 인에이블 신호(IDE_2)를 출력한다. 내부 데이터 인에이블 신호(IDE_2)의 한 주기는 데이터 인에이블 신호(DE)의 한 주기보다 길다.

따라서 제1NAND 게이트(225)의 출력신호(IDE_2)는 수직동기신호(VSYNCH)의 매 네 번째 펄스마다 활성화된다. 즉, 제1NAND 게이트(225)의 출력신호(IDE_2)는 2-비트 카운터(221)의 출력신호(CNT[2])가 11인 경우 활성화된다.

이때 내부 데이터 인에이블 신호(IDE_2)의 한 주기는 데이터 인에이블 신호(DE)의 한 주기의 4배이다.

제2NAND 게이트(227)는 제1NAND 게이트(225)의 출력신호(IDE_2)와 클락신호 (CLK)를 수신하고, 이들을 논리곱하고, 그 결과로서 데이터 기입 인에이블 신호(WR_EN)를 발생한다.

제3NAND 게이트(229)는 제1NAND 게이트(225)의 출력신호(IDE_2)와 디스플레이 데이터(DDATA)를 수신하고, 이들을 논리곱하고, 그 결과(DDATA_2)를 메모리 장치(222)로 출력한다.

메모리 장치(222)는 제3NAND 게이트(229)의 출력신호(DDATA_2)를 수신하고, 데이터 기입 인에이블 신호(WR_EN)에 응답하여 수신된 데이터(DDATA_2)를 저장한다. 따라서 내부 데이터 인에이블 신호(IDE_2)가 활성화되는 구간마다 메모리 장치 (222)에서 메모리 갱신 동작이 수행된다. 그리고 메모리 장치(222)는 그래픽 프로세서(240)로부터 출력되는 제어 신호들에 응답하여 갱신된 디스플레이 데이터 (DDATA_2)를 데이터 라인 드라이빙 회로(150)로 출력한다.

여기서 D10 내지 D13은 갱신된 디스플레이 데이터(DDATA_2)를 나타내고, B21 내지 B23구간은 데이터 인에이블 신호 (DE)가 활성화되는 구간에서도 메모리 갱신 동작이 수행되지 않는 구간을 나타낸다.

따라서 내부 데이터 인에이블 신호(IDE_2)가 활성화되는 구간마다 메모리 갱신 동작을 수행하는 LCD 드라이버에서 소비되는 전류는 데이터 인에이블 신호(DE)가 활성화되는 구간마다 메모리 갱신 동작을 수행하는 LCD 드라이버에서 소비되는 전류보다 상당히 감소한다.

본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상술한 바와 같이 본 발명에 따른 타이밍 컨트롤러, 이를 구비하는 LCD 드라이버 및 디스플레이 데이터 출력방법은 비디오 인터페이스를 사용하면서도 메모리 갱신 동작 전류를 상당히 감소시킬 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

스캔 라인 드라이빙 회로와 데이터 라인 드라이빙 회로의 동작 타이밍을 각각 제어하는 LCD 드라이버의 타이밍 컨트롤러에 있어서,

수직동기신호에 클락되어 상기 수직동기신호의 펄스의 개수를 계수하고, 그 계수 결과로서 n비트 계수신호를 출력하는 n-비트 카운터;

상기 n비트 계수신호를 수신하고, 수신된 n비트 계수신호와 소정의 n비트 기준 신호를 비교하고, 그 비교결과를 출력하는 판별회로;

상기 판별회로의 출력신호와 데이터 인에이블 신호를 논리곱하는 제1NAND 게이트;

상기 제1NAND 게이트의 출력신호와 클락신호를 논리곱하는 제2NAND 게이트; 및

상기 제1NAND 게이트의 출력신호에 응답하여 제1디스플레이 데이터를 수신하고, 저장하는 위한 메모리 장치를 구비하는 것을 특징으로 하는 타이밍 컨트롤러.

청구항 2.

제1항에 있어서, 상기 타이밍 컨트롤러는 상기 제1NAND 게이트의 출력신호와 제2디스플레이 데이터를 논리곱하고 그 결과로서 상기 제1디스플레이 데이터를 출력하는 제3NAND 게이트를 더 구비하는 것을 특징으로 하는 타이밍 컨트롤러.

청구항 3.

제2항에 있어서, 상기 타이밍 컨트롤러는 그래픽 프로세서로부터 출력된 상기 수직동기신호, 상기 데이터 인에이블 신호, 상기 클락신호 및 상기 제2디스플레이 데이터를 비디오 인터페이스를 통하여 수신하는 것을 특징으로 하는 타이밍 컨트롤러.

청구항 4.

스캔 라인 드라이빙 회로와 데이터 라인 드라이빙 회로의 동작 타이밍을 각각 제어하는 LCD 드라이버의 타이밍 컨트롤러에 있어서,

수직동기신호에 클락되어 상기 수직동기신호의 상승에지의 개수를 계수하고, 그 계수 결과를 출력하는 카운터;

상기 카운터의 출력신호를 수신하고, 상기 카운터의 출력신호와 소정의 기준신호를 비교하고, 그 비교결과를 출력하는 판별회로;

상기 판별회로의 출력신호와 데이터 인에이블 신호를 논리곱하는 제1NAND 게이트;

상기 제1NAND 게이트의 출력신호와 클락신호를 논리곱하는 제2NAND 게이트; 및

상기 제1NAND 게이트의 출력신호에 응답하여 제1디스플레이 데이터를 수신하고, 저장하는 메모리 장치를 구비하는 것을 특징으로 하는 타이밍 컨트롤러.

청구항 5.

제4항에 있어서, 상기 타이밍 컨트롤러는 상기 제1NAND 게이트의 출력신호와 제2디스플레이 데이터를 논리곱하고 그 결과로서 상기 제1디스플레이 데이터를 출력하는 제3NAND 게이트를 더 구비하는 것을 특징으로 하는 타이밍 컨트롤러.

청구항 6.

데이터 라인들과 스캔 라인들을 구비하는 LCD 패널을 구동하는 LCD 드라이버에 있어서,

메모리 장치를 구비하는 타이밍 컨트롤러;

상기 메모리 장치에 저장된 디스플레이 데이터에 기초하여 상기 LCD 패널의 데이터 라인들을 구동하는 데이터 라인 드라이빙 회로; 및

상기 스캔 라인들을 순차적으로 구동하는 스캔 라인 드라이빙 회로를 구비하며,

상기 타이밍 컨트롤러는 입력 디스플레이 데이터, 및 수직동기신호와 데이터 인에이블 신호를 포함하는 제어신호들에 기초하여 상기 데이터 라인 드라이빙 회로와 상기 스캔 라인 드라이빙 회로의 동작 타이밍을 제어하고, 상기 제어신호들에 기초하여 내부 데이터 인에이블 신호를 발생하고,

상기 메모리 장치는 상기 데이터 인에이블 신호의 한 주기의 정수배의 주기를 갖는 상기 내부 데이터 인에이블 신호에 기초하여 상기 입력 디스플레이 데이터를 수신하고 저장하는 것을 특징으로 하는 LCD 드라이버.

청구항 7.

제6항에 있어서,

상기 메모리 장치는 상기 내부 데이터 인에이블 신호가 활성화되는 구간에서만 상기 입력 디스플레이 데이터를 수신하고 저장하는 것을 특징으로 하는 LCD 드라이버.

청구항 8.

제6항에 있어서, 상기 타이밍 컨트롤러는,

상기 수직동기신호에 클락되어 상기 수직동기신호의 펄스의 개수를 계수하고, 그 계수 결과로서 n비트 계수신호를 출력하는 n-비트 카운터;

상기 n비트 계수신호를 수신하고, 수신된 n비트 계수신호와 소정의 n비트 기준 신호를 비교하고, 그 비교결과를 출력하는 판별회로;

상기 판별회로의 출력신호와 상기 데이터 인에이블 신호를 논리곱하는 제1NAND 게이트;

상기 제1NAND 게이트의 출력신호와 클락신호를 논리곱하는 제2NAND 게이트; 및

상기 제1NAND 게이트의 출력신호와 상기 입력 디스플레이 데이터를 논리곱하는 제3NAND 게이트를 구비하고,

상기 메모리 장치는 상기 제1NAND 게이트의 출력신호에 응답하여 상기 제3NAND게이트의 출력신호를 수신하고 저장하는 것을 특징으로 하는 LCD 드라이버.

청구항 9.

제6항에 있어서, 그래픽 프로세서로부터 출력된 상기 입력 디스플레이 데이터 및 상기 제어신호들은 비디오 인터페이스를 통하여 상기 타이밍 컨트롤러로 입력되는 것을 특징으로 하는 LCD 드라이버.

청구항 10.

데이터 라인들과 스캔 라인들을 구비하는 LCD 패널을 구동하는 LCD 드라이버에 있어서,

메모리 장치를 구비하는 타이밍 컨트롤러;

상기 메모리 장치에 저장된 디스플레이 데이터에 기초하여 상기 LCD 패널의 데이터 라인들을 구동하는 데이터 라인 드라이빙 회로; 및

상기 스캔 라인들을 순차적으로 구동하는 스캔 라인 드라이빙 회로를 구비하며,

상기 타이밍 컨트롤러는 입력 디스플레이 데이터, 및 수직동기신호와 데이터 인에이블 신호를 포함하는 제어신호들에 기초하여 상기 데이터 라인 드라이빙 회로와 상기 스캔 라인 드라이빙 회로의 동작 타이밍을 제어하고, 상기 제어신호들에 기초하여 내부 데이터 인에이블 신호를 발생하고,

상기 메모리 장치는 상기 데이터 인에이블 신호의 한 주기보다 긴 주기를 갖는 상기 내부 데이터 인에이블 신호에 기초하여 상기 입력 디스플레이 데이터를 수신하고 저장하는 것을 특징으로 하는 LCD 드라이버.

청구항 11.

제10항에 있어서,

상기 메모리 장치는 상기 내부 데이터 인에이블 신호가 활성화되는 구간에서만 상기 입력 디스플레이 데이터를 수신하고 저장하는 것을 특징으로 하는 LCD 드라이버.

청구항 12.

데이터 라인들과 스캔 라인들을 구비하는 LCD 패널의 데이터 라인들을 구동하는 데이터 라인 드라이빙 회로로 메모리 장치에 저장된 디스플레이 데이터를 출력하는 방법에 있어서,

수직동기신호와 데이터 인에이블 신호에 기초하여 상기 데이터 인에이블 신호의 한 주기의 정수배의 주기를 갖는 내부 데이터 인에이블 신호를 발생하는 단계;

상기 내부 데이터 인에이블 신호에 기초하여 디스플레이 데이터를 수신하고 저장하는 단계; 및

제어신호들에 응답하여 상기 메모리 장치에 저장된 디스플레이 데이터를 상기 데이터 라인 드라이빙 회로로 출력하는 단계를 구비하는 것을 특징으로 하는 디스플레이 데이터 출력방법.

청구항 13.

제12항에 있어서, 상기 내부 데이터 인에이블 신호를 발생하는 단계는,

상기 수직동기신호의 펄스의 개수를 계수하고, 그 계수결과를 출력하는 단계;

상기 계수 결과와 기준값을 비교하고, 그 비교결과를 출력하는 단계; 및

상기 비교결과와 상기 데이터 인에이블 신호에 기초하여 상기 내부 데이터 인에이블 신호를 발생하는 단계를 구비하는 것을 특징으로 하는 디스플레이 데이터 출력방법.

청구항 14.

제12항에 있어서, 상기 디스플레이 데이터를 수신하고 저장하는 단계는,

상기 내부 데이터 인에이블 신호와 클락신호를 논리조합하고 데이터 기입 인에이블 신호를 발생하는 단계;

상기 내부 데이터 인에이블 신호와 입력 디스플레이 데이터를 논리조합하여 상기 디스플레이 데이터를 생성하는 단계; 및

상기 메모리 장치가 상기 데이터 기입 인에이블 신호에 응답하여 생성된 디스플레이 데이터를 수신하고 저장하는 단계를 구비하는 것을 특징으로 하는 디스플레이 데이터 출력방법.

청구항 15.

데이터 라인들과 스캔 라인들을 구비하는 LCD 패널의 데이터 라인들을 구동하는 데이터 라인 드라이빙 회로로 메모리 장치에 저장된 디스플레이 데이터를 출력하는 방법에 있어서,

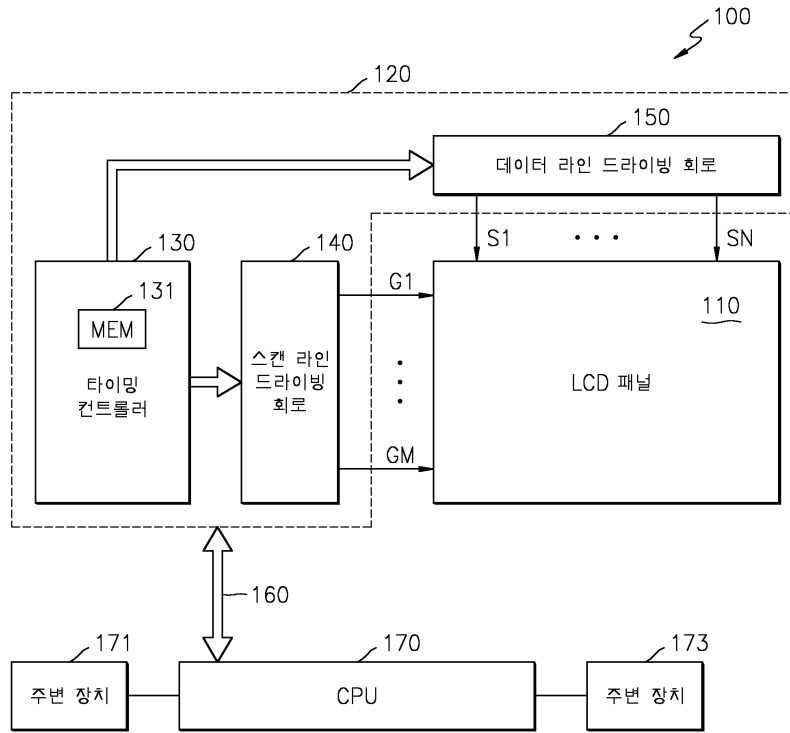
수직동기신호와 데이터 인에이블 신호에 기초하여 상기 데이터 인에이블 신호의 한 주기보다 긴 주기를 갖는 내부 데이터 인에이블 신호를 발생하는 단계;

상기 내부 데이터 인에이블 신호에 응답하여 디스플레이 데이터를 수신하고 저장하는 단계; 및

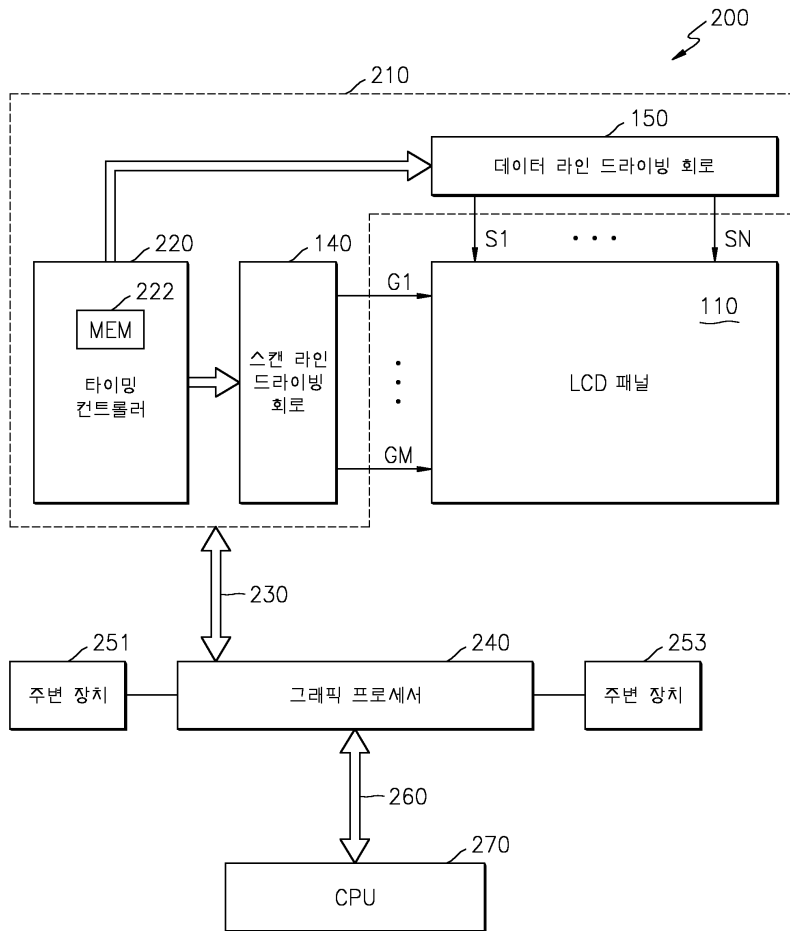
제어신호들에 응답하여 상기 메모리 장치에 저장된 디스플레이 데이터를 상기 데이터 라인 드라이빙 회로로 출력하는 단계를 구비하는 것을 특징으로 하는 디스플레이 데이터 출력방법.

도면

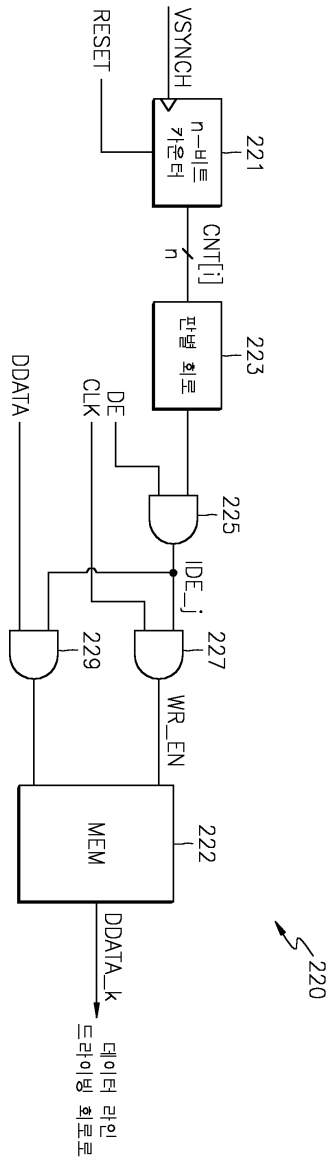
도면1



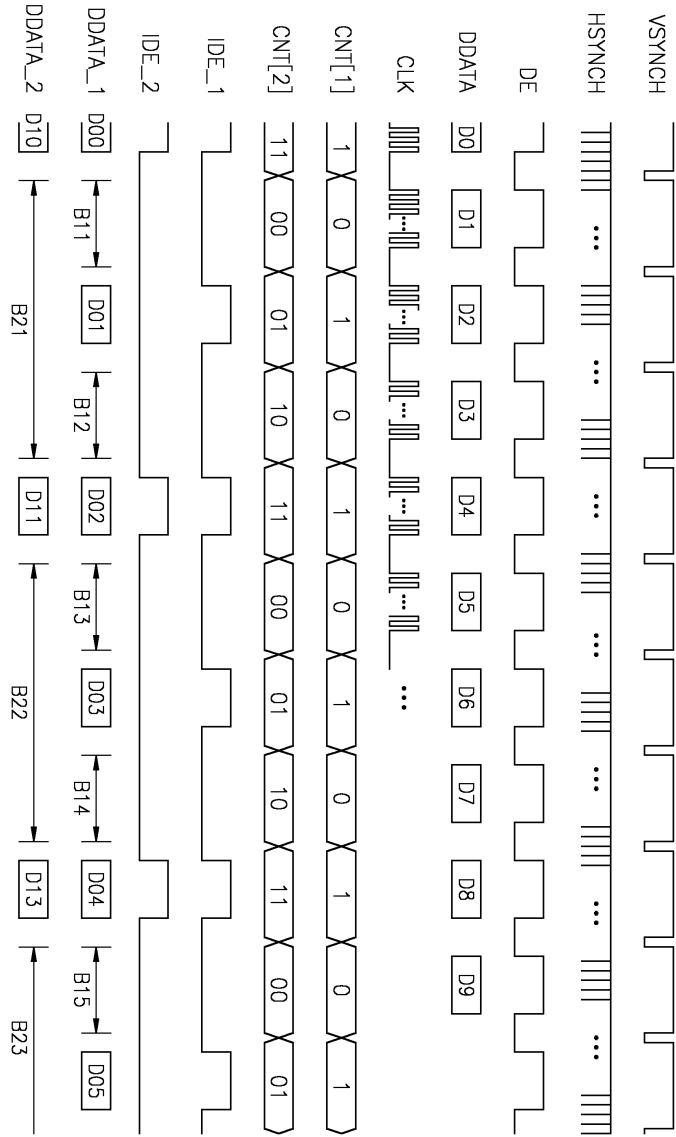
도면2



도면3



도면4



专利名称(译)	一种能够减少存储器更新操作电流的定时控制器，具有该定时控制器的LCD驱动器，		
公开(公告)号	KR1020050043273A	公开(公告)日	2005-05-11
申请号	KR1020030078108	申请日	2003-11-05
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KANG WONSIK		
发明人	KANG,WONSIK		
IPC分类号	G09G3/36 G09G5/00 G09G3/20 G02F1/133		
CPC分类号	G09G3/3674 G09G2330/021 G09G3/3685		
代理人(译)	李，杨HAE		
其他公开文献	KR100585105B1		
外部链接	Espacenet		

摘要(译)

公开了一种定时控制器，具有该定时控制器的LCD驱动器和显示数据输出方法。定时控制器接收垂直同步信号和数据使能信号，基于垂直同步信号和数据使能信号产生具有比数据使能信号的一个周期长的周期的内部数据使能信号，并使用内部数据使能信号执行存储器更新操作。具有定时控制器的LCD驱动器使用内部数据使能信号输出存储在存储器器件中的显示数据，数据线驱动电路基于输出显示数据驱动数据线。显示数据输出方法由LCD驱动器实现。3 指数方面 LCD驱动器。源驱动器，门驱动器

