

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G02F 1/136

(11) 공개번호 특2003-0062163
(43) 공개일자 2003년07월23일

(21) 출원번호 10-2002-0002604
(22) 출원일자 2002년01월16일

(71) 출원인 일진다이아몬드(주)
충북 음성군 대소면 오류리 614-2

(72) 발명자 배병성
경기도수원시장안구송죽동선경아파트101-203호

(74) 대리인 임평섭

심사청구 : 있음

(54) 개구율이 증대된 액정 표시 장치

요약

개구율이 증대된 액정 표시 장치를 개시한다. 개시된 본 발명의 액정 표시 장치는 투명 기판과, 상기 투명 기판상에 다수개 일정 간격을 두고 평행하게 배열되며 일정 선폭을 갖는 게이트 버스 라인과, 상기 게이트 버스 라인과 전기적으로 절연되면서 게이트 버스 라인과 교차되도록 배열되어 매트릭스 형태의 단위 픽셀을 한정하는 데이터 버스 라인과, 상기 게이트 버스 라인과 데이터 버스 라인의 교차점 부근에 형성되어, 게이트 버스 라인 선택시 스위칭되는 박막 트랜지스터와, 상기 단위 픽셀 공간에 배치되며, 상기 박막 트랜지스터와 전기적으로 연결되는 화소 전극, 및 상기 게이트 버스 라인 및 상기 데이터 버스 라인과 오버랩되는 보조 용량 캐패시터를 포함한다.

대표도

도 9

색인어

개구율, 보조 용량 캐패시터

명세서

도면의 간단한 설명

도 1은 일반적인 액정 표시 장치의 평면도이다.

도 2는 본 발명의 실시예 1에 따른 액정 표시 장치의 평면도이다.

도 3은 도 2의 3-3'선을 따라 절단하여 나타낸 단면도이다.

도 4는 도 2의 4-4'선을 따라 절단하여 나타낸 단면도이다.

도 5, 도 6a, 도 6b 및 도 7은 본 발명의 실시예 1의 변형예를 보여주는 단면도들이다.

도 8은 본 발명의 실시예 1에 따른 변형예를 보여주는 평면도이다.

도 9는 본 발명의 실시예 2에 따른 액정 표시 장치의 평면도이다.

도 10은 도 9의 10-10'선을 따라 절단하여 나타낸 단면도이다.

도 11은 도 9의 11-11'선을 따라 절단하여 나타낸 단면도이다.

도 12는 본 발명의 실시예 3에 따른 액정 표시 장치의 평면도이다.

도 13은 도 12의 13-13'선을 따라 절단하여 나타낸 단면도이다.

도 14는 도 12의 14-14'선을 따라 절단하여 나타낸 단면도이다.

도 15는 본 발명의 실시예 3의 변형예를 나타낸 단면도이다.

(도면의 주요 부분에 대한 부호의 설명)

125,225,335 - 게이트 버스 라인 135,235,345 - 데이터 버스 라인

145,245,315 - 보조 용량 전극 155,255,305 - 공통 전극 배선

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로, 보다 구체적으로는 개구율을 증대시킬 수 있는 액정 표시 장치에 관한 것이다.

반도체 기술의 급속한 진보에 따라 전자 기기의 소형 및 경량화의 특징들을 갖는 새로운 환경에 적합한 전자 디스플레이 장치, 즉, 얇고 가벼우면서도 낮은 구동 전압 및 낮은 소비 전력의 특징을 갖춘 평판 패널(flat panel)형 디스플레이 장치에 대한 요구가 급격히 증대하고 있다.

현재 개발된 여러 가지 평판 디스플레이 장치 중에서 액정 표시 장치는 다른 디스플레이 장치에 비해 얇고 가벼우며, 낮은 소비 전력 및 낮은 구동 전압을 갖추고 있을 뿐만 아니라, 음극선관에 가까운 화상 표시가 가능하기 때문에 다양한 전자 장치에 광범위하게 사용되고 있다.

이러한 액정 표시 장치는 전극이 형성되어 있는 두 장의 기판과 그 사이에 개재되어 있는 액정층으로 이루어지며, 전극에 전압을 인가하여 상기 액정층의 액정 분자들을 재배열시켜 투과되는 빛의 양을 조절하여 디스플레이 장치이다.

액정 표시 장치 중에서도 현재 주로 사용되는 것은 두 장의 기판에 각각 전극이 형성되어 있고 각 전극에 인가되는 전압을 스위칭하는 박막 트랜지스터를 구비하는 장치이며, 상기 박막 트랜지스터는 두 장의 기판 중 하나에 형성되는 것이 일반적이다.

해상도가 증가함에 따라 액정표시장치의 화소의 수가 증대되어, 다음 프레임의 신호가 인가될 때까지 액정의 배열을 유지시키는 특성이 매우 중요하다. 즉, 일반적으로, 액정 표시 소자의 게이트 버스 라인의 비선택 기간시, 일정 기간(1 프레임)동안 액정 분자들이 전계의 영향을 받도록 하여야 하는데, 현재에는 각 픽셀별로 보조 용량 캐패시터를 형성하여, 다음 신호가 인가될때까지 액정을 배열시키고 있다.

도 1은 일반적인 보조 용량 캐패시터를 구비한 액정 표시 장치의 평면도로서, 도 1을 참조하여, 종래의 액정 표시 장치에 대하여 설명하도록 한다.

도 1을 참조하면, 투명 기판(10) 상부에 게이트 버스 라인(12)과 데이터 버스 라인(14)이 매트릭스(matrix) 형태로 배치되어, 이들 한 쌍의 게이트 버스 라인(12)과 데이터 버스 라인(14)에 의하여 단위 화소(P)가 한정된다.

게이트 버스 라인(12)과 데이터 버스 라인(14)으로 둘러싸여진 단위 화소(P) 영역에 투명 화소 전극(15)이 배치된다.

게이트 버스 라인(12)과 데이터 버스 라인(14)의 교차점 부근에는 스위칭 소자로서 박막 트랜지스터(TFT)가 배치된다. 여기서, 박막 트랜지스터(TFT)는 게이트 버스 라인(12)으로부터 돌출되어진 게이트 전극(16)과 데이터 버스 라인(14)과 콘택되는 소오스 전극(17, 혹은 드레인 전극) 및 화소 전극(15)과 전기적으로 콘택되는 드레인 전극(18, 혹은 소오스 전극)을 포함한다.

이러한 박막 트랜지스터(TFT)는 게이트 버스 라인(12)에 선택 신호가 인가될 때, 데이터 버스 라인(14)의 신호가 화소 전극(15)에 전달되도록 스위칭 역할을 한다.

또한, 화소영역(P)에 게이트 버스 라인(12)과 평행하도록 공통 전극 배선(20)이 횡단하도록 배열되고, 보조 용량 전극(22)은 공통 전극 배선(20)과 오버랩되도록 배열된다. 이때, 공통 전극 배선(20)과 보조 용량 전극(22)은 유전체막을 사이에 두고 적층되어, 보조 용량 캐패시터를 형성한다.

여기서, 보조 용량 캐패시터는 화소 전극에 인가되는 전압을 일정 기간동안 유지시켜주는 역할을 하므로, 보조 용량 캐패시터의 용량이 클수록, 화소 전극은 보다 오랜 시간 동안 전압을 유지할 수 있다.

이처럼, 종래에는 도 1에서와 같이, 공통 전극 배선(20) 및 보조 용량 전극(22)이 화소영역(P)내에서 일정 면적을 점유하도록, 박막 트랜지스터(TFT) 주변의 화소(P) 영역에 형성된다.

이러한 보조 용량 전극(22)은 박막 트랜지스터(TFT)의 드레인 전극과 전기적으로 콘택되고, 공통 전극 배선(20)에는 일정 전압이 지속적으로 공급된다. 아울러, 공통 전극 배선(20)과 보조 용량 전극(22)은 투명 기판(10)과 화소 전극(15) 사이에 개재될 수 있다.

그러나, 상술한 종래의 액정 표시 장치는 다음과 같은 문제점을 갖는다.

보조 용량을 증대시키기 위하여, 공통 전극 배선(20)과 보조 용량 전극(22)이 단위 화소영역(P)의 일정 면적을 점유하도록 형성되어 있다. 그러나, 불투명 도 전 물질로 구성된 공통 전극 배선(20) 및 보조 용량 전극(22)이 단위 화소영역(P)의 일정 부분을 차폐하게 됨에 따라, 개구율(Aperture ratio) - 단위 화소영역의 면적에 대한 실제 빛의 투과 면적비 -가 크게 저하된다. 이처럼, 개구율이 저하되면, 액정 표시 장치의 화면이 어두워지게 되어, 화질 특성이 불량해진다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 한 가지 목적은 개구율을 증대시킬 수 있는 액정 표시 장치를 제공하는 것이다.

또한, 본 발명의 다른 목적은 보조 용량을 증대시키면서도 개구율을 증대시킬 수 있는 액정 표시 장치를 제공하는 것이다.

발명의 구성 및 작용

본 발명의 다른 목적 및 장점들은 본 명세서의 기재 및 첨부 도면에 의하여 명료해질 것이다.

상기한 목적을 달성하기 위하여, 본 발명의 일 측면에 따르는 액정표시장치가 제공된다. 이 액정 표시 장치는, 투명 기판과, 상기 투명 기판상에 다수개 일정 간격을 두고 평행하게 배열되며 일정 선폴을 갖는 게이트 버스 라인, 상기 게이트 버스 라인과 전기적으로 절연되면서 게이트 버스 라인에 교차되도록 배열되어 매트릭스 형태의 단위 화소영역을 한정하는 데이터 버스 라인, 상기 게이트 버스 라인과 데이터 버스 라인의 교차점 부근에 형성되어, 게이트 버스 라인 선택시 스위칭되는 박막 트랜지스터, 상기 단위 화소영역에 배치되며, 상기 박막 트랜지스터와 전기적으로 연결되는 화소 전극, 및 상기 게이트 버스 라인에 오버랩되는 보조 용량 캐패시터를 포함한다.

본 발명의 다른 측면에 따르는 액정표시장치는, 투명 기판과, 상기 투명 기판상에 다수개 일정 간격을 두고 평행하게 배열되며 일정 선폴을 갖는 게이트 버스 라인, 상기 게이트 버스 라인에 전기적으로 절연되면서 게이트 버스 라인에 교차되도록 배열되어 매트릭스 형태의 단위 화소영역을 한정하는 데이터 버스 라인, 상기 게이트 버스 라인에 데이

터 버스 라인의 교차점 부근에 형성되어, 게이트 버스 라인 선택시 스위칭되는 박막 트랜지스터와, 상기 단위 화소영역에 배치되며, 상기 박막 트랜지스터와 전기적으로 연결되는 화소 전극, 및 상기 게이트 버스 라인 및 상기 데이터 버스 라인과 오버랩되는 보조 용량 캐패시터를 포함한다.

또한, 본 발명의 또 다른 측면에 따르는 액정 표시 장치는, 투명 기판과, 상기 투명 기판상에 다수개 일정 간격을 두고 평행하게 배열되며 일정 선폭을 갖는 게이트 버스 라인과, 상기 게이트 버스 라인과 전기적으로 절연되면서 게이트 버스 라인과 교차되도록 배열되어 매트릭스 형태의 단위 화소영역을 한정하는 데이터 버스 라인과, 상기 게이트 버스 라인과 데이터 버스 라인의 교차점 부근에 형성되어, 게이트 버스 라인 선택시 스위칭되는 박막 트랜지스터와, 상기 단위 화소영역에 배치되며, 상기 박막 트랜지스터와 전기적으로 연결되는 화소 전극, 및 상기 게이트 버스 라인 및 상기 데이터 버스 라인 중 적어도 하나의 라인과 오버랩되는 적어도 하나 이상이 전기적으로 연결된 보조 용량 캐패시터를 포함한다.

본 발명에 의하면, 보조 용량 캐패시터를 구성하는 보조 용량 전극 및 공통 전극 배선을 게이트 버스 라인 혹은 데이터 버스 라인과 오버랩되도록 형성된다. 이에 따라, 불투명 물질로 이루어져 개구율을 잠식하였던 보조 용량 전극 및 공통 전극 배선이 단위 화소영역의 외곽에 배치되고, 그 결과, 개구율이 크게 개선된다. 따라서, 액정 표시 장치의 화질 특성이 향상된다.

이하, 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 설명하도록 한다.

(실시예 1)

도 2는 본 발명의 실시예 1에 따른 액정 표시 장치의 평면도이다.

도 2를 참조하면, 석영기판과 같은 투명 기판 위에 게이트 라인(125)이 배치되어 있다. 게이트 라인(125)과 전기적으로 절연되면서 게이트 라인(125)과 직교하도록 데이터 라인(135)이 배치되어 매트릭스 형태의 단위 화소를 정의한다.

게이트 라인(125)과 데이터 라인(135)의 교차점 부근에 박막 트랜지스터(TFT)가 배치되어 게이트 라인(125)에 선택 전압 인가시 데이터 라인(135)을 통하여 입력되는 신호를 스위칭한다.

게이트 라인(125)과 한 쌍의 데이터 라인(135)에 의하여 정의된 단위 화소 영역에 박막 트랜지스터와 전기적으로 연결되는 화소 전극(165)이 배치되어 있다.

게이트 라인(125) 상부에, 게이트 라인과 오버랩되는 제1 보조용량전극(145a)과 박막 트랜지스터와 부분적으로 오버랩되는 제2 보조용량전극(145b)을 포함하는 보조용량전극(145)이 배치되어 있다.

도 3은 도 2의 3-3'선을 따라 절단하여 나타낸 단면도이고, 도 4는 도 2의 4-4'선을 따라 절단하여 나타낸 단면도이다.

도 2 내지 도 4에 도시되지는 않았지만, 투명 기판 상부에 광 차단 패턴이 배치될 수 있다. 여기서, 광 차단 패턴은 스테거 타입(staggered type)의 박막 트랜지스터를 구현하는 경우, 하부에 입사되는 빛으로 부터의 채널의 열화 또는 광누설을 방지하기 위하여 형성된다.

이러한 광 차단 패턴은 선택적으로 형성될 수 있다. 광 차단 패턴을 형성할 경우, 단위 화소영역을 한정하도록 매트릭스 형태로 형성하되, 약 2000 Å 정도 두께의 불투명 도전층, 예를 들어, 텅스텐 실리사이드막 또는 불순물이 도핑된 실리콘막으로 형성될 수 있다.

도 2, 3, 4를 참조하면, 투명 기판(100) 상부에 후속으로 형성될 활성층(active layer)과의 절연을 제공하기 위하여, LPCVD(low pressure chemical vapor deposition) 또는 PECVD(plasma enhanced chemical vapor deposition) 방식으로 제1 절연층(110)이 증착된다.

제1 절연층(110) 상부에 활성층(115)이 형성된다. 활성층(115)은 그의 표면으로부터 소정 깊이에 형성되고, 서로 소정 간격 이격된 제1, 제2 불순물 영역, 즉, 소오스 영역과 드레인 영역을 포함한다. 활성층(115)은, 이후 형성될 박막 트랜지스터 영역에 배치된다.

또한, 활성층(115)은, 예를 들어, 폴리실리콘막으로 형성될 수 있다. 폴리실리콘막이 활성층(115)으로 이용되는 경우, 일단 비정질 상태로 실리콘막을 형성한 다음, 600°C 이상에서 고상 결정화 공정을 수행하는 것에 의하여 폴리실리콘막을 형성한다.

활성층(115) 표면 상에 게이트 산화막(120)이 형성된다. 게이트 산화막(120)은 활성층(115) 표면을 열산화시켜서 형성되거나, 또는 산화막의 증착에 의하여 약 600 내지 1000 Å 두께로 형성될 수 있다.

다음으로, 제1 절연층(110)과 게이트 산화막(120)을 포함하는 결과적인 구조 위에 다수개의 게이트 버스 라인(125)이 형성된다. 게이트 버스 라인(125)은, 예를 들어, 투명 기판(100)의 횡방향으로 일정한 간격을 갖고서 다수개가 배열된다. 설명의 편의를 위하여, 도 2의 평면도에는 하나의 게이트 버스 라인(125)만이 도시되어 있다.

각각의 게이트 버스 라인(125)은 활성층(115)와 오버랩되는 돌출된 게이트 전극(125a)을 포함한다.

게이트 버스 라인(125)이 형성된 투명 기판(100) 상부에 활성층(115)의 소오스 및 드레인 영역을 노출시키는 콘택홀(H1)을 갖는 제2 절연층(130)이 약 3000 내지 8000 Å의 두께로 형성된다. 제2 절연층(130)은 게이트 버스 라인(125)과 이후 형성될 데이터 버스 라인간의 절연을 제공한다.

한편, 상기한 소오스, 드레인 영역을 형성하기 위하여, 활성층(115)의 양측에 불순물들이 주입될 수 있으며, 이렇게 주입된 불순물은 약 850°C 정도의 온도에서 열처리 공정에 의하여 활성화된다. 여기서, 불순물을 도핑하는 공정은 게이트 버스 라인(125)을 형성한 후에 진행될 수 있고, 활성화 공정은 불순물 도핑 직후 또는 제2 절연층(130)을 증착한 후 수행될 수 있다.

다음으로, 콘택홀(H1)을 포함하는 제2 절연층(13) 위에 게이트 버스 라인(125)과 교차되도록 데이터 버스 라인(135)이 형성된다. 게이트 버스 라인(125)과 마찬가지로, 데이터 버스 라인(135) 역시 일정 간격을 가지고 다수개가 배열된다. 이러한 데이터 버스 라인(135)의 형성으로, 투명 기판(100) 상부에 게이트 버스 라인(125)과 데이터 버스 라인(135)으로 한정되는 다수개의 단위 화소영역(P)이 한정된다.

데이터 버스 라인(135)은 활성층(120)의 소오스 영역과 콘택되는 소오스 전극, 소오스 전극과 소정 간격 이격되고, 제2 절연층(130)의 콘택홀(H1)을 통하여 활성층(120)의 드레인 영역과 콘택되는 드레인 전극(136)을 포함한다.

도 2에서, 도면 부호 C1은 데이터 버스 라인(135)과 소오스 영역의 콘택부를 나타내고, C2는 드레인 전극(136)과 드레인 영역의 콘택부를 나타낸다. 이렇게 데이터 버스 라인(135) 및 드레인 전극(136)의 형성으로 박막 트랜지스터가 한정된다.

박막 트랜지스터가 형성된 투명 기판(100) 결과물 상부에 제 3 절연층(140)이 형성된다.

제 3 절연층(140) 상부에 게이트 버스 라인(125)과 오버랩되도록 각각의 단위 화소(P)별로 보조 용량 전극(145)이 배치된다. 본 실시예의 보조 용량 전극(145)은 게이트 버스 라인(115)과 오버랩되는 제1 부분(145a)과, 제1 부분(145a)으로부터 연장, 돌출되며 드레인 전극(136)과 콘택되는 제2 부분(145b)을 포함한다.

도 2에서 참조부호 C3은 보조 용량 전극(145b)과 드레인 전극(136)의 콘택부를 나타낸다.

선택적으로, 보조 용량 전극(145)의 제1 부분(145a)의 선포는 게이트 버스 라인(125)의 선포보다 좁다.

보조 용량 전극(145) 상부에는 유전체막(150)이 소정 두께로 형성된다. 유전체막(150)은 고용량을 확보하도록 박막으로 구현됨이 바람직하다.

도 2와 도 4를 참조하면, 유전체막(150) 상부에 공통 전극 배선(155)이 보조 용량 전극(145)과 오버랩되도록 배치된다. 구체적으로, 공통 전극 배선(155)은 보조 용량 전극(145)의 제1 부분(145a)과 오버랩되도록 게이트 버스 라인(125) 상부에 형성된다.

여기서, 공통 전극 배선(155)의 선포는 보조 용량 전극(145)의 제1 부분(145a)의 선포보다 크고, 게이트 버스 라인(125)의 선포보다 작다.

상기한 공정에 의하여, 보조 용량 전극(145), 유전체막(150) 및 공통 전극 배선(155)으로 구성되는 보조 용량 캐패시터(Cst)가 완성된다. 여기서, 공통 전극 배선(155)은 모든 단위 화소(P)에 대하여 일체로 되어 있으며, 본 실시예와 같이, 게이트 전극(125a) 및 활성층(115) 영역을 덮도록 소정 부분이 돌출될 수도 있고, 또는 게이트 버스 라인(125)과 평행하게 직선의 형태로도 형성될 수 있다.

다음으로 도 2와 도 3을 참조하면, 보조 용량 캐패시터(Cst)가 형성된 투명 기판(100) 상부에 제 4 절연층(160)이 형성된다. 여기서, 제 4 절연층(160)은 보조 용량 전극(145)의 소정 부분, 예컨대 제2 부분(145b)을 노출시키는 콘택홀(H2)을 포함한다.

제 4 절연층(160) 상부에 단위 화소(P)별로 화소 전극(165)이 형성된다. 화소 전극(165)은 투명 도전 물질, 예를 들어 ITO(indium tin oxide) 또는 IZO(Indium zinc oxide)로 형성될 수 있다. 화소 전극(165)은 드레인 전극(136)과 콘택된 보조 용량 전극(145b)과 콘택되어, 박막 트랜지스터 스위칭시 데이터 신호를 인가 받는다. 화소 전극(165)의 형성 공정이 완료됨에 따라, 액정 표시 장치의 하부 기판이 완성된다.

이처럼, 본 실시예에 따른 액정 표시 장치는, 보조 용량 캐패시터를 구성하는 보조 용량 전극(145a) 및 공통 전극 배선(155)이 게이트 버스 라인(125)과 오버랩되도록 형성된다. 이에따라, 단위 화소영역의 개구율을 잠식하였던 요소인 보조 용량 전극(145a) 및 공통 전극 배선(155)이 이미 차단 영역으로 한정된 게이트 버스 라인(125) 상부에 형성되므로, 개구율이 크게 개선된다.

도 5는 상기한 실시예 1의 변형예로서, 도 3의 경우와 마찬가지로, 도 2의 3-3'선을 따라 절단하여 나타낸 단면도이다.

도 5에 도시된 것처럼, 보조 용량 캐패시터(Cst)를 구성하는 보조 용량 전극(145) 및 공통 전극 배선(155)의 형성순서를 바꾸어 배치하여도 동일한 효과가 얻어진다. 즉, 게이트 버스 라인(125)과 오버랩되도록 공통 전극 배선(155)이 먼저 형성되고, 그 후 공통 전극 배선(155)이 덮혀지도록 유전체막(150)이 형성된다. 다음으로, 유전체막(150) 상부에 보조 용량 전극(145)이 형성된다. 이때, 보조 용량 전극(145)은 데이터 버스 라인(135)의 신호가 선택적으로 공급될 수 있도록, 드레인 전극(136)과 콘택되어야 한다.

도 6a와 도 6b는 실시예 1의 또 다른 예들로서 게이트 라인 부분을 종방향으로 절단하여 도시한 단면도들이다.

먼저, 도 6a를 참조하면, 보조 용량 캐패시터(Cst)는 게이트 버스 라인(125)과 투명 기판(100) 사이에 배치될 수도 있다. 즉, 투명 기판(100) 표면에 보조 용량 전극(145, 도면에서는 단면만이 보여지므로 제1 부분(145a)만이 보여진다), 유전체막(150), 및 공통 전극 배선(155)이 순차적으로 형성되어, 보조 용량 캐패시터(Cst)가 형성된다.

이때, 보조 용량 전극(145) 및 공통 전극 배선(155)의 평면 상태는 상술한 도 2의 형태와 동일하다.

다음으로, 공통 전극 배선(155) 상부에, 절연층(170)이 형성되고, 절연층(170) 상부에 게이트 버스 라인(125)이 형성된다. 이때, 게이트 버스 라인(125) 역시 도 2에 도시된 것처럼, 공통 전극 배선(155)과 오버랩되도록 형성된다. 여기서, 공통 전극 배선(155)의 선포는 게이트 버스 라인(125)의 선포 보다는 작고, 보조 용량 전극(145a)의 선포보다는 크게 형성될 수 있다.

본 도면에서는 게이트 버스 라인(125) 상부에는 제2 절연층(130)이 덮혀지며, 그 후속의 공정에 대하여는 상술한 공정과 동일하므로 생략하기로 한다.

이때, 하부의 보조 용량 전극(145)의 소정 부분은 상술한 바와 같이, 드레인 전극(136)과 콘택되어야 한다. 또한, 게이트 버스 라인(125)과 공통 전극 배선(155) 사이에는 광 차단 패턴(도시되지 않음) 및 활성층(도시되지 않음)이 구비될 수 있다.

이처럼, 보조 용량 전극(145a), 유전체막(150) 및 공통 전극 배선(155)을 게이트 버스 라인(125) 및 투명 기판(100) 사이에 형성되어도, 동일한 효과를 거둘 수 있다.

또한, 도 6b에서와 같이, 공통 전극 배선(155)이 먼저 형성되고, 유전체막(150) 및 보조 용량 전극(145a)이 적층되어도 동일한 효과가 발휘된다.

도 7은 실시예 1의 또 다른 변형예로서, 게이트 라인 부분을 종방향으로 절단하여 도시한 단면도이다.

도 7을 참조하면, 다수개의 보조 용량 캐패시터(Cst)가 형성된다. 즉, 보조 용량 전극(145a-1, 145a-2), 유전체막(150-1, 150-2, 150-3) 및 공통 전극 배선(155-1, 155-2)이 적어도 두 번 순차적으로 반복 적층된다.

이처럼, 보조 용량 캐패시터(Cst)가 두 번 이상 적층되면, 다수개의 보조 용량 캐패시터가 병렬 연결된 효과가 부여되므로, 보조 용량 캐패시턴스가 증대된다.

도 8은 본 발명의 실시예 1의 또 다른 변형예로서, 박막 트랜지스터 기판의 단위 화소영역과 그 주변부를 도시한 평면도이다.

도 8을 참조하면, 보조 용량 전극(145)의 제1 부분(145a) 및 공통 전극 배선(155)이 게이트 버스 라인(125)과 오버랩되되, 게이트 버스 라인(125)의 선포보다 더 큰 선포를 갖도록 형성된다.

이러한 경우 역시, 보조 용량 전극(145)이 공통 전극 배선(155) 하부에 형성될 수도 있고, 또는 공통 전극 배선(155)이 보조 용량 전극(145) 하부에 형성될 수도 있다.

또한, 보조 용량 전극(145) 및 공통 전극 배선(155)으로 구성되는 보조 용량 캐패시터(Cst)가 게이트 버스 라인(125) 상부에 형성될 수도 있고, 게이트 버스 라인(125)과 투명 기판(100) 사이에 위치할 수도 있다. 아울러, 도 7에 도시된 바와 같이, 다수의 보조 용량 캐패시터(Cst)의 형태로 구현될 수도 있다.

본 실시예에 의하면, 보조 용량 캐패시터를 형성하는 보조 용량 전극(145) 및 공통 전극 배선(155)을 게이트 버스 라인(125)과 오버랩되도록 형성한다. 이에 따라, 본래 불투명 영역으로 한정된 부분에 보조 용량 캐패시터가 형성되므로, 개구율을 잠식하지 않고도, 보조 용량 캐패시터가 증대된다.

(실시예 2)

도 9는 본 발명의 실시예 2에 따른 액정 표시 장치의 평면도이고, 도 10은 도 9의 10-10'선을 따라 절단하여 나타낸 박막 트랜지스터 기판의 단면도이고, 도 11은 도 9의 11-11'선을 따라 절단하여 나타낸 단면도이다.

도 9, 도 10 및 도 11을 참조하면, 투명 기판(200), 예를 들어, 석영 기판 상부에 광 차단 패턴(205)이 종횡으로 교차 배열된다.

실시예 1과 마찬가지로, 광 차단 패턴(205)은 선택적으로 형성되는데, 예를 들어, 텅스텐 실리사이드막 또는 불순물이 도핑된 실리콘막으로 형성될 수 있으며, 약 2000 Å의 두께를 갖도록 형성될 수 있다.

광 차단 패턴(205)이 형성된 투명 기판(200) 상부에 LPCVD 또는 PECVD 방식에 의하여 제1 절연층(210)이 증착된다.

제1 절연층(210) 상부에, 광 차단 패턴(205)과 부분적으로 오버랩되도록 활성층(215)이 형성된다. 활성층(215)은, 예를 들어, 광 차단 패턴(205)의 교차 부분에 각각 형성될 수 있으며, 단위 화소영역(P) 내측으로 돌출된 돌출부를 갖는다. 아울러, 활성층(215)은, 예를 들어, 폴리실리콘막으로 형성될 수 있다.

이러한 활성층(215) 표면에는 게이트 산화막(220)이 형성된다. 게이트 산화막(220)은 활성층(215) 표면을 열산화시켜서 형성되거나, 또는 활성층(215)을 포함하고 있는 결과물 표면에 산화막을 증착하는 것에 의하여 얻어질 수 있다. 이때, 게이트 산화막(220)은 예를 들어 600 내지 1000 Å 두께의 박막을 갖도록 형성된다.

투명 기판(200) 결과물 상부에 광 차단 패턴(205)의 횡방향 부분과 오버랩되도록 게이트 버스 라인(225)이 형성된다. 게이트 버스 라인(225)은 광 차단 패턴(205)의 종방향 부분으로 돌출된 게이트 전극(225a)을 포함한다.

활성층(215)에는 소오스, 드레인용 불순물이 도핑되어, 소오스, 드레인 영역이 형성된다. 여기서, 소오스 영역은 종방향으로 연장된 광 차단 패턴(205) 상부의 활성층(215) 부분이 될 수 있고, 드레인 영역은 단위 화소영역(P) 내측으로 돌출된 활성층(215) 부분이 될 수 있다.

게이트 버스 라인(225)이 형성된 투명 기판(200) 상부에 활성층(215)의 소오스 및 드레인 영역을 노출시키는 콘택홀(H3, H4)을 갖는 제2 절연층(230)이 형성된다.

그후, 활성층(215)에 도핑된 불순물들을 활성화시키기 위하여 850°C 정도의 온도에서 열처리 공정이 수행된다.

다음으로, 노출된 소오스 영역과 콘택되면서, 종방향으로 연장된 광 차단 패턴(205)과 오버랩되도록 다수의 데이터 버스 라인(235)이 형성된다.

데이터 버스 라인(235)은 횡방향으로 연장된 게이트 버스 라인(225)과 교차 배열되므로, 데이터 버스 라인(235) 및 게이트 버스 라인(225)에 의하여 단위 화소영역(P)이 한정된다. 도 9의 평면도에서는, 설명의 편의를 위하여 하나의 게이트 버스 라인(225) 및 하나의 데이터 버스 라인(235)만이 도시되어 있다.

데이터 버스 라인(235)은 상기 활성층(215)의 소오스 영역과 콘택되는 소오스 전극과, 소오스 전극과 소정 간격 이격되, 콘택홀(H4)을 통하여 활성층(215)의 드레인 영역과 콘택되는 드레인 전극(236)을 포함한다.

도 9에서, 참조 부호 C1은 소오스 전극(235)과 소오스 영역의 콘택부를 나타내고, C2는 드레인 전극(236)과 드레인 영역의 콘택부를 나타낸다. 이렇게 데이터 버스 라인(235) 및 드레인 전극(236)의 형성으로 박막 트랜지스터가 형성된다.

박막 트랜지스터가 형성된 투명 기판(200) 결과물 상부에 제 3 절연층(240)이 형성된다. 제 3 절연층(240) 상부에 각 단위 화소(P)별로 보조 용량 전극(245)이 각각 형성된다.

본 실시예의 보조 용량 전극(245)은 게이트 버스 라인(225)과 오버랩되는 제1 부분(245a)과, 제1 부분(245a)과 접하면서 드레인 전극(236)과 콘택되도록 돌출된 제2 부분(245b) 및 제1 및 제2 부분(245a, 245b)과 접하면서 데이터 버스 라인(235)과 오버랩되도록 연장되는 제 3 부분(245c)을 포함한다.

보조 용량 전극(245)의 제1 부분(245a)의 선포는 게이트 버스 라인(215)의 선포보다 좁다. 그러나, 상술한 도 8에서 설명한 것처럼, 제1 부분(245a)의 선포는 게이트 버스 라인(215)의 선포보다 크게 형성될 수도 있다.

또한, 보조 용량 전극(245)의 제 3 부분(245c)의 선포는 데이터 버스 라인(235)의 선포와 같거나, 크거나 또는 작을 수 있다.

이때, 보조 용량 전극(245)의 제2 부분(245b)은 드레인 전극(236)의 소정 부분과 콘택되며, 이 콘택부가 C3로 표시되었다. 이러한 보조 용량 전극(245)은 활성층(215)과 마찬가지로 단위 화소(P)별로 형성된다.

보조 용량 전극(245) 상부에는 보조 용량 전극(245)을 덮도록 유전체막(250)이 형성된다.

유전체막(250) 상부에 보조 용량 전극(245)과 오버랩되도록 공통 전극 배선(255)이 배치된다. 바람직하게는, 공통 전극 배선(255)은 게이트 버스 라인(225) 및 데이터 버스 라인(235)과 각각 오버랩되도록 매트릭스 형태로 형성된다.

여기서, 공통 전극 배선(255)의 선포는 보조 용량 전극(245)의 제1 부분(245a) 및 게이트 버스 라인(225)의 선포보다 크게 형성될 수 있으며, 보조 용량 전극(245)의 제 3 부분(245c)의 선포 역시 데이터 버스 라인(235)의 선포보다 크게 형성될 수 있다. 이에 따라, 보조 용량 전극(245), 유전체막(150) 및 공통 전극 배선(255)으로 구성되는 보조 용량 캐패시터(Cst)가 완성된다.

다음으로, 보조 용량 캐패시터(Cst)가 형성된 투명 기판(200) 상부에 제4 절연층(260)이 형성된다. 제4 절연층(260)은 보조 용량 전극(245)의 소정 부분, 예컨대 제2 부분(245b)을 노출시키는 콘택홀(미도시)을 포함하고 있다.

제4 절연층(260) 상부에 단위 화소(P)별로 화소 전극(265)이 형성된다. 화소 전극(265)은 드레인 전극(136)과 콘택된 보조 용량 전극(245b)과 콘택되어, 박막 트랜지스터 스위칭시 데이터 신호를 인가 받는다. 여기서, 화소 전극(265)과 보조 용량 전극의 제2 부분(245b)과 콘택되는 부분을 C4로 표시하였다. 이와같이 하여, 액정 표시 장치의 하부 기판이 완성된다.

한편, 보조 용량 캐패시터(Cst)를 구성하는 보조 용량 전극(245) 및 공통 전극 배선(255)은 상술한 실시예 1의 도 5에서와 같이 순서를 바꾸어 배치하여도 동일한 효과가 얻어진다.

또한, 상기 보조 용량 캐패시터(Cst)는 상술한 실시예 1의 도 7에서와 같이 적어도 두 개의 보조 용량 캐패시터가 적층되어 구성될 수 있다.

아울러, 보조 용량 전극(245)의 제1 부분(245a)은 상술한 실시예 1의 도 8에서와 같이 게이트 버스 라인(225)보다 더 큰 선포로 형성될 수도 있다. 이러한 경우 역시 보조 용량 전극(245)이 하부에 형성될 수도 있고, 또는 공통 전극 배선(255)이 하부에 형성될 수도 있다.

본 실시예 2에 의하면, 보조 용량 캐패시터를 형성하는 보조 용량 전극(245) 및 공통 전극 배선(255)을 게이트 버스 라인(225) 및 데이터 버스 라인(235)과 각각 오버랩되도록 형성하여, 보조 용량 캐패시터(Cst)를 한층 더 증대시킬 수 있다.

(실시예 3)

첨부한 도면 도 12는 본 발명의 실시예 3에 따른 액정 표시 장치의 평면도이고, 도 13은 도 12의 13-13'선을 따라 절단하여 나타낸 단면도이고, 도 14은 도 3의 14-14'선을 따라 절단하여 나타낸 단면도이다.

도 12, 도 13 및 도 14를 참조하면, 투명 기판(300) 예컨대, 석영 기판 상부에 공통 전극 배선(305)이 배치된다. 이러한 공통 전극 배선(305)은 단위 화소영역(P)을 한정할 수 있도록, 기판(300)의 종횡 방향으로 다수개가 교차 배열된다. 이때, 공통 전극 배선(305)은 광 차단 역할을 겸할 수 있도록 불투명 도전막, 예를 들어, 텅스텐 실리사이드막 또는 불순물이 도핑된 실리콘막으로 형성될 수 있으며, 약 2000 Å의 두께를 갖도록 형성될 수 있다.

공통 전극 배선(305) 상부에는 유전체막(310)이 덮혀지며, 유전체막(310) 상부에 보조 용량 전극(315)이 형성된다. 본 실시예의 보조 용량 전극(315)은 횡방향으로 연장된 공통 전극 배선(305)과 오버랩되는 제1 부분(315a)과, 제1 부분(315a)과 접하면서 종방향으로 연장된 공통 전극 배선(305)과 오버랩되는 제2 부분(315b)을 포함한다.

보조 용량 전극(315)의 제1 및 제2 부분(315a, 315b)의 선폭은 공통 전극 배선(305)의 선폭보다 작거나 혹은 크게 형성된다. 이러한 보조 용량 전극(315)은 단위 화소(P)별로 형성되며, 전체적인 형상은 '역 L자' 형상을 갖는다. 이에 따라, 투명 기판(300) 상부에 보조 용량 캐패시터(Cst)가 형성된다.

이러한 투명 기판(300) 상부에 보조 용량 캐패시터와 이후 형성될 도전물과 의 절연을 위하여, 제1 절연층(320)이 형성된다. 제1 절연층(320)은 보조 용량 전극(315)의 소정 부분을 노출시키는 콘택홀(미도시)을 가지고 있다. 콘택홀은 보조 용량의 제2 부분(315b)의 소정 부분에 형성될 수 있다.

제1 절연층(320) 상부의 소정 부분, 바람직하게는 공통 전극 배선(305)의 모서리 부분 중 종방향의 공통 전극 배선(305)의 소정 부분과 오버랩되는 활성층(325)이 형성된다. 활성층(325)은 단위 화소영역(P)의 내측으로 소정 부분 돌출된 돌출부를 가지며, 이 돌출부가 드레인 영역이 된다. 활성층(325)은 노출된 보조 용량 전극(315b)과 소정 부분 콘택되며, 이 콘택부가 'C11'로 표시된다.

이러한 활성층(325)의 표면에 게이트 산화막(330)이 형성된다. 게이트 산화막(330)은 활성층(325) 표면을 열산화시켜서 형성되거나, 또는 활성층(325)을 포함하고 있는 결과물 표면에 산화막을 증착하여 얻어질 수 있다. 게이트 산화막(330)은 예를 들어 50 내지 1000 Å 두께의 박막을 갖도록 형성된다.

투명 기판(300) 결과물 상부에 횡방향으로 연장되는 공통 전극 배선(305)과 겹쳐지도록 게이트 버스 라인(335)이 형성된다. 게이트 버스 라인(335)은 게이트 버스 라인(335)으로부터 분기된 게이트 전극(335a)을 포함한다.

노출된 활성층(325)에는 소오스, 드레인용 불순물이 도핑되어, 소오스, 드레인 영역(325S, 325D)이 형성된다. 도 12에서, 소오스 영역(325S)은 게이트 전극(335a)의 상측에 위치하는 활성층 부분이고, 드레인 영역(325D)은 게이트 전극(335a)의 하측에 위치하는 활성층 부분이다.

게이트 버스 라인(335)이 형성된 투명 기판(300) 상부에 활성층(325)의 소오스 및 드레인 영역을 노출시키는 콘택홀(도시되지 않음)을 갖는 제2 절연층(340)이 형성된다.

다음으로, 활성층(325)에 도핑된 불순물들을 활성화시키기 위하여 850°C 정도의 온도에서 열처리 공정이 수행된다. 선택적으로, 이 활성화 공정은 도핑 직후 수행될 수 있다.

그런 다음, 노출된 소오스 영역과 콘택되면서, 종방향으로 연장된 공통 전극 배선(305)과 오버랩되도록 다수의 데이터 버스 라인(345)이 형성된다. 데이터 버스 라인(345)은 횡방향으로 연장된 게이트 버스 라인(335)과 교차 배열되므로, 데이터 버스 라인(345) 및 게이트 버스 라인(335)에 의하여 단위 화소영역(P)이 한정된다. 도 12에서는, 설명의 편의를 위하여, 하나의 게이트 버스 라인(335) 및 하나의 데이터 버스 라인(345)만이 도시되어 있다.

도 12에서, 참조 부호 C11은 보조용량전극(315b)과 드레인 영역(325D)을 연결하는 콘택부를 나타내고, C12는 드레인 전극(346)과 드레인 영역을 연결하는 콘택부를 나타낸다. 이렇게 데이터 버스 라인(345) 및 드레인 전극(346)의 형성으로 박막 트랜지스터가 형성된다.

박막 트랜지스터가 형성된 투명 기판(300) 상부에 제 3 절연층(350)이 형성된다. 제 3 절연층(350)은 드레인 전극(346)의 소정 부분을 노출시키는 콘택홀(H5)을 포함하고 있다.

제 3 절연층(350) 상부에 단위 화소(P)별로 화소 전극(355)이 형성된다. 화소 전극(355)은 드레인 전극(346)과 콘택되어, 박막 트랜지스터 스위칭시 데이터 신호를 인가 받는다. 화소 전극(355)과 드레인 전극(346)의 콘택부를 C13으로 표시하였다. 상기한 공정을 통하여, 액정 표시 장치의 하부 기판이 제조된다.

여기서, 보조 용량 캐패시터(Cst)를 구성하는 공통 전극 배선(305), 유전체막(310) 및 보조 용량 전극(315)는 상술한 실시예 1의 도 5에서와 같이 순서를 바꾸어 배치하여도 동일한 효과가 얻어진다.

도 15는 본 발명의 실시예 3의 변형예로서, 게이트 버스 라인(335)을 종방향으로 절단하여 나타낸 단면도이다.

도 15를 참조하면, 보조 용량 캐패시터(Cst1, Cst2)가 두 개 형성된다. 즉, 공통 전극 배선(305-1, 305-2), 유전체막(310-1, 310-2) 및 보조 용량 전극(315)을 순차적으로 두 번 적층하여 두 개의 보조 용량 캐패시터를 형성한다. 또 다른 변형예로써, 보조 용량 전극(315)은 두 개를 초과하여 형성될 수 있다.

이와 같이 보조 용량 캐패시터(Cst)가 한 번 이상 적층되면, 수 개의 보조 용량 캐패시터가 병렬 연결된 효과가 부여되어, 보조 용량 캐패시턴스가 크게 개선된다.

본 실시예에 의하면, 보조 용량 캐패시턴스를 형성하는 공통 전극 배선(305) 및 보조 용량 전극(315)을 게이트 버스 라인(335)과 투명 기판(300) 사이에 배치시키면서, 게이트 버스 라인(335) 및 데이터 버스 라인(345)과 각각 오버랩되도록 형성한다. 이에 따라, 보조 용량 캐패시터의 면적이 증대됨에 따라, 보조 용량 캐패시턴스(Cst)를 한층 더 증대시킬 수 있고, 공통 전극 배선(305)이 하부에 배치됨에 따라, 광 차단 패턴의 역할을 겸하므로, 공정을 단순화시킬 수 있다.

본 발명은 상기한 실시예들에 국한되는 것은 아니다.

예를 들어, 본 실시예에서 광 차단 패턴, 공통 전극 배선들은 텅스텐 실리사이드막으로 형성하였지만, 이에 국한하지 않고 불투명 도전물이면 모두 사용가능하다.

또한, 박막 트랜지스터의 경우, 다양한 타입으로 변경하여 사용할 수 있고, 본 실시예들에서는 화소 전극과 콘택되는 전극을 드레인 전극, 데이터 버스 라인과 콘택되는 전극을 소오스 전극으로 설명하였지만, 바꾸어 명명하여도 무방하다.

발명의 효과

이상에서 자세히 설명한 바와 같이, 본 발명에 의하면, 보조 용량 캐패시터를 구성하는 보조 용량 전극 및 공통 전극 배선을 게이트 버스 라인 혹은 데이터 버스 라인과 오버랩되도록 형성된다. 이에 따라, 불투명 물질로 이루어져 개구율을 잠식하였던 보조 용량 전극 및 공통 전극 배선이 단위 화소영역의 외곽에 배치됨에 따라, 개구율이 크게 개선된다. 따라서, 액정 표시 장치의 화질 특성이 향상된다.

여기에서는 본 발명의 특정 실시예에 대하여 설명하고 도시하였지만, 통상의 지식을 가진 자에 의하여 상기한 설명으로부터 변형과 변경이 가능할 것이다. 따라서, 이하 특허청구범위는 그러한 변형과 변경을 모두 포함하는 것으로 간주된다.

(57) 청구의 범위

청구항 1.

투명 기판;

상기 투명 기판상에 다수개 일정 간격을 두고 평행하게 배열되며 제1 선폴을 갖는 게이트 버스 라인;

상기 게이트 버스 라인과 전기적으로 절연되면서 게이트 버스 라인과 교차되도록 배열되어 단위 화소영역을 한정하는 데이터 버스 라인;

상기 게이트 버스 라인과 데이터 버스 라인의 교차점 부근에 형성되어, 게이트 버스 라인 선택시 스위칭되는 박막 트랜지스터;

상기 단위 화소영역에 배치되며, 상기 박막 트랜지스터와 전기적으로 연결되는 화소 전극; 및

상기 게이트 버스 라인 및 상기 데이터 버스 라인에 오버랩되는 보조 용량 캐패시터를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 2.

제1 항에 있어서, 상기 보조 용량 캐패시터는 상기 박막 트랜지스터와 연결된 보조 용량 전극과, 상기 보조 용량 전극과 오버랩되는 공통 전극 배선 및 상기 보조 용량 전극과 상기 공통 전극 배선 사이에 개재되는 유전체막을 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 3.

제2 항에 있어서, 상기 보조 용량 전극은 각 단위 화소당 하나씩 배치되고, 상기 공통 전극 배선은 모든 화소들의 공통 전극 배선과 모두 연결된 것을 특징으로 하는 액정 표시 장치.

청구항 4.

제1 항에 있어서, 상기 보조 용량 전극 및 공통 전극의 배선의 선폭은 상기 게이트 버스 라인 또는 상기 데이터 버스 라인의 제 1 선폭보다 작은 것을 특징으로 하는 액정 표시 장치.

청구항 5.

제1 항에 있어서, 상기 보조 용량 전극 및 공통 전극 배선의 선폭은 상기 게이트 버스 라인 또는 상기 데이터 버스 라인의 제1 선폭보다 큰 것을 특징으로 하는 액정 표시 장치.

청구항 6.

제1 항에 있어서, 상기 보조 용량 캐패시터는 상기 게이트 버스 라인 또는 상기 데이터 버스 라인 상부에 배치되는 것을 특징으로 하는 액정 표시 장치.

청구항 7.

제1 항에 있어서, 상기 보조 용량 캐패시터는 상기 투명 기판과 상기 게이트 버스 라인 또는 상기 데이터 버스 라인 사이에 개재되는 것을 특징으로 하는 액정 표시 장치.

청구항 8.

제 6 항 또는 제 7 항에 있어서, 상기 보조 용량 캐패시터는, 보조 용량 전극, 유전체막 및 공통 전극 배선이 순차적으로 적층되어 구성되는 것을 특징으로 하는 액정 표시 장치.

청구항 9.

제 6 항 또는 제 7 항에 있어서, 상기 보조 용량 캐패시터는, 공통 전극 배선, 유전체막 및 보조 용량 전극이 순차적으로 적층되어 구성되는 것을 특징으로 하는 액정 표시 장치.

청구항 10.

투명 기판;

상기 투명 기판상에 다수개 일정 간격을 두고 평행하게 배열되며 제1 선폭을 갖는 게이트 버스 라인;

상기 게이트 버스 라인과 전기적으로 절연되면서 게이트 버스 라인과 교차되도록 배열되어 단위 화소영역을 한정하는 데이터 버스 라인;

상기 게이트 버스 라인과 데이터 버스 라인의 교차점 부근에 형성되어, 게이트 버스 라인 선택시 스위칭되는 박막 트랜지스터;

상기 단위 화소영역에 배치되며, 상기 박막 트랜지스터와 전기적으로 연결되는 화소 전극; 및

상기 게이트 버스 라인 및 상기 데이터 버스 라인에 오버랩되는 보조 용량 캐패시터를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 11.

제10 항에 있어서, 상기 보조 용량 캐패시터는 상기 박막 트랜지스터와 연결된 보조 용량 전극과, 상기 보조 용량 전극과 오버랩되는 공통 전극 배선 및 상기 보조 용량 전극과 공통 전극 배선 사이에 개재되는 유전체막을 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 12.

제10 항에 있어서, 상기 보조 용량 전극은 각 단위 화소당 하나씩 배치되고, 상기 공통 전극 배선은 모든 화소들의 공통 전극 배선과 모두 연결된 것을 특징으로 하는 액정 표시 장치.

청구항 13.

제10 항에 있어서, 상기 보조 용량 전극 및 공통 전극의 배선의 선폭은 상기 게이트 버스 라인의 제1 선폭보다 작은 것을 특징으로 하는 액정 표시 장치.

청구항 14.

제10 항에 있어서, 상기 보조 용량 전극 및 공통 전극 배선의 선폭은 상기 게이트 버스 라인의 제1 선폭보다 큰 것을 특징으로 하는 액정 표시 장치.

청구항 15.

제10 항에 있어서, 상기 보조 용량 캐패시터는 상기 게이트 버스 라인 및 데이터 버스 라인 상부에 배치되는 것을 특징으로 하는 액정 표시 장치.

청구항 16.

제10 항에 있어서, 상기 보조 용량 캐패시터는 상기 투명 기판과 상기 게이트 버스 라인 사이 및 상기 투명 기판과 데이터 버스 라인 사이에 개재되는 것을 특징으로 하는 액정 표시 장치.

청구항 17.

제15 항 또는 제16 항에 있어서, 상기 보조 용량 캐패시터는, 보조 용량 전극, 유전체막 및 공통 전극 배선이 순차적으로 적층되어 구성되는 것을 특징으로 하는 액정 표시 장치.

청구항 18.

제15 항 또는 제16 항에 있어서, 상기 보조 용량 캐패시터는, 공통 전극 배선, 유전체막 및 보조 용량 전극이 순차적으로 적층되어 구성되는 것을 특징으로 하는 액정 표시 장치.

청구항 19.

투명 기판;

상기 투명 기판상에 다수개 일정 간격을 두고 평행하게 배열되며 제1 선폴을 갖는 게이트 버스 라인;

상기 게이트 버스 라인과 전기적으로 절연되면서 게이트 버스 라인과 교차되도록 배열되어 단위 화소영역을 한정하는 데이터 버스 라인;

상기 게이트 버스 라인과 데이터 버스 라인의 교차점 부근에 형성되어, 게이트 버스 라인 선택시 스위칭되는 박막 트랜지스터;

상기 단위 화소영역에 배치되며, 상기 박막 트랜지스터와 전기적으로 연결되는 화소 전극; 및

상기 게이트 버스 라인 및 상기 데이터 버스 라인 중 적어도 하나의 라인과 오버랩되는 적어도 하나 이상이 전기적으로 연결된 보조 용량 캐패시터를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 20.

제19 항에 있어서, 상기 보조 용량 캐패시터는 상기 박막 트랜지스터와 연결된 보조 용량 전극과, 상기 보조 용량 전극과 오버랩되는 공통 전극 배선 및 상기 보조 용량 전극과 공통 전극 배선 사이에 개재되는 유전체막을 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 21.

제19 항에 있어서, 상기 보조 용량 캐패시터는 적어도 두 개가 적층되어 구성되는 것을 특징으로 하는 액정 표시 장치.

청구항 22.

제21 항에 있어서, 상기 각 보조 용량 캐패시터는, 보조 용량 전극, 유전체막 및 공통 전극 배선의 순서로 된 반복적인 적층을 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 23.

제21 항에 있어서, 상기 각 보조 용량 캐패시터는, 공통 전극 배선, 유전체막 및 보조 용량 전극의 순서로 된 반복적인 적층을 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 24.

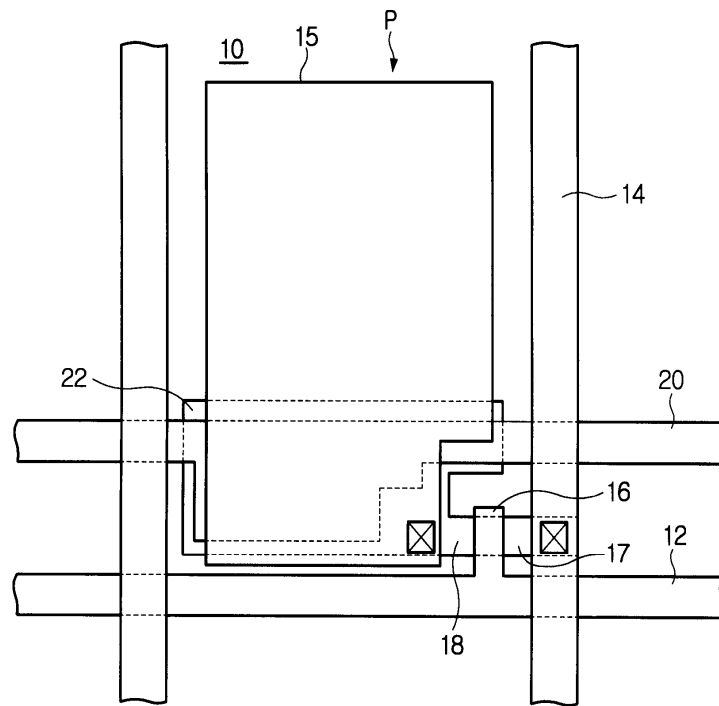
제19 항에 있어서, 상기 보조 용량 캐패시터는 상기 게이트 버스 라인 및 데이터 버스 라인 상부에 배치되는 것을 특징으로 하는 액정 표시 장치.

청구항 25.

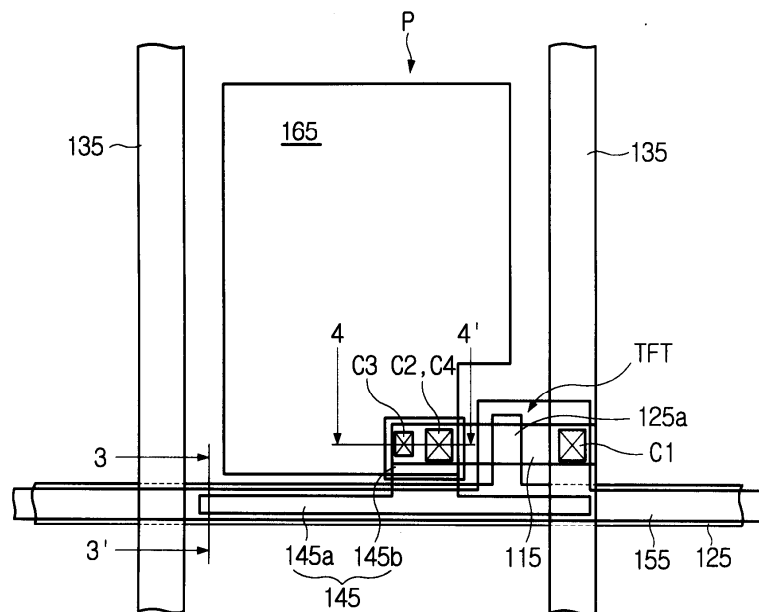
제19 항에 있어서, 상기 보조 용량 캐패시터는 상기 투명 기판과 상기 게이트 버스 라인 사이 및 상기 투명 기판과 데이터 버스 라인 사이에 개재되는 것을 특징으로 하는 액정 표시 장치.

도면

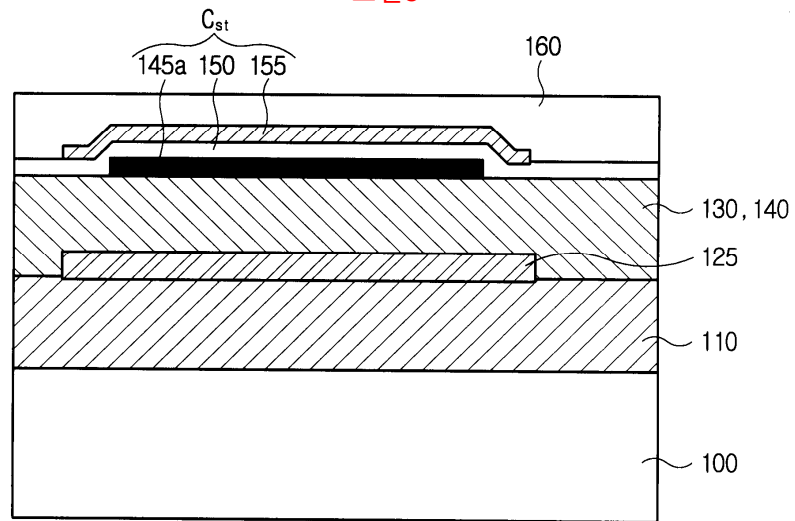
도면1



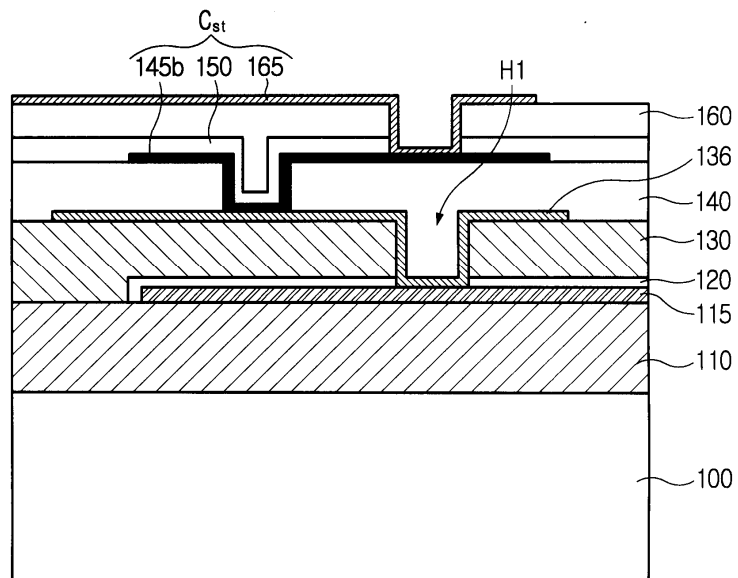
도면2



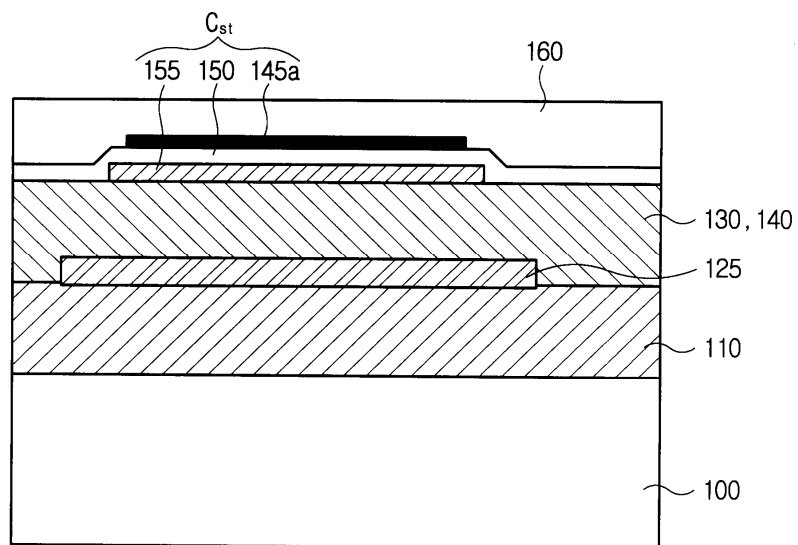
도면3



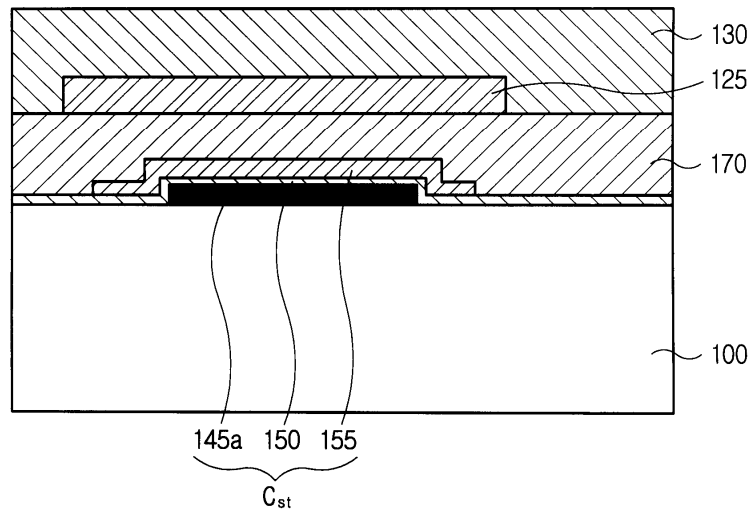
도면4



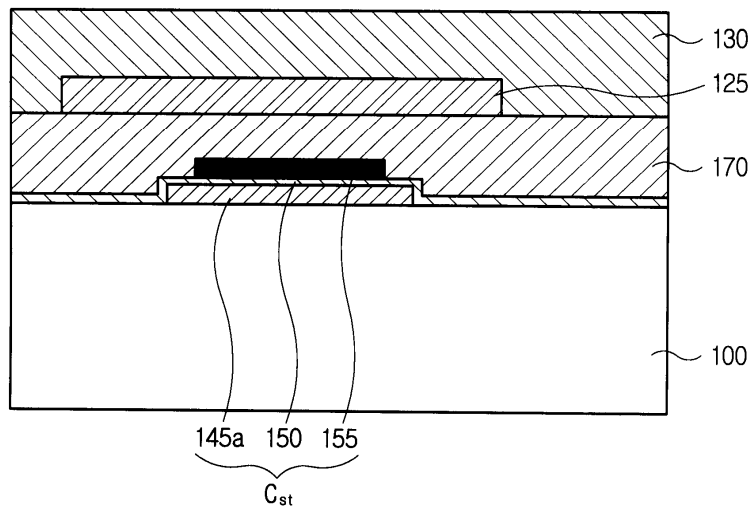
도면5



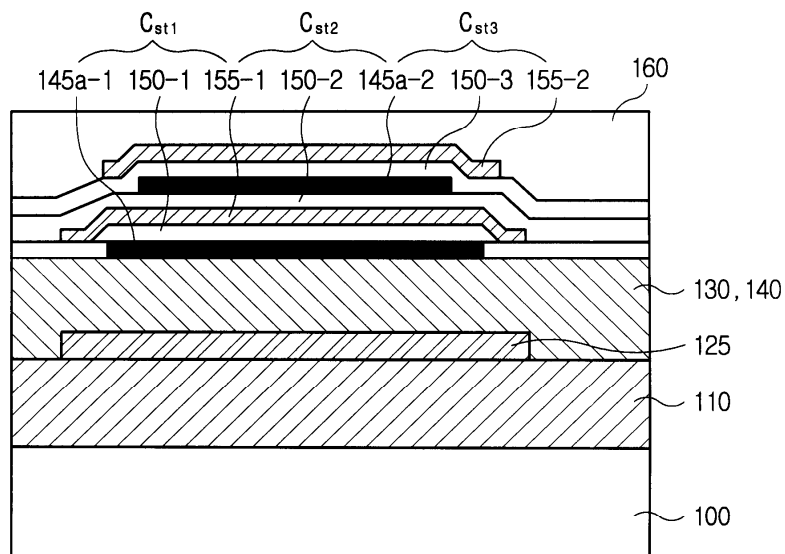
도면6a



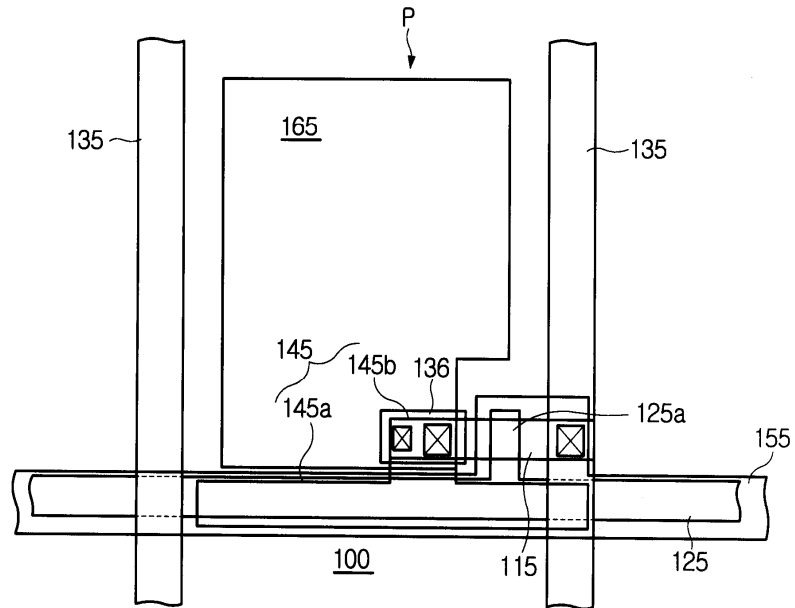
도면6b



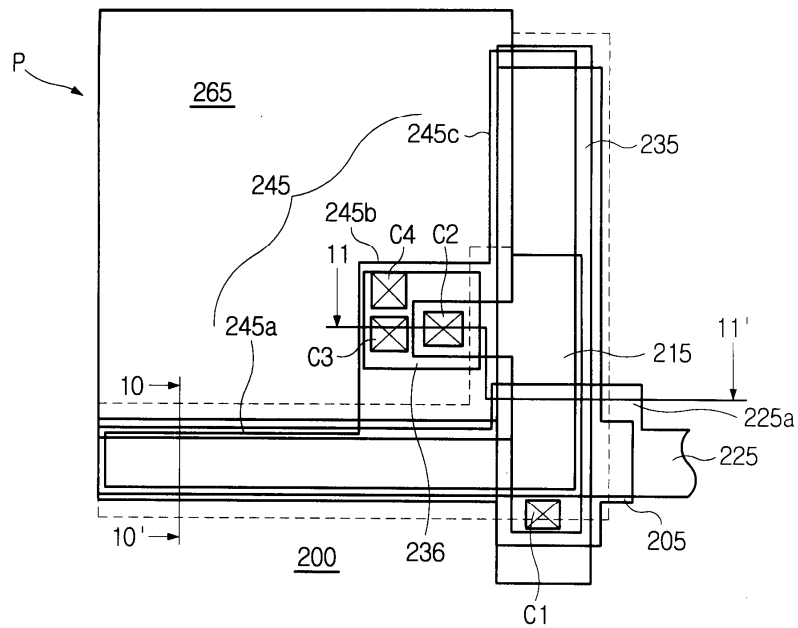
도면7



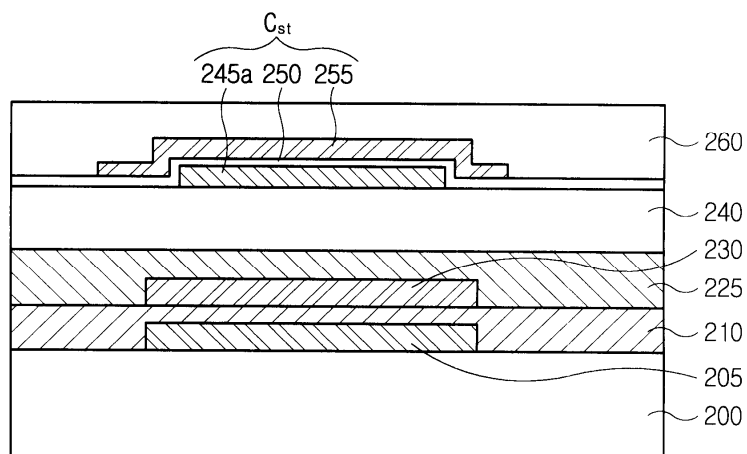
도면8



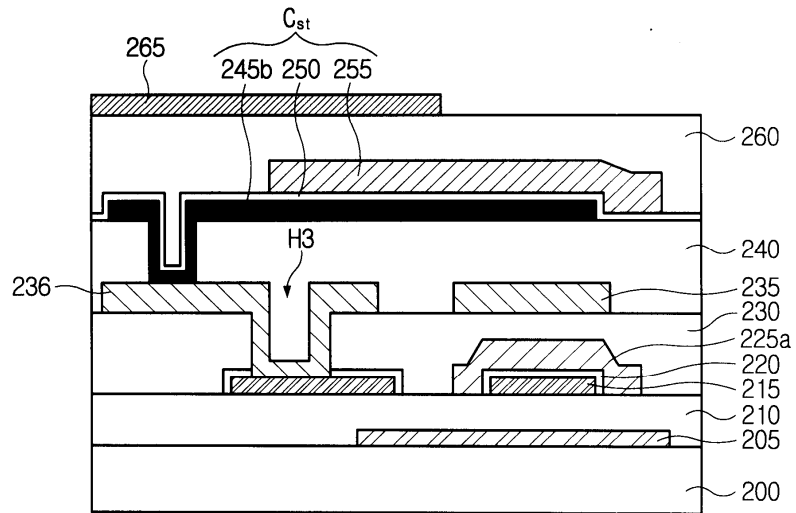
도면9



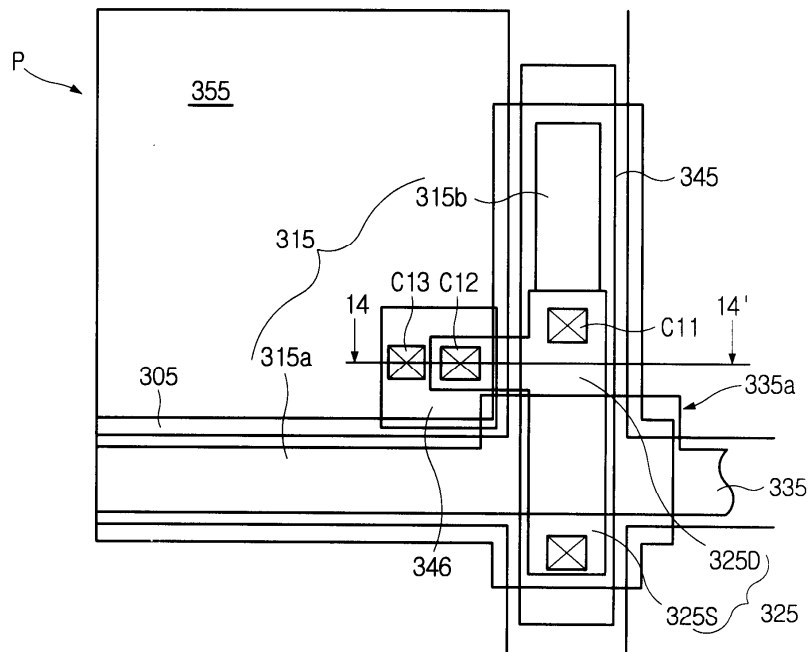
도면10



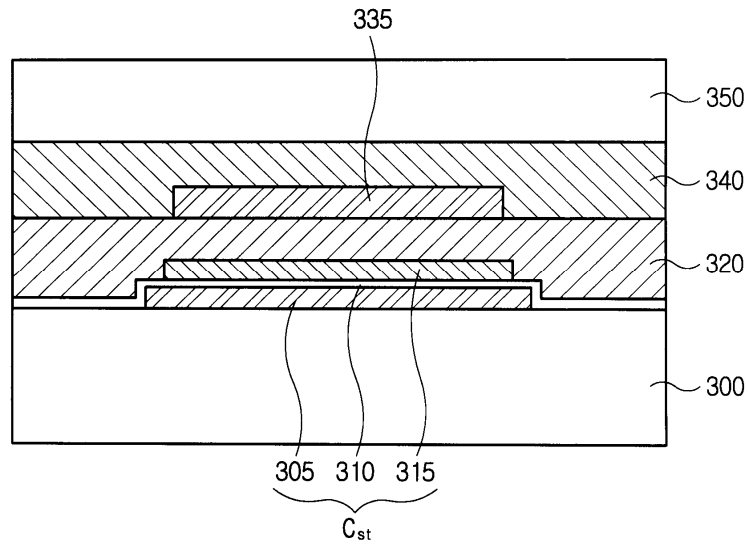
도면11



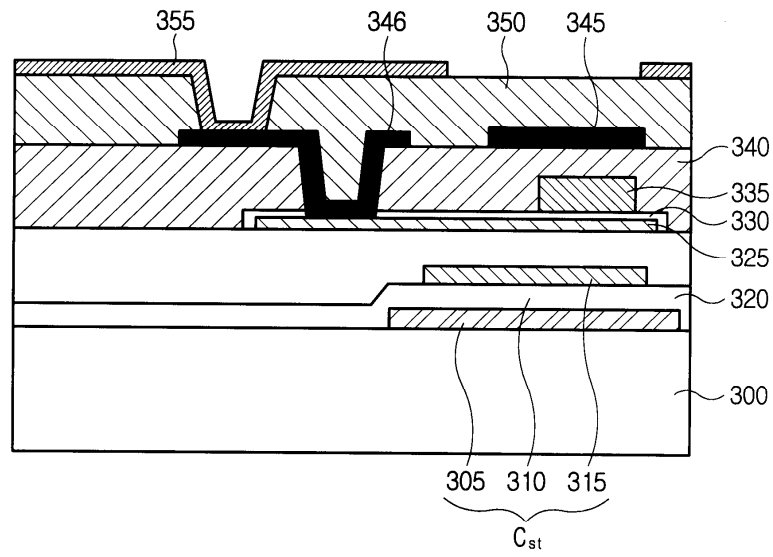
도면12



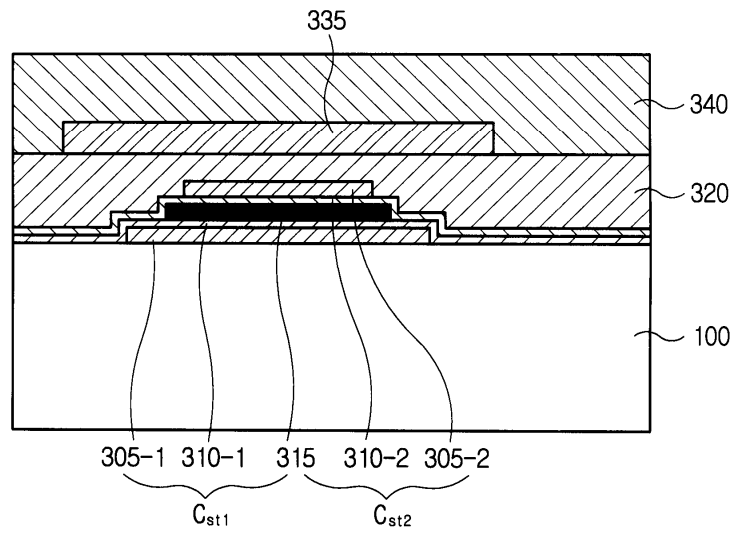
도면13



도면14



도면15



专利名称(译)	一种具有增大的孔径比的液晶显示装置		
公开(公告)号	KR1020030062163A	公开(公告)日	2003-07-23
申请号	KR1020020002604	申请日	2002-01-16
申请(专利权)人(译)	日进显示器有限公司		
当前申请(专利权)人(译)	日进显示器有限公司		
[标]发明人	BAE BYUNGSEONG 배병성		
发明人	배병성		
IPC分类号	G02F1/136		
其他公开文献	KR100490061B1		
外部链接	Espacenet		

摘要(译)

公开了一种具有增大的孔径比的液晶显示装置。本发明的液晶显示器包括透明基板，以多个规则间隔与透明基板平行设置并具有预定线宽的栅极总线，以及与栅极总线电绝缘的栅极总线，薄膜晶体管，形成在栅极总线交叉点附近，并在选择栅极总线时切换，像素电极电连接到薄膜晶体管，存储电容器与栅极总线交叉点重叠。9 指数方面 孔径比，辅助电容电容器

